

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
„КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ”
КАФЕДРА АВТОМАТИКИ ТА УПРАВЛІННЯ У ТЕХНІЧНИХ
СИСТЕМАХ

Імпульсна та цифрова електроніка:
Навчальний посібник
для студентів напрямку підготовки 6.050201 «Системна інженерія»

Київ НТУУ “КПІ” 2014

Імпульсна та цифрова електроніка: Навчальний посібник для студентів напряму підготовки 6.050201 «Системна інженерія» кафедри Автоматики та управління у технічних системах /Автор.: А.О. Новацький – К: НТУУ „КПІ”, 2014 – 385с.

Відповідальний за випуск: Л.Ю. Юрчук

Рецензенти: Ладанюк А.П. – професор, доктор технічних наук, завідувач кафедри автоматизації процесів управління Національного університету харчових технологій;

Дорошенко А.Ю. – доктор фіз.-мат. наук, професор зав. відділом Інституту програмних систем НАН України

Посібнику надано гриф «Рекомендовано Міністерством Освіти і Науки України», лист №1/11-9264 від 16. 06. 2014р

Навчальний посібник охоплює теоретичний матеріал та практичні завдання, необхідні для вивчення базової частини дисципліни «Комп'ютерна електроніка». Навчальний посібник складається із дев'ятнадцяти розділів, в яких розглядаються наступні питання: диференціюючі та інтегруючі кола, діодні ключі, тиристорні ключі, транзисторні ключі, імпульсні тригери, аналогові компаратори, пристрої формування рівнів, генератори прямокутних імпульсів, генератори напруги, що змінюється лінійно, цифро-аналогові перетворювачі, основні поняття та задачі комп'ютерної електроніки, дискретизація аналогових сигналів, застосування алгебри логіки (Булевої алгебри) при аналізі і синтезі цифрових електронних пристроїв (ЦЕП), реалізація логічних функцій у різних базисах, генератори тактових імпульсів (ГТІ) на логічних елементах, комбінаційні цифрові пристрої (КЦП), послідовні ЦЕП (ПЦЕП), аналого-цифрові перетворювачі (АЦП). В кожному розділі розглядаються основні теоретичні питання, наводяться приклади розрахунку та застосування окремих пристроїв. Тематика посібника відповідає робочій програмі з дисципліни «Комп'ютерна електроніка-2», кредитний модуль «Електроніка та мікросхемотехніка», яка є обов'язковою дисципліною у навчальному плані підготовки бакалаврів з напряму 6.050201 «Системна інженерія». Робота може бути корисною студентам відповідних спеціальностей при вивченні дисциплін, пов'язаних із використанням імпульсних та цифрових електронних пристроїв, а також при виконанні бакалаврських робіт, курсових та дипломних проєктів, в яких використовуються відповідні пристрої. Останнє було враховано при оформленні роботи, яке виконано згідно вимог до конструкторської документації).

ЗМІСТ

ВСТУП.....	9
СПИСОК СКОРОЧЕНЬ	12
1 ОСНОВНІ ВЛАСТИВОСТІ ІМПУЛЬСНИХ ЕЛЕКТРОННИХ ПРИБОРІВ.....	16
1.1 Призначення та особливості застосування імпульсних електронних пристроїв (ІЕП)	16
1.2 Основні параметри імпульсів	19
1.3 Види імпульсних пристроїв	21
2 ДИФЕРЕНЦІЮЮЧІ ТА ІНТЕГРУЮЧІ КОЛА.....	23
2.1 Диференціюючі кола.....	23
2.2 Пасивні диференціюючі кола	24
2.3 Аналіз пасивного диференціюючого кола.....	24
2.4 Аналіз роботи пасивного диференціюючого кола за часовими діаграмами.....	25
2.5 Розрахунок тривалості імпульсу на виході пасивного диференціюючого кола	28
2.6 Робота пасивного диференціюючого кола при поданні на його вхід трапецеїдальних імпульсів.....	29
2.7 Вплив опору джерела та ємності навантаження на форму вихідного імпульсу	31
2.8 Розрахунок пасивного диференціюючого кола	32
2.9 Активні диференціюючі кола.....	33
2.10 Інтегруючі кола.....	36
2.11 Пасивні інтегруючі кола	37
2.12 Аналіз пасивного інтегруючого кола	38
2.13 Аналіз роботи пасивного інтегруючого кола за часовими діаграмами.....	38

2.14	Визначення абсолютної та відносної похибок інтегрування	39
2.15	Розрахунок пасивного інтегруючого RC-кола	40
2.16	Інтегрування одиночного імпульсу	41
2.17	Інтегрування послідовності прямокутних імпульсів ...	43
2.18	Активні інтегруючі кола	45
3	Діодні ключі	50
3.1	Послідовні діодні ключі	50
3.2	Оцінка спільного впливу напруг U_{BX} і E_{3C} на значення вихідної напруги послідовного діодного ключа	52
3.3	Паралельні діодні ключі.....	55
3.4	Діодні обмежувачі амплітуди	57
4	Тиристорні ключі	65
4.1	Принцип роботи та особливості застосування тиристорів в ключах.....	65
4.2	Застосування тиристора в керованому випрямлячі	69
4.3	Широтно-імпульсні перетворювачі на тиристорах.....	73
5	Транзисторні ключі	75
5.1	Транзисторні ключі на біполярних транзисторах.....	76
5.2	Вимкнутий (закритий) стан транзисторного ключа	77
5.3	Увімкнутий (відкритий) стан ключа	78
5.4	Перехідний (динамічний) режим роботи ключа	80
5.5	Транзисторний ключ, закритий у початковому стані	84
5.6	Транзисторний ключ, відкритий у початковому стані....	85
5.7	Ключ із зовнішнім зміщенням і конденсатором, що прискорює	86
5.8	Ненасичені ключі	88
5.9	Приклад розрахунку транзисторного ключа.....	90
5.10	Послідовні транзисторні ключі.....	94

5.11 Ключі на польових транзисторах	95
6 ІМПУЛЬСНІ ТРИГЕРИ.....	97
6.1 Тригери на дискретних компонентах (імпульсні тригери)	102
6.2 Симетричні тригери	102
6.3 Способи запуску симетричних тригерів	106
6.4 Несиметричні тригери (тригери Шмітта)	107
6.5 Тригери Шмітта на інтегральних мікросхемах операційних підсилювачів.....	108
7 АНАЛОГОВІ КОМПАРАТОРИ	116
7.1 Аналогові компаратори на інтегральній мікросхемі операційного підсилювача.....	118
7.2 Аналогові компаратори для порівняння однополярних напруг на інтегральній мікросхемі операційного підсилювача..	118
7.3 Аналогові компаратори для порівняння різнополярних напруг на інтегральній мікросхемі операційного підсилювача...	120
7.4 Регенеративний компаратор.....	123
7.5 Виведення основних розрахункових співвідношень для регенеративного компаратора.....	125
8 ПРИСТРОЇ ФОРМУВАННЯ РІВНІВ	127
9 ГЕНЕРАТОРИ ПРЯМОКУТНИХ ІМПУЛЬСІВ.....	133
9.1 Мультивібратори на інтегральних мікросхемах операційних підсилювачів.....	134
9.2 Автоколивальний мультивібратор на інтегральній мікросхемі операційного підсилювача.....	135
9.3 Регулювання параметрів схеми	138
9.4 Виведення співвідношень, що визначають тривалість імпульсу t_{im} та паузи t_n мультивібраторів.....	139
9.5 Мультивібратор, що чекає, на ІМС ОП.....	142

9.6 Виведення виразів, що визначають тривалість вихідного імпульсу t_{im} і часу відновлення t_{vid} мультівібраторів, що чекають,	145
10 ГЕНЕРАТОРИ НАПРУГИ, ЩО ЗМІНЮЄТЬСЯ ЛІНІЙНО	149
10.1 Генератори напруги, що змінюється лінійно, на бipoлярному транзисторі.....	150
10.2 Генератори напруги, що змінюється лінійно, на інтегральній мікросхемі операційного підсилювача.....	152
10.3 Застосування генераторів напруги, що змінюється лінійно.....	162
11 ЦИФРО-АНАЛОГОВІ ПЕРЕТВОРЮВАЧІ.....	164
11.1 Структура типової локальної мікропроцесорної системи керування (ЛМПСК).....	165
11.2 Цифро-аналогові перетворювачі	167
12 ОСНОВНІ ПОНЯТТЯ ТА ЗАДАЧІ ЦИФРОВОЇ ЕЛЕКТРОНІКИ	194
13 ДИСКРЕТИЗАЦІЯ АНАЛОГОВИХ СИГНАЛІВ	197
13.1 Квантування за рівнем.....	197
13.2 Квантування за часом	198
13.3 Квантування за рівнем і за часом.....	199
14 ЗАСТОСУВАННЯ АЛГЕБРИ ЛОГІКИ (БУЛЕВОЇ АЛГЕБРИ) ПРИ АНАЛІЗІ І СИНТЕЗІ ЦЕП.....	201
14.1 Визначення перемикальних функцій.....	202
14.2 Способи опису перемикальних функцій.....	202
14.3 Перемикальні функції однієї змінної (N=1).....	203
14.4 Перемикальні функції двох змінних (N=2).....	204
14.5 Базисні логічні функції.....	205
14.6 Принцип двоїстості булевої алгебри.....	205
14.7 Основні тотожності булевої алгебри.....	206
14.8 Основні закони булевої алгебри.....	206

14.9	ДОСКОНАЛА ДИЗ'ЮНКТИВНА НОРМАЛЬНА ФОРМА (ДДНФ)	
	ЗАПISУ БУЛЕВИХ ВИРАЗIВ	207
14.10	ДОСКОНАЛА КОН'ЮНКТИВНА НОРМАЛЬНА ФОРМА (ДКНФ)	
	ЗАПISУ БУЛЕВИХ ВИРАЗIВ	208
14.11	МІНІМІЗАЦІЯ ЛОГІЧНИХ (ПЕРЕМИКАЛЬНИХ) ФУНКЦІЙ	209
14.12	ПРИКЛАДИ МІНІМІЗАЦІЇ ПФ ЗА ДОПОМОГОЮ ДІАГРАМ ВЕЙЧА	
		215
15	РЕАЛІЗАЦІЯ ЛОГІЧНИХ ФУНКЦІЙ.....	223
15.1	ОСНОВНІ ТИПИ ЛОГІЧНИХ ЕЛЕМЕНТІВ.....	223
15.2	РЕАЛІЗАЦІЯ ЛОГІЧНИХ ФУНКЦІЙ У РІЗНИХ БАЗИСАХ	240
15.3	ТЕХНОЛОГІЇ ВИГОТОВЛЕННЯ ЛОГІЧНИХ ЕЛЕМЕНТІВ	247
15.4	ПАРАМЕТРИ І ХАРАКТЕРИСТИКИ ЦИФРОВИХ ІНТЕГРАЛЬНИХ	
	МІКРОСХЕМ (ЦІМС).....	255
16	ГЕНЕРАТОРИ ТАКТОВИХ ІМПУЛЬСІВ (ГТІ) НА ЛОГІЧНИХ	
	ЕЛЕМЕНТАХ	264
16.1	ГТІ НА ДВОХ ІНВЕРТОРАХ	264
16.2	ГТІ НА 3–Х ІНВЕРТОРАХ.....	267
17	КОМБІНАЦІЙНІ ЦИФРОВІ ПРИСТРОЇ (КЦП).....	269
17.1	Визначення КЦП.....	269
17.2	АНАЛІЗ І СИНТЕЗ КЦП	269
17.3	Типові КЦП	272
18	ПОСЛІДОВНІ ЦЕП (ПЦЕП)	310
18.1	Визначення послідовних цифрових електронних	
	пристроїв (ПЦЕП).....	310
18.2	Тригери.....	310
18.3	Регістри.....	324
18.4	Лічильники	334
18.5	Подільники частоти	350
18.6	Розподільвачі.....	353

19 АНАЛОГО–ЦИФРОВІ ПЕРЕТВОРЮВАЧІ (АЦП)	357
19.1 Призначення та види АЦП.....	357
19.2 Розрахунок АЦП	357
19.3 Пристрій вибірки і зберігання (ПВЗ)	360
19.4 АЦП послідовного наближення.....	363
ПРЕДМЕТНИЙ ПОКАЖЧИК	380
СПИСОК РЕКОМЕНДОВАНОЇ ЛІТЕРАТУРИ	382

ВСТУП

У дев'ятнадцяти розділах цього посібника розглядаються імпульсні та цифрові електронні пристрої, які складають основу комп'ютерної електроніки.

В імпульсній техніці використовуються короткочасні, уривчасті електричні коливання. Вона є складовою частиною радіоелектроніки, а також базою радіолокації, радіонавігації, телебачення та багатоканального зв'язку. На основі імпульсної техніки створені електронні цифрові обчислювальні машини.

Уривчастість імпульсних коливань дає можливість здійснити багатоканальний зв'язок, використовуючи один канал: імпульси, що передають одне повідомлення, розміщуються в паузах між імпульсами, що передають інше повідомлення.

Перелік галузей науки, техніки та виробництва, де ефективно використовуються імпульсні методи, можна продовжити. До них відноситься керування на відстані (телекерування), вимірювання електричних та неелектричних величин, кодований зв'язок, що має скритність та завадозахищеність, промислова автоматика, тощо.

В останні десятиліття імпульсна техніка збагатилася новою, областю, що швидко розвивається, – цифровою технікою – основою електронних цифрових обчислювальних машин, станків з числовим програмним керуванням, роботів, тощо. Вона підняла на нову ступінь якості засобів зв'язку, радіолокацію, викликала появу автоматизованих систем керування підприємствами і цілими галузями народного господарства, комплексів для обробки різноманітних видів інформації. Цьому в немалій мірі сприяло створення нової елементної бази, що призвело до різкого зниження габаритів і маси імпульсних пристроїв.

У частині посібника, яка стосується імпульсної електроніки, розглядаються такі питання: формувачі імпульсів, електронні ключі, виконані на напівпровідникових діодах, транзисторах та тиристорах, імпульсні тригери, аналогові компаратори, генератори прямокутних та пілкоподібних імпульсів, пристрої перетворювання рівнів, цифро-аналогові пристрої.

Обмін інформацією в електронних системах відбувається за допомогою сигналів. Носіями сигналів можуть бути різні фізичні величини – струми, напруги, магнітні стани, світлові хвилі. Virізняють аналогові (безперервні) та дискретні сигнали.

Дискретні сигнали простіше зберігати й обробляти, вони менше зазнають спотворень під дією завад. Такі спотворення простіше виявити та виправити. Тому дискретні сигнали частіше застосовують на практиці, ніж безперервні. Є два типи дискретних сигналів. Перший отримано шляхом дискретизації за рівнем або за часом безперервних сигналів; другий – шляхом дискретизації за рівнем та за часом з отриманням двійкових кодів. Друге подання у вигляді кодових слів є більш універсальним і поширеним. Його використовують для кодування людської мови на папері (листи), у математиці, у цифровій електроніці.

Найімовірніше, що в недалекому майбутньому цифрова електроніка займе монопольне становище на ринку електронних систем та пристроїв. Сьогодні цифрові персональні комп'ютери і контролери практично витиснули аналогові електронні обчислювальні машини. Те саме відбувається з апаратурою радіозв'язку, радіомовлення і телебачення (телевізорами, радіоприймачами, відеомагнітофонами, звукозаписом, фотоапаратурою).

Повністю витиснути аналогову техніку цифрова в принципі не зможе, тому що фізичні процеси, від яких електронна система отримує

інформацію, мають аналогову природу. В цьому випадку на вході та виході потрібні цифро-аналогові та аналого-цифрові пристрої.

Цифрова схемотехніка – галузь науки, техніки і виробництва, яка пов'язана з розробленням, дослідженням, проектуванням та виготовленням електронних систем, де перетворення та оброблення інформації відбувається за законом дискретної функції. Промисловий розвиток цифрової схемотехніки має два напрями: енергетичний (силовий), пов'язаний з перетворенням постійного та змінного струмів для потреб металургії, електротяги, електроенергетики, та інформаційний, до якого належать аудіо– та відеоапаратура, засоби телекомунікації, вимірювання, контролю та регулювання технологічних процесів.

У частині посібника, яка стосується цифрової електроніки, розглядаються такі питання: дискретизація аналогових сигналів; основні положення Булевої алгебри, які використовуються у цифровій електроніці; типові логічні елементи; основні набори (базиси) логічних елементів та правила переходу з одного базису у інший; основні технології виготовлення, параметри та характеристики цифрових мікросхем; цифрові генератори тактових імпульсів; особливості аналізу та синтезу комбінаційних цифрових електронних пристроїв (ЦЕП); основні види комбінаційних та послідовних ЦЕП; аналого-цифрові перетворювачі.

В кінці кожного розділу наведено питання для самоконтролю.

СПИСОК СКОРОЧЕНЬ

А – анод

АВМ – автоколивальний мультивібратор

АЕП – аналоговий електронний пристрій

АІ – активний інтегратор

АІМ – амплітудно-імпульсна модуляція

АК – аналоговий компаратор

АМПС – аналоговий мультиплексор

АЦП – аналого-цифровий перетворювач

БА – Булева алгебра

БПП – блок пріоритетних переривань

ВАК – власне аналоговий компаратор

ВАХ – вольт-амперна характеристика

ВЗЗ – від’ємний зворотний зв’язок

ВЗП – вектор запиту переривання

ВІС – велика інтегральна схема

ВП – вимога переривання

ВПП – вектор поточного переривання

ГНЗЛ – генератор напруги, що змінюється лінійно

ГПН – генератор пилоподібної напруги

ГТІ – генератор тактових імпульсів

ДДНФ – досконала диз’юнктивна нормальна форма

ДЕП – дискретний електронний пристрій

ДЗЗ – додатний зворотний зв’язок

ДВК – двійковий код

ДК – диференціююче коло

ДКЛ – діодний ключ

ДКНФ – досконала кон’юнктивна нормальна форма

ДНФ – диз'юнктивна нормальна форма
ДПС – двигун постійного струму
ЕЗЛ – емітерно–зв'язана логіка
ЕК – електронний ключ
ЕОМ – електронно-обчислювальна машина
ЕП – електронний пристрій
ЕРС – електрорушійна сила
ЗВПР – зовнішній пристрій
ЗГ – задаючий генератор
ЗЗ – зворотний зв'язок
ЗП – запам'ятовуючий пристрій
ІЕП – імпульсний електронний пристрій
ІК – інтегруюче коло
ІМС – інтегральна мікросхема
ІМС ОП – інтегральна мікросхема операційного підсилювача
К – катод
КЕ – керуючий електрод
КМОН – комплементарний метал-оксидний напівпровідник
КНФ – кон'юнктивна нормальна форма
К_{ОБ} – коефіцієнт об'єднання по входу
К_{РОЗ} – коефіцієнт розгалуження по виходу
КЦП – комбінаційний цифровий пристрій
ЛЕ – логічний елемент
ЛЕП – логічний електронний пристрій
ЛМПСК – локальна мікропроцесорна система керування
МВ – мультівібратор
МДН – метал-діелектрик-напівпровідник
МЗР – молодший значущий розряд
МК – мікроконтролер

МОН – метал-оксид-напівпровідник
МП – мікропроцесор
МПС – мікропроцесорна система
МПСК – мікропроцесорна система керування
НВІС – надвелика інтегральна схема
ОВ – одновібратор
ОП – операційний підсилювач
ПВЗ – пристрій вибірки і зберігання
ПДЗКД – подільник зі змінним коефіцієнтом ділення
ПЗП – постійний запам'ятовуючий пристрій
ПІ – підсилювач-інвертор
ПКП – пристрій контролю парності
ПЛІС – програмована логічна інтегральна схема
ПФ – перемикальна функція
ПФР – пристрій формування рівнів
ПЦЕП – послідовний цифровий електронний пристрій
РКІ – рідкокристалічний індикатор
РМ – резисторна матриця
РПН – регістр послідовного наближення
СА – спільний анод
СЕ – спільний емітер
СЗР – старший значущий розряд
СК – струмовий ключ
СП – спільна база
СРС – самостійна робота студентів
СУР – схема узгодження рівнів
СФР – схема формування рівнів
СЧ – система числення
ТД – термодатчик

ТК – транзисторний ключ
ТКО – температурний коефіцієнт опору
ТТЛ – транзисторно-транзисторна логіка
ТТЛШ – транзисторно-транзисторна логіка з діодами Шоттки
ТШ – тригер Шмітта
ВПС – встановлення початкового стану
ФІ – формувач імпульсів
ФНЧ – фільтр нижніх частот
ЦАП – цифро-аналоговий перетворювач
ЦЕП – цифровий електронний пристрій
ЦІМС – цифрова інтегральна мікросхема
ЦК – цифровий компаратор
ЦОМ – цифрова обчислювана машина
ЧІМ – частотно-імпульсна модуляція
ШІМ – широтно-імпульсна модуляція
ШІП – широтно-імпульсний перетворювач

1 ОСНОВНІ ВЛАСТИВОСТІ ІМПУЛЬСНИХ ЕЛЕКТРОННИХ ПРИБОРІВ

1.1 Призначення та особливості застосування імпульсних електронних пристроїв (ІЕП)

Електронні пристрої (ЕП) умовно можна поділити на дві групи (рисунк 1.1):

- аналогові електронні пристрої (АЕП);
- дискретні електронні пристрої (ДЕП).

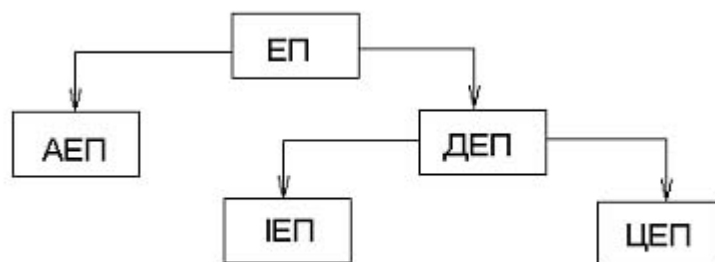


Рисунок 1.1 – Види електронних пристроїв

До аналогових відносяться електронні пристрої, в яких діють аналогові (неперервні) сигнали, наприклад, гармонійні (синусоїдальні). Цей клас пристроїв розглядається в першому розділі даної дисципліни.

До дискретних відносяться електронні пристрої, в яких діють дискретні сигнали, що змінюються стрибками (уривчасто), наприклад, послідовність прямокутних імпульсів.

В свою чергу ДЕП діляться на:

- імпульсні електронні пристрої (ІЕП);
- цифрові електронні пристрої (ЦЕП).

До імпульсних відносяться електронні пристрої, в яких діють імпульсні сигнали (імпульси). Під імпульсом мають на увазі короточасну, порівняно з часом аналізу, зміну напруги (струму) в електричному колі від

нуля чи деякого постійного нульового рівня $U_0(I_0)$, до певного максимального значення $U_m(I_m)$.

До цифрових відносяться електронні пристрої, в яких діють цифрові сигнали, що мають два фіксовані рівні напруги: високий та низький. Високий рівень називають логічною одиницею (одиницею), а низький – логічним нулем (нулем). Цифрові сигнали є переносником двійкових кодів. Цифровий сигнал – це поодинокий випадок імпульсного сигналу, якщо вважати нульове (початкове) значення амплітуди імпульсу – нулем, а максимальне (амплітудне) значення – одиницею.

На відміну від імпульсних сигналів, які можуть мати різну форму: прямокутну, трапецієподібну, трикутну, експоненціальну і т. ін., цифрові сигнали мають форму, близьку до прямокутної.

Сучасна електроніка характеризується широким використанням імпульсних пристроїв. Напруги та струми в таких пристроях мають імпульсний характер, нерідко імпульси відділені один від одного досить тривалим інтервалом паузи. Можна назвати основні причини, що спричинили розвиток імпульсної техніки.

По-перше, більшість виробничих процесів мають імпульсний характер: пуск та зупинка агрегатів, зміна швидкості та гальмування, скидання навантаження, спрацювання захисту, тощо. Більшість технологічних процесів розкладається на ряд операцій (“тактів”), і їх зміна також зумовлює імпульсний характер пристроїв. Для керування роботою агрегатів з імпульсним характером функціонування потрібно створення специфічних імпульсних електронних вузлів.

По-друге, передача інформації у вигляді імпульсів, розділених паузами, дозволяє зменшити потужність, споживану від джерела живлення, при збереженні достатньої потужності імпульсу. Це особливо

важливо при використанні джерел обмеженої потужності (батареї, акумулятори), наприклад на пересувних (в тому числі космічних) об'єктах.

По-третє, передача інформації у вигляді імпульсів дозволяє суттєво розвантажити канали зв'язку. Так, наприклад, немає необхідності передавати інформацію про напір ГЕС у вигляді неперервного сигналу, оскільки напір змінюється досить повільно. Передача інформації у вигляді окремих відліків дозволить використовувати цей же канал зв'язку для одночасної передачі інформації про інші фізичні величини.

По-четверте, передача інформації в імпульсній формі дозволяє значно підвищити завадостійкість, точність та надійність електронних пристроїв. При передачі неперервного сигналу точність знижується через існування дрейфу нуля підсилювачів, впливу зміщення напруги нуля, вхідних струмів та різних завад.

Існує багато способів передачі неперервного сигналу (рисунк 1.2, а) у вигляді послідовності прямокутних імпульсів (рисунк 1.2, б...г).

При здійсненні амплітудно-імпульсної модуляції (АІМ) амплітуда імпульсів пропорційна вхідному сигналу (рисунк 1.2, б). При цьому способі передачі інформації шкідливий вплив дрейфу нуля підсилювачів та інших перерахованих факторів на точність залишається. При використанні широтно-імпульсної модуляції (ШІМ) амплітуда та частота повторення імпульсів постійні, але ширина імпульсів t_{im} пропорційна поточному значенню вхідного сигналу (рисунк 1.2, в). При частотно-імпульсній модуляції (ЧІМ) (рисунк 1.2, г) період імпульсного сигналу визначає частоту слідування імпульсів, які мають постійну тривалість та амплітуду. При ШІМ та ЧІМ дрейф нуля підсилювачів не впливає на точність передачі вхідного сигналу, котра в даному випадку залежить тільки від точності фіксації часового положення імпульсів. Найбільшу точність та завадостійкість забезпечують число-імпульсні методи: інформація

передається у вигляді числа, якому відповідає певний набір імпульсів (коду), при цьому суттєвим є тільки наявність чи відсутність імпульсу.

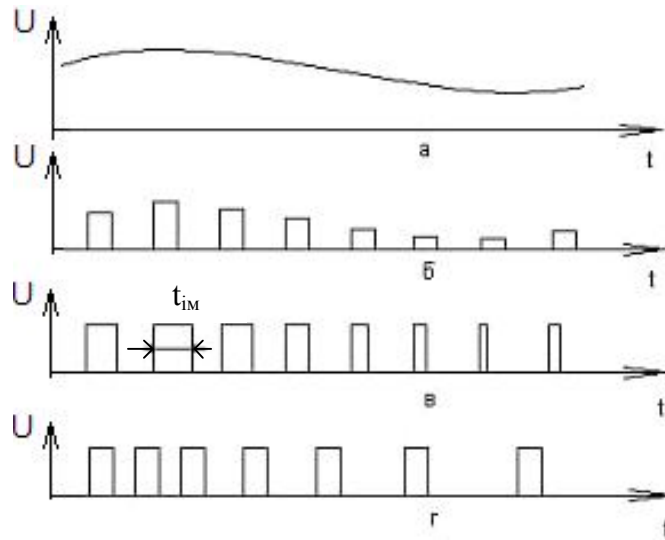


Рисунок 1.2 – Способи передачі інформації за допомогою імпульсів

1.2 Основні параметри імпульсів

В електронній техніці найчастіше використовуються імпульси, форма яких наближається до прямокутної. На рисунку 1.3, а наведено періодичну послідовність прямокутних імпульсів.

Імпульси характеризуються наступними параметрами:

U_m – амплітуда імпульсу;

$t_{им}$ – тривалість імпульсу;

t_n – тривалість паузи;

$T_{им} = t_{им} + t_n$ – період слідування імпульсів;

$f = 1/T_{им}$ – частота слідування імпульсів;

$Q_{им} = T_{им} / t_{им}$ – шпаруватість імпульсів;

$U_0 = U_{сер}$ – середнє значення (постійна складова) імпульсної послідовності.

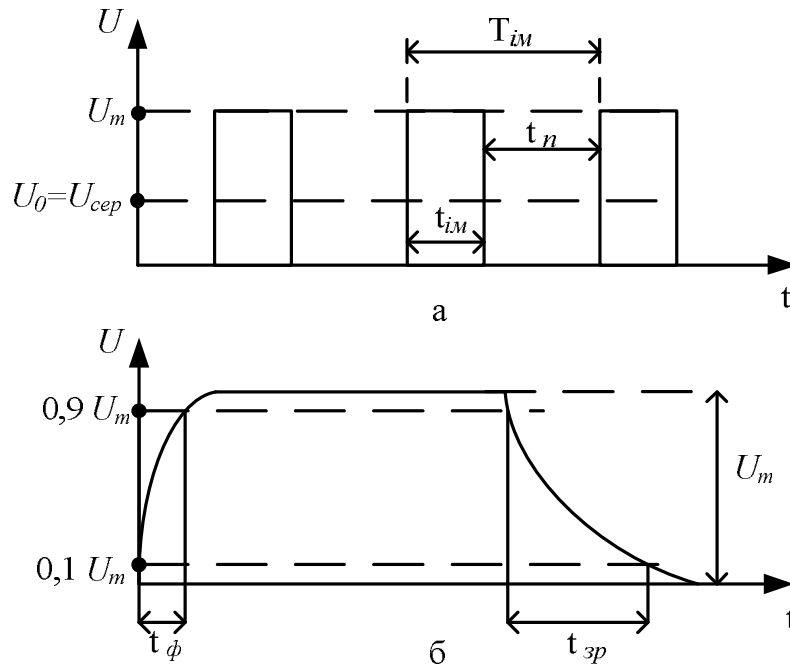


Рисунок 1.3 – Основні параметри прямокутних імпульсів

У справжніх пристроях прямокутні імпульси мають певну тривалість фронту t_{ϕ} та зрізу $t_{зр}$ (рисунок 1.3). Як правило, фронт та зріз імпульсу визначаються протягом часу наростання (чи спаду) напруги від $0,1U_m$ до $0,9U_m$. Для нормального функціонування імпульсних пристроїв необхідно, щоб $t_{\phi} \ll t_{ім}$ та $t_{зр} \ll t_{ім}$, інакше часове положення імпульсу не буде зафіксоване з потрібною точністю. Сучасні електронні пристрої дозволяють отримати t_{ϕ} та $t_{зр}$ значно менше 1мкс, і через це часто можна вважати, що t_{ϕ} та $t_{зр} \rightarrow 0$.

Поряд з прямокутними імпульсами в електронній техніці широко використовуються імпульси пилкоподібної (рисунок 1.4, а), експоненціальної (рисунок 1.4, б) та дзвоноподібної (рисунок 1.4, в) форми.

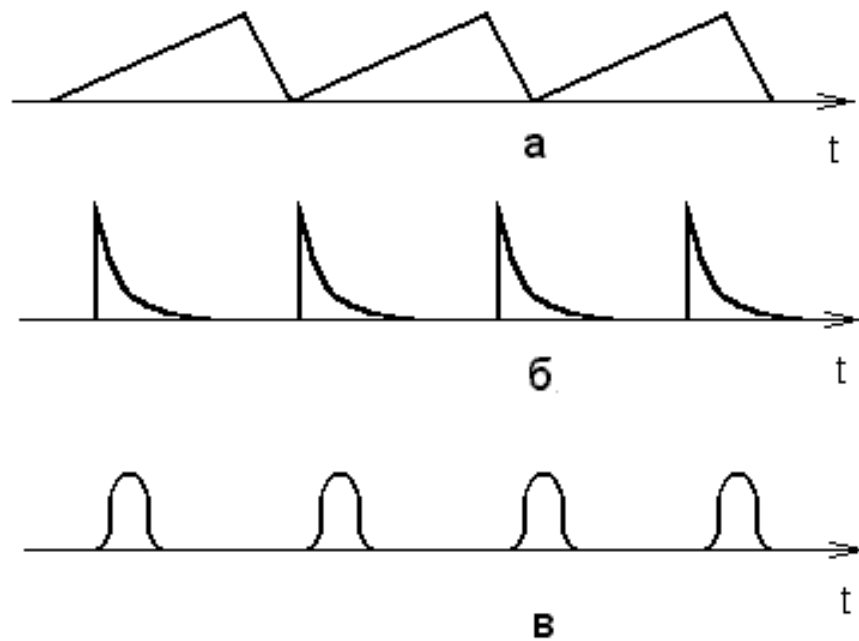


Рисунок 1.4 – Форми імпульсних сигналів

1.3 Види імпульсних пристроїв

Імпульсні пристрої в залежності від виконуваних функцій можна поділити на наступні групи:

- формувачі імпульсів;
- електронні ключі;
- тригери;
- компаратори;
- генератори імпульсів.

ПИТАННЯ ДЛЯ САМОКОНТРОЛЮ

- 1) У чому полягає відмінність між імпульсними та цифровими сигналами?
- 2) Поясніть, чому в електроніці так широко застосовуються імпульсні пристрої.
- 3) Назвіть та поясніть основні параметри імпульсів.
- 4) Як впливає значення шпаруватості на постійну складову послідовності прямокутних імпульсів?
- 5) Як визначається тривалість фронту та зрізу імпульсу?
- 6) Назвіть види імпульсних пристроїв.

ЛІТЕРАТУРА

[1, 2, 4...13, 29]

2 ДИФЕРЕНЦІЮЮЧІ ТА ІНТЕГРУЮЧІ КОЛА

В імпульсних електронних пристроях широко використовуються кола, які формують напругу однієї форми з напруги іншої. Для цього використовуються лінійні елементи, наприклад, опори, ємності, індуктивності, параметри яких не залежать від значень та напрямків струмів, що проходять через них, та прикладених напруг. Струм у таких елементах пропорційний вхідній напрузі, отже їх вольт-амперна характеристика (ВАХ) – лінійна. Кола, що складаються з лінійних елементів, називаються лінійними.

При надходженні на вхід лінійного кола синусоїдальної напруги на всіх її елементах також буде синусоїдальна напруга. Якщо на вході лінійного кола, що містить частотно-залежні елементи (конденсатор, індуктивність), діє напруга, що представляє суму гармонік різних частот, то форма напруги на її елементах відрізняється від форми вхідної напруги. Це пояснюється тим, що гармоніки вхідної напруги по різному пропускаються цим колом. В результаті форма вхідної та вихідної напруг відрізнятимуться. Ця властивість використовується для формування імпульсів за допомогою лінійних кіл (перетворення імпульсів).

Описані процеси характерні для диференціюючих та інтегруючих кіл, які широко використовуються в імпульсній техніці для формування імпульсів.

2.1 Диференціюючі кола

Диференціююче коло (ДК) виконує диференціювання сигналів, що надходять на його вхід, та призначене для формування на виході коротких імпульсів, які відповідають фронту та зрізу довших вхідних імпульсів. ДК виконує фіксацію моментів фронту та зрізу імпульсів, що надходять на його вхід.

Диференціюючі кола виконуються з використанням тільки пасивних елементів (пасивні ДК) та з використанням пасивних та активних елементів (активні ДК). Як частотно-залежні елементи в них можуть використовуватися конденсатори чи індуктивності. Нижче будуть розглянуті ДК з використанням конденсаторів, як більш технологічних елементів, ніж індуктивності.

2.2 Пасивні диференціюючі кола

Схему пасивного ДК наведено на рисунку 2.1.

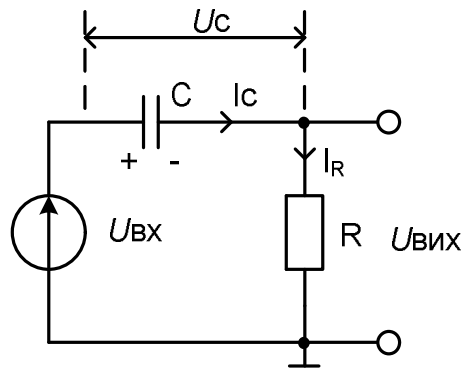


Рисунок 2.1 – Схема пасивного ДК

2.3 Аналіз пасивного диференціюючого кола

Струм, що проходить через конденсатор, пов'язаний з напругою на ньому залежністю:

$$I_c = C \left(\frac{dU_c}{dt} \right). \quad (2.1)$$

Напруга на виході схеми:

$$U_{ВИХ} = I_R \cdot R = I_c \cdot R = RC \left(\frac{dU_c}{dt} \right) = \tau_{диф} \left(\frac{dU_c}{dt} \right), \quad (2.2)$$

де $\tau_{диф} = RC$ – стала часу кола.

Оскільки $U_c = U_{ВХ} - U_{ВИХ}$, то

$$U_{ВИХ} = \tau_{диф} \frac{dU_c}{dt} = \tau_{диф} \frac{d(U_{ВХ} - U_{ВИХ})}{dt} = \tau_{диф} \frac{dU_{ВХ}}{dt} - \tau_{диф} \frac{dU_{ВИХ}}{dt}. \quad (2.3)$$

Перший доданок виразу (2.3) – результат ідеального диференціювання, другий – похибка, яка зменшується із зменшенням $\tau_{\text{диф}}$, але при цьому одночасно зменшується й корисна складова вихідного сигналу.

На рисунку 2.2 показано часові діаграми роботи пасивного диференціюючого кола.

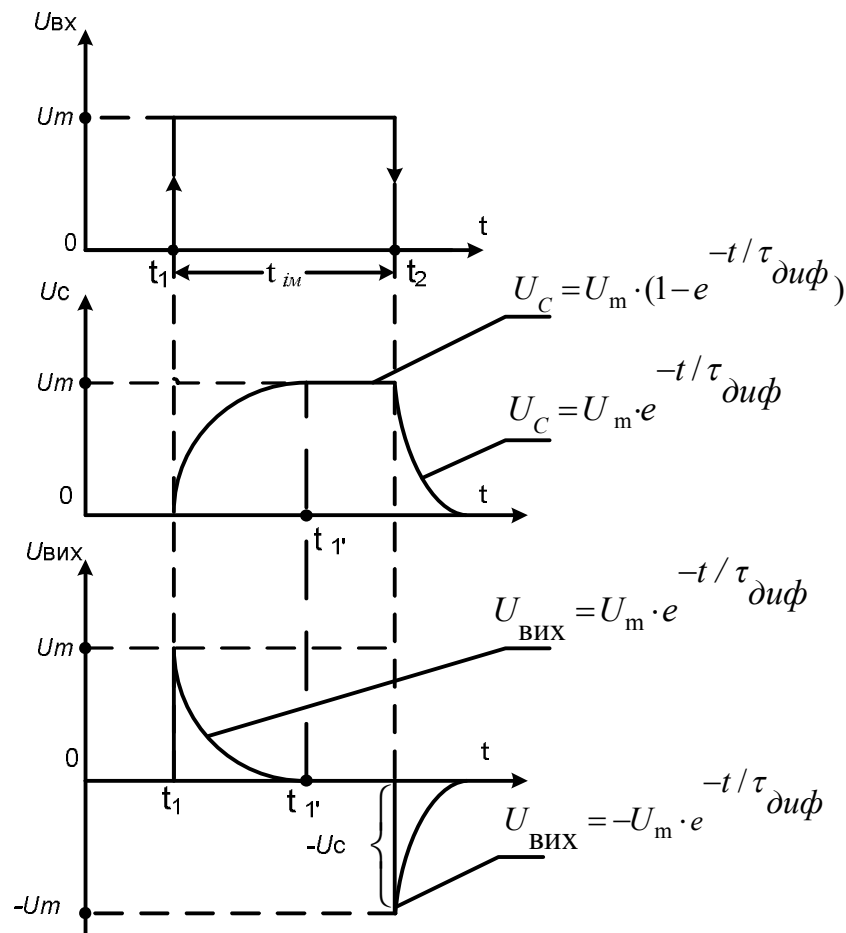


Рисунок 2.2 – Часові діаграми роботи пасивного ДК

2.4 Аналіз роботи пасивного диференціюючого кола за часовими діаграмами

На рисунку 2.2 зображено часові діаграми роботи пасивного ДК (рисунк 2.1) при надходженні на його вхід ідеального (з крутими фронтами) одиночного прямокутного імпульсу. В момент надходження

імпульсу ємність розряджена, її опір $X_c(t_1)=0$ і фронт вхідного імпульсу передається на вихід практично без змін. Потім конденсатор заряджається за експоненціальним законом:

$$U_{C.ЗАР} = U_m \cdot \left(1 - e^{-t/\tau_{диф}} \right). \quad (2.4)$$

а вихідна напруга зменшується за тим самим законом:

$$U_{ВІХ}(t) = U_m \cdot e^{-t/\tau_{диф}}. \quad (2.5)$$

Через проміжок часу $t \geq 3\tau_{диф}$ ємність майже повністю зарядиться, $U_c \approx U_m$, а $U_{ВІХ} = 0$. Це відповідає ідеальному диференціюванню постійної вхідної напруги $U_{ВХ} = U_m$. Наявність гострокінцевого вихідного імпульсу пов'язана з похибкою реального ДК.

На момент закінчення вхідного прямокутного імпульсу ($U_{ВХ} = 0$) напруга на ємності не може зникнути миттєво, і це викликає появу на виході стрибка від'ємної напруги, амплітудою $U_{ВІХ} = U_c = U_m$. Потім конденсатор розряджається, напруга на ньому змінюється у відповідності з виразом $U_{C.РОЗР} = U_m \cdot e^{-t/\tau_{диф}}$, а отже, вихідна напруга зменшується до нуля.

Форма сигналу на виході ДК залежить від співвідношення тривалості вхідного імпульсу $t_{ім}$ та сталої часу ДК $\tau_{диф}$. На рисунку 2.3 наведено часові діаграми роботи ДК для чотирьох співвідношень $t_{ім}$ и $\tau_{диф}$:

1. $\tau_{диф} \gg t_{ім}$ (рисунок 2.3, а);
2. $\tau_{диф} = 3t_{ім}$ (рисунок 2.3, б);
3. $\tau_{диф} = t_{ім} / 3$ (рисунок 2.3, в);
4. $\tau_{диф} \ll t_{ім}$ (рисунок 2.3, г).

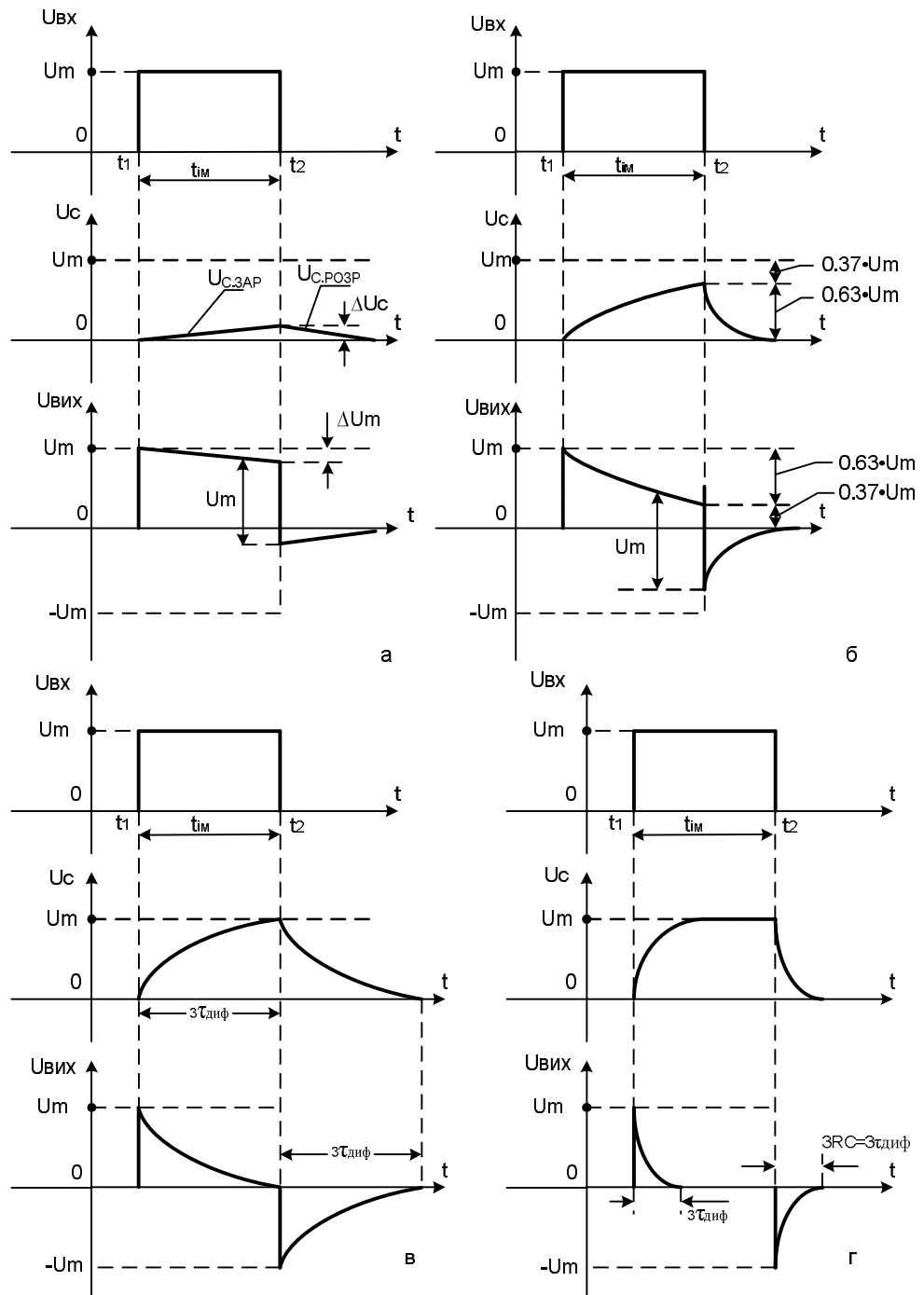


Рисунок 2.3 – Часові діаграми роботи ДК для чотирьох

співвідношень t_{im}, τ_{dif} :

а - $\tau_{dif} \gg t_{im}$; б - $\tau_{dif} = t_{im} / 3$;

в - $\tau_{dif} = 3t_{im}$; г - $\tau_{dif} \ll t_{im}$

Порівнюючи ці діаграми, можна зробити висновок, що в першому випадку коло є перехідним і форма вихідного сигналу мало відрізняється від форми вхідного. Зі зменшенням $\tau_{\text{диф}}$ при $t_{\text{ім}} = \text{const}$ схема буде наближатися до диференціюючої, і при співвідношенні

$$\tau_{\text{диф}} \ll t_{\text{ім}} \quad (2.6)$$

коло буде виконувати поставлене перед ним завдання – загострення (скорочення) вхідних імпульсів.

2.5 Розрахунок тривалості імпульсу на виході пасивного диференціюючого кола

Активна тривалість імпульсу на виході ДК, яку вираховано на рівні $0,5 \cdot U_{\text{м}}$ (рисунок 2.4), визначається з виразу

$$t_{\text{ім.вих.а}} = \tau_{\text{диф}} \cdot \ln 2. \quad (2.7)$$

Це співвідношення виводиться з виразу (2.5) при підставленні у нього

$$U_{\text{вих}}(t) = 0,5 \cdot U_{\text{м}}, \text{ при } t = t_{\text{ім.вих.а}}.$$

Чим менша стала часу $\tau_{\text{диф}}$, тим швидше заряджається і розряджається конденсатор, тим меншу тривалість мають вихідні імпульси, отже тим більш гострокінцевими вони є. Але $\tau_{\text{диф}}$ можливо зменшувати лише до певної межі.

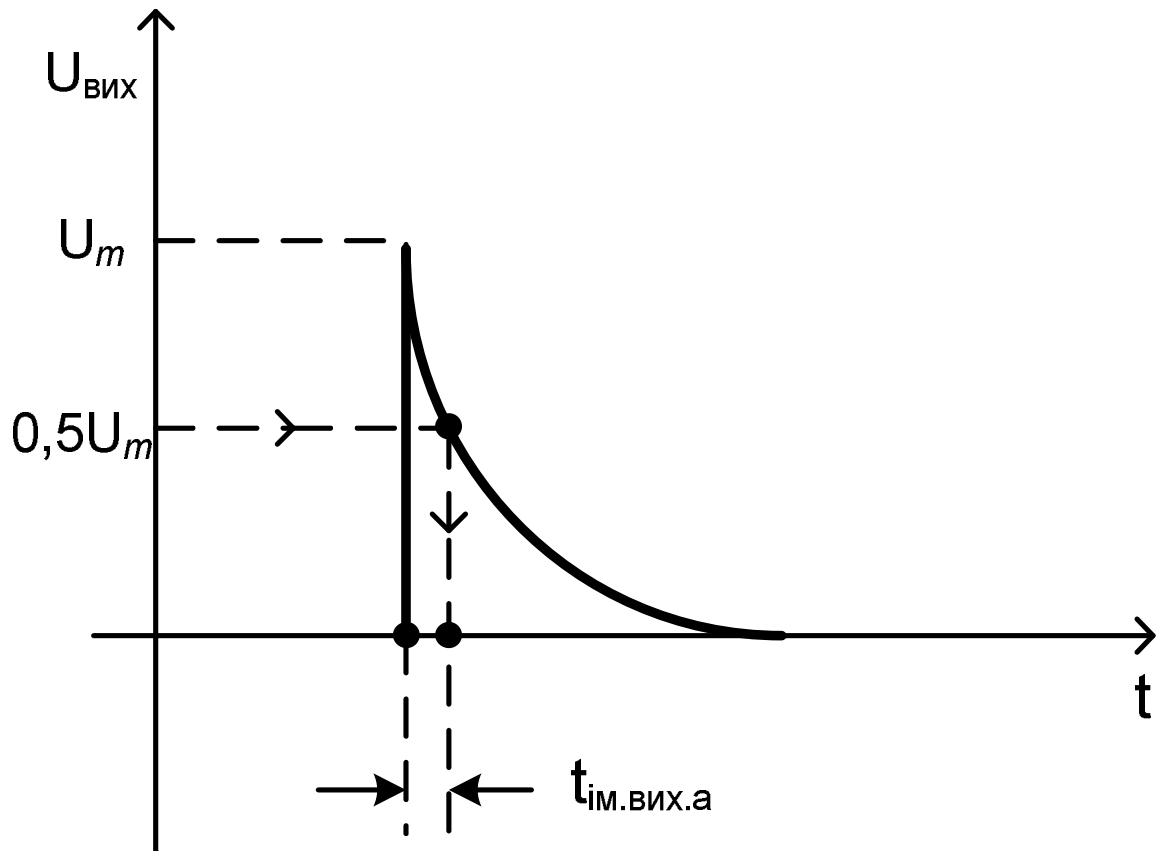


Рисунок 2.4 – Визначення тривалості вихідного імпульсу ДК

2.6 Робота пасивного диференціюючого кола при поданні на його вхід трапецеїдальних імпульсів

Приведений вище аналіз роботи ДК було виконано за умови, що на його вхід надходять ідеальні прямокутні імпульси з крутими фронтами, що мають практично нульову довжину.

Передній та задній фронти дійсних прямокутних імпульсів мають кінцеву тривалість, а самі реальні імпульси можна апроксимувати трапецією. Для визначення впливу ДК на реальні трапецеїдальні імпульси розглянемо який вплив справляє ДК на передній та задній фронти, які змінюються за лінійним законом. На рисунку 2.5 наведено часові діаграми, які роз'яснюють диференціювання імпульсу з фронтом, що змінюється лінійно, для різних співвідношень $\tau_{\text{диф}}$ та тривалості фронту $t_{\text{ф}}$:

– $\tau_{\text{диф}} \ll t_{\phi}$ (рисунок 2.5, а);

– $\tau_{\text{диф}} \gg t_{\phi}$ (рисунок 2.5, б).

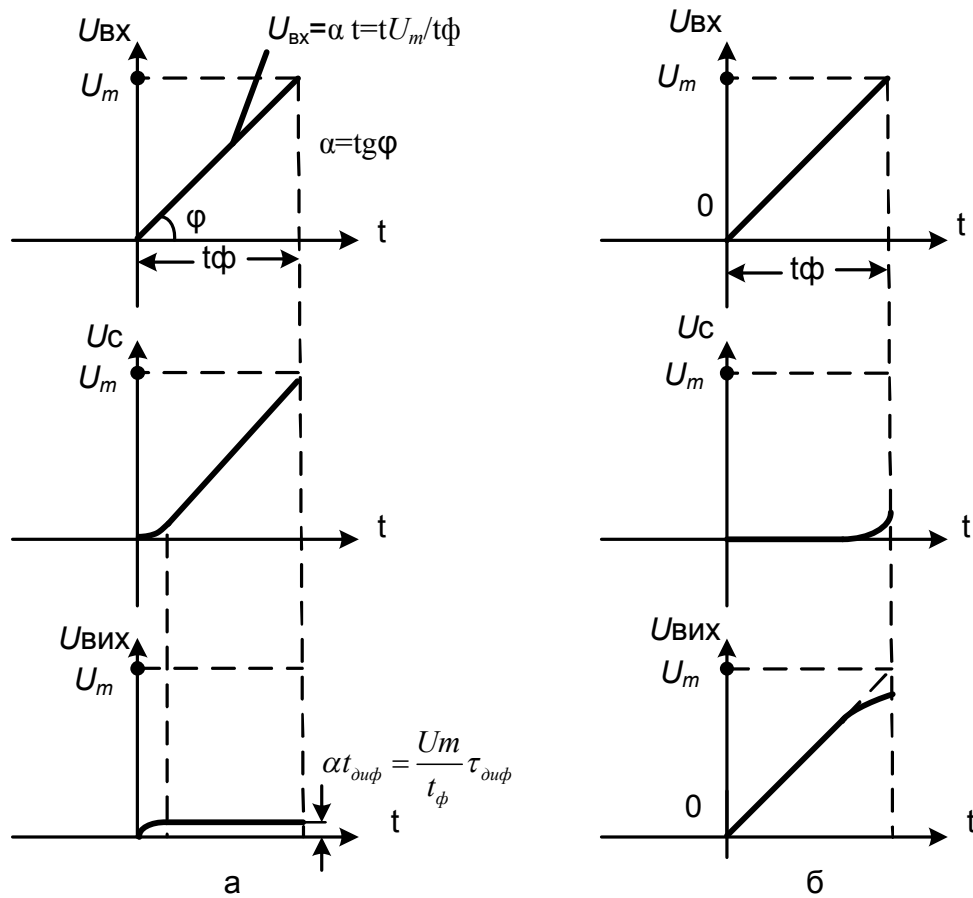


Рисунок 2.5 – Диференціювання напруги, яка змінюється лінійно:

а – $\tau_{\text{диф}} \ll t_{\phi}$; б – $\tau_{\text{диф}} \gg t_{\phi}$.

При співвідношенні $\tau_{\text{диф}} \ll t_{\phi}$ коло виконує диференціювання фронту і вихідна напруга невелика, а при $\tau_{\text{диф}} \gg t_{\phi}$ розглянуте коло для фронту є прохідним (перехідним) і фронт вхідного сигналу передається на вихід з невеликими спотвореннями, викликаними зарядом конденсатора.

Вплив ДК на реальний (трапецеїдальний) імпульс залежить від співвідношення $\tau_{\text{диф}}$, t_{ϕ} , $t_{\text{зр}}$ та $t_{\text{ім}}$.

На рисунку 2.6 наведено часові діаграми роботи ДК для двох співвідношень $\tau_{\text{диф}}$, t_{ϕ} ($t_{\text{зр}}$) та $t_{\text{ім}}$:

– $t_{\phi} \ll \tau_{\text{диф}} \ll t_{\text{ім}}$ (рисунок 2.6, а);

– $t_{\phi} \gg \tau_{\text{диф}} \ll t_{\text{ім}}$ (рисунок 2.6, б).

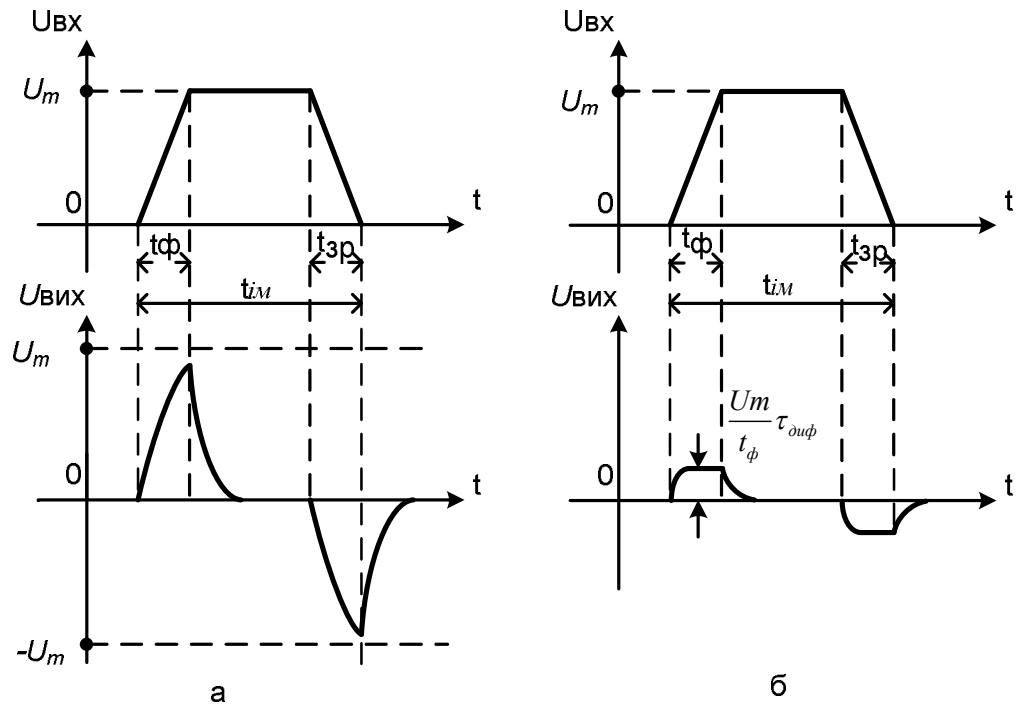


Рисунок 2.6 – Часові діаграми роботи ДК при надходженні на його вхід реального прямокутного імпульсу та співвідношень $\tau_{\text{диф}}$, t_{ϕ} та $t_{\text{ім}}$:

а – $t_{\phi} \ll \tau_{\text{диф}} \ll t_{\text{ім}}$; б – $t_{\phi} \gg \tau_{\text{диф}} \ll t_{\text{ім}}$.

При співвідношенні $t_{\phi} \ll \tau_{\text{диф}} \ll t_{\text{ім}}$ коло є перехідним для фронтів та диференціюючим для плоскої вершини, а в другому випадку схема диференціює фронти та плоску вершину, тому на виході не вдається отримати гострокінцевих імпульсів і схема не виконує своє завдання – отримання коротких гострокінцевих імпульсів достатньої амплітуди.

2.7 Вплив опору джерела та ємності навантаження на форму вихідного імпульсу

До цього часу розглядалось ідеалізоване ДК, де не враховувались вплив внутрішнього опору генератора імпульсів $R_{\text{вн}}$ та паразитної ємності

C_0 , котра шунтує вихід (рисунок 2.7, а). Форму вихідного імпульсу на виході реального ДК зображено на рисунку 2.7, б.

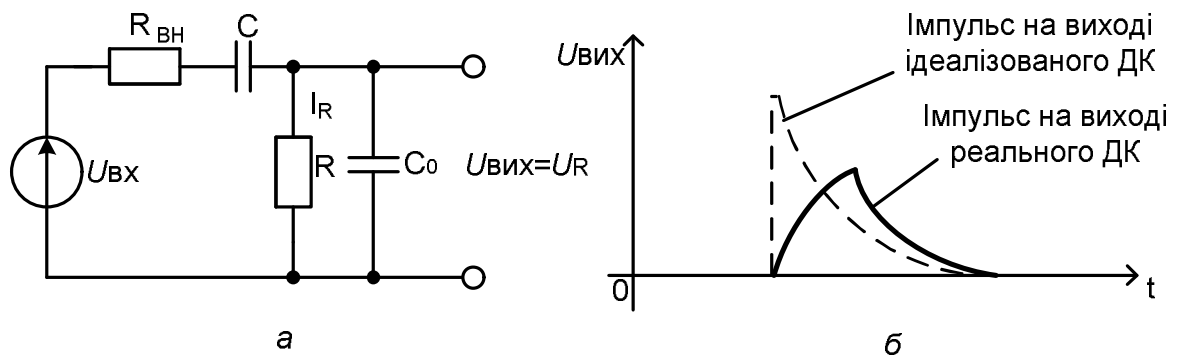


Рисунок 2.7 – ДК із врахуванням $R_{вн}$ та C_0 :

а – схема; б – форма вихідного імпульсу

Наявність $R_{вн}$ та C_0 призводить до зменшення амплітуди вихідного імпульсу, затягуванню переднього та заднього фронтів в цілому.

Для зменшення впливу $R_{вн}$ та C_0 параметри схеми обирають так, щоб виконувались нерівності: $R \gg R_{вн}, C \gg C_0$.

Потрібно відмітити, що збільшення C призводить до зменшення R , оскільки необхідно виконати умову $\tau_{диф} = RC \ll t_{ім}$. А зменшення R призводить до зменшення амплітуди вихідної напруги. Тому на практиці беруть $C = (2...3)C_0$.

2.8 Розрахунок пасивного диференціюючого кола

На вхід реального ДК (рисунок 2.7,а) надходить трапецеїдальний імпульс з параметрами: $t_{\phi} = t_{зр} = 0.1 \text{ мкс}$; $t_{ім} = 10 \text{ мкс}$. Внутрішній опір джерела $R_{вн} = 50 \text{ Ом}$. Ємність навантаження (паразитна ємність) $C_0 = 20 \text{ пФ}$. Потрібно визначити параметри ДК: R та C .

Розмір ємності обираємо зі співвідношення: $C = 3 \cdot C_0 = 60 \text{ пФ}$. Приймаємо $C = 62 \text{ пФ}$.

Величина опору резистора R визначається з виразу: $R = \tau_{\text{диф}} / C$.

Тепер необхідно вибрати значення сталої часу диференціювання $\tau_{\text{диф}}$.

Для того, щоб схема виконувала свою функцію – отримання на виході гострокінцевих імпульсів, необхідно забезпечити виконання співвідношення $t_{\phi} \ll \tau_{\text{диф}} \ll t_{\text{ім}}$ (рисунок 2.6,а). Прийmemo

$\tau_{\text{диф}} = 0,1 \cdot t_{\text{ім}} = 0,1 \cdot 10 \text{ мкс} = 1 \text{ мкс}$. Перевіряемо, що

$(t_{\phi} = 0,1 \text{ мкс}) \ll (\tau_{\text{диф}} = 1 \text{ мкс}) \ll (t_{\text{ім}} = 10 \text{ мкс})$. При такому значенні

$\tau_{\text{диф}}$ ефективна тривалість вихідного імпульсу

$t_{\text{ім.вих.а}} = \tau_{\text{диф}} \cdot \ln 2 = 0,1 t_{\text{ім.вх}} \cdot \ln 2 \approx t_{\text{ім.вх}} / 14$, отже на виході отримаємо

короткий імпульс, тривалістю у 14 разів коротше вхідного імпульсу.

Вихідна напруга на виході ДК за час $t = 3\tau_{\text{диф}} = 0,3 t_{\text{ім}}$ дорівнює

$U_{\text{вих}} = U_{\text{м}} \cdot e^{-3\tau_{\text{диф}} / \tau_{\text{диф}}} \approx 0,05 U_{\text{м}}$, отже заряд конденсатора фактично

закінчився. Таким чином значення опору резистора

$$R = \tau_{\text{диф}} / C = 1 \cdot 10^{-6} / 62 \cdot 10^{-12} \approx 16 \text{ кОм}.$$

Приймаємо $R = 16 \text{ кОм}$. Перевіряємо виконання нерівностей:

$R \gg R_{\text{вн}}; C \gg C_0; 1,6 \cdot 10^3 \text{ Ом} \gg 50 \text{ Ом}; 62 \text{ пФ} \gg 20 \text{ пФ}$.

2.9 Активні диференціюючі кола

В якості активного елемента диференціюючих кіл широко використовуються інтегральні мікросхеми операційних підсилювачів (ІМС ОП).

Принципову схема активного ДК на ІМС ОП подано на рисунку 2.8.

Спочатку будемо вважати, що ІМС ОП є ідеальною:

$$K_{\text{У.ІМС ОП}} \rightarrow \infty, \quad (2.8)$$

$$R_{\text{вх}} \rightarrow \infty, \quad (2.9)$$

$$R_{BHX} \rightarrow 0. \quad (2.10)$$

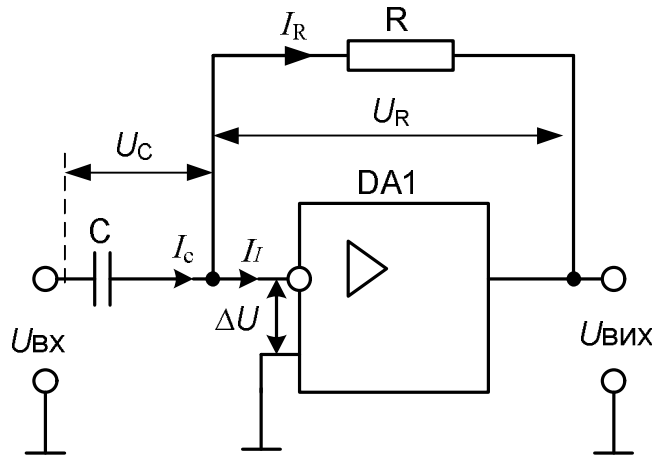


Рисунок 2.8 – Принципова схема активного ДК на ІМС ОП

Різниця напруг між інвертуючим (І) входом та не інвертуючим (Н) входом $\Delta U = U_{BHX} / K_{U.I.MCOI}$ при виконанні умови (2.8) в межах лінійної ділянки передатної характеристики ІМС ОП приблизно дорівнює нулю. Струм I_I , що надходить на інвертуючий вхід ІМС ОП, дорівнює нулю за умови, що $R_{BX} \rightarrow \infty$.

Струм, який проходить через конденсатор $I_c = C \frac{dU_c}{dt}$.

Оскільки $\Delta U = U_R + U_{BHX}$, то при $\Delta U = 0$ $U_{BHX} = -U_R$.

У свою чергу $U_R = I_R R$, $I_R = I_c$ струм $I_I \rightarrow 0$ (коли $R_{BX} \rightarrow \infty$),

отже $U_R = I_c R = RC \frac{dU_c}{dt}$,

$$U_{BHX} = -RC \frac{dU_c}{dt} = -\tau_{\text{диф}} \frac{dU_c}{dt} = -\tau_{\text{диф}} \frac{dU_{BX}}{dt}, \quad (2.11)$$

де $\tau_{\text{диф}} = RC$ — стала часу.

Отже, якщо ІМС ОП є ідеальною, то ДК на її основі виконує точне диференціювання вхідного сигналу і похибка дорівнює нулю. Знак мінус у виразі (2.11) показує, що вихідна напруга протифазна вхідній. Порівнюючи

вирази (2.11) та (2.3) бачимо, що ця схема хоча й називається активною, але не підсилює вхідну напругу порівняно з пасивним ДК. Високий коефіцієнт підсилення ІМС ОП та наявність від'ємного зворотного зв'язку (ВЗЗ) дозволяє при однаковій з пасивним ДК вихідній напрузі звести до нуля похибку диференціювання. Реальні ІМС ОП не забезпечують точного диференціювання, оскільки їх коефіцієнт підсилення за напругою має кінцеве значення. Але, чим більше $K_{U.ІМСОП}$, тим менше ΔU і тим більше струм конденсатора відповідає похідній вхідної напруги. Поряд з цим, збільшення $K_{U.ІМСОП}$ призводить до додаткового зниження похибки, оскільки напруга U_R все менш відрізняється від напруги $U_{ВІХ}$.

Для оцінки похибки диференціювання, викликаної кінцевим значенням коефіцієнту підсилення $K_{U.ІМСОП}$, замінимо початкову схему активного ДК (рисунок 2.8) еквівалентною їй у розрахунковому відношенні схемою (рисунок 2.9).

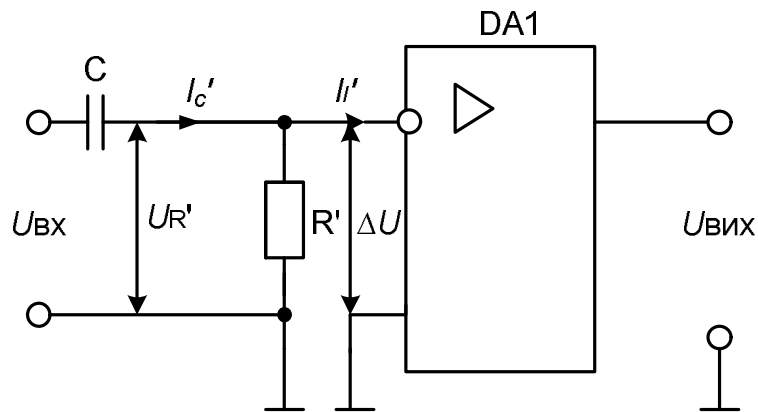


Рисунок 2.9 – Еквівалентна схема активного ДК

Струм заряду конденсатора у вихідній схемі (рисунок 2.8) визначається із виразу (знаки струмів I_C та I_R не враховуються):

$$I_C = I_R = \frac{U_R}{R} = \frac{U_{ВІХ}}{R} = \frac{\Delta U \cdot K_{U.ІМСОП}}{R}, \quad (2.12)$$

а струм заряду в еквівалентній схемі

$$I_{C'} = I_{R'} = \frac{U_{R'}}{R'} = \frac{\Delta U}{R'}. \quad (2.13)$$

Для того щоб виконувалась рівність струмів заряду конденсатора в еквівалентній та вихідній схемах $I_C = I_{C'}$, необхідно, щоб $R' = \frac{R}{K_{U.ІМСОП}}$.

Для рівності вихідних напруг еквівалентної та вихідної схем напруга $U_{R'}$ підсилюється ІМС ОП у $K_{U.ІМСОП}$ разів. Напруга на виході пасивного ДК – C, R' дорівнює

$$\begin{aligned} U_{R'} &= R'C \cdot \left(\frac{dU_{BX}}{dt} \right) - R'C \cdot \left(\frac{dU_{ВІХ}}{dt} \right) = \\ &= \frac{RC}{K_{U.ІМСОП}} \left(\frac{dU_{BX}}{dt} \right) - \frac{RC}{K_{U.ІМСОП}} \frac{1}{K_{U.ІМСОП}} \left(\frac{dU_{ВІХ}}{dt} \right). \end{aligned} \quad (2.14)$$

Вихідна напруга операційного підсилювача

$$U_{ВІХ} = U_{R'} \cdot K_{U.ІМСОП} = RC \left(\frac{dU_{BX}}{dt} \right) - \frac{RC}{K_{U.ІМСОП}} \left(\frac{dU_{ВІХ}}{dt} \right). \quad (2.15)$$

Порівнюючи вирази (2.15) та (2.3) бачимо, що похибка ДК на ІМС ОП у $K_{U.ІМСОП}$ разів менша, ніж похибка пасивного ДК при однаковому значенні вихідної напруги $RC \left(\frac{dU_{BX}}{dt} \right)$.

Еквівалентну схему (рисунок 2.9) не можна використовувати на практиці. Потрібно відмітити, що розглянута схема ДК (рисунок 2.8) має низьку завадостійкість та схильна до самозбудження в області високих частот. На практиці використовують більш складні схеми, наприклад, модифіковане активне ДК, схему якого приведено на рисунку 2.10.

2.10 Інтегруючі кола

Інтегруючі кола діляться на:

– пасивні ІК;

– активні ІК.

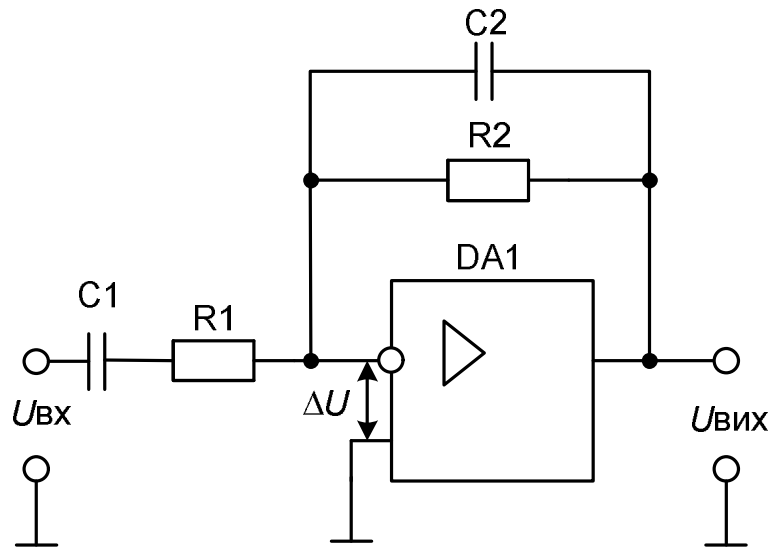


Рисунок 2.10 – Схема модифікованого активного ДК

2.11 Пасивні інтегруючі кола

Інтегруюче коло є лінійним чотирьохполюсником, сигнал на виході якого змінюється пропорційно інтегралу вхідного сигналу, а саме

$$U_{вих} = k \cdot \int_0^t U_{вх} dt. \quad (2.16)$$

ІК використовуються в схемах формування пилкоподібної напруги; для виділення постійної складової вхідної імпульсної послідовності; для селекції імпульсів за тривалістю і т. ін.

Найпростішим та найбільш вживаним є пасивне ІК, що містить два елементи: резистор R та конденсатор C (рисунок 2.11).

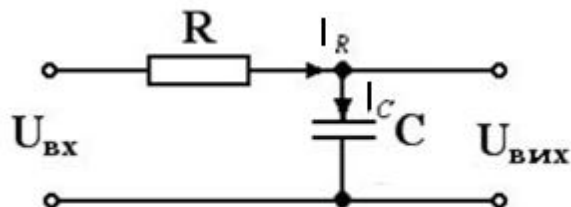


Рисунок 2.11 – Пасивне інтегруюче RC – коло

2.12 Аналіз пасивного інтегруючого кола

Напруга на конденсаторі C пов'язана з вихідною напругою та струмом, що протікає через нього, залежністю

$$U_{\text{вих}} = U_C = \frac{1}{C} \cdot \int_0^t I_C dt, \quad (2.17)$$

$$\text{де } I_R = I_C = \frac{U_{\text{вх}} - U_{\text{вих}}}{R}. \quad (2.18)$$

Підставимо значення I_C (2.18) у (2.17) і отримаємо

$$U_{\text{вих}}(t) = \frac{1}{RC} \cdot \int_0^t U_{\text{вх}} dt - \frac{1}{RC} \cdot \int_0^t U_{\text{вих}} dt. \quad (2.19)$$

Перша складова отриманого виразу є результатом ідеального інтегрування вхідної напруги, а друга – похибкою інтегрування.

Для зменшення похибки потрібно збільшити сталу часу інтегрування $\tau_{\text{инт}} = RC$, але при цьому також зменшується вихідна напруга. Отже, стала часу ІК має бути велика, а, в результаті цього, $U_{\text{вих}} \ll U_{\text{вх}}$.

2.13 Аналіз роботи пасивного інтегруючого кола за часовими діаграмами

Розглянемо часові діаграми роботи ІК, якщо на його вхід подається стрибок напруги, амплітудою U_m (рисунок 2.12).

Результатом ідеального інтегрування стрибка напруги є

$$U_{\text{вих}}(t) = \frac{1}{RC} \int_0^t U_m dt = \frac{U_m \cdot t}{RC} = \frac{U_m \cdot t}{\tau_{\text{инт}}}. \quad (2.20)$$

Виразу (2.20) відповідає пряма лінія, яку показано на рисунку 2.12 пунктиром. Результатом реального інтегрування є

$$U_{\text{вих}}(t) = U_m \cdot \left(1 - e^{-t/\tau_{\text{инт}}} \right), \quad (2.21)$$

що відповідає зарядженню конденсатора C за експоненціальним законом.



Рисунок 2.12 – Часові діаграми роботи ІК

Різниця між прямою лінією та експонентою є похибкою інтегрування, котра зменшується, якщо час інтегрування

$$t_{int} \ll \tau_{int}. \quad (2.22)$$

При цьому зменшується амплітуда вихідної напруги $U_{вих} \ll U_{вх}$.

Якщо $\tau_{int} = const$, то похибку можна зменшити, якщо зменшити час інтегрування t_{int} .

Якщо $t_{int} = const$, то похибку можна зменшити, збільшуючи сталу часу τ_{int} .

2.14 Визначення абсолютної та відносної похибок інтегрування

Для випадку, розглянутого на рисунку 2.12, вихідна напруга визначається виразом (2.21).

Розкладаючи $e^{-t/\tau_{int}}$ у ряд Тейлора за степенями $-t/\tau_{int}$, отримаємо

$$e^{-t/\tau_{int}} = 1 - t/\tau_{int} + \frac{1}{2} \cdot (t/\tau_{int})^2 - \frac{1}{6} \cdot (t/\tau_{int})^3 + \dots \quad (2.23)$$

На основі співвідношення (2.22) обмежимося першими трьома членами ряду, і підставимо (2.23) у (2.21). В результаті отримаємо

$$U_{\text{вих}}(t) = \frac{U_m \cdot t}{\tau_{\text{инт}}} \left(1 - \frac{1}{2} \frac{t}{\tau_{\text{инт}}} \right) = \frac{U_m \cdot t}{\tau_{\text{инт}}} - \frac{U_m \cdot t}{\tau_{\text{инт}}} \cdot \frac{t}{2 \cdot \tau_{\text{инт}}}. \quad (2.24)$$

Перший член виразу (2.24) відповідає результату ідеального інтегрування стрибка, а другий є абсолютною похибкою ІК:

$$\delta_{\text{абс}} = \frac{U_m \cdot t}{\tau_{\text{инт}}} \cdot \frac{t}{2 \cdot \tau_{\text{инт}}}. \quad (2.25)$$

Відносна похибка

$$\delta_{\text{відн}} = \frac{\delta_{\text{абс}}}{U_{\text{КОРИСНЕ}}} \cdot 100\% = \frac{\frac{U_m \cdot t}{\tau_{\text{инт}}} \cdot \frac{t}{2 \cdot \tau_{\text{инт}}}}{\frac{U_m \cdot t}{\tau_{\text{инт}}}} \cdot 100\% = \frac{t}{\tau_{\text{инт}}} \cdot 50\%. \quad (2.26) \text{ Якщо}$$

задані $\delta_{\text{відн.мах}}$ та $\tau_{\text{инт}}$, то час інтегрування

$$t_{\text{инт.мах}} = \frac{\delta_{\text{відн.мах}} \cdot \tau_{\text{инт}}}{50}. \quad (2.27)$$

Якщо задані $\delta_{\text{відн.мах}}$ і час інтегрування $t_{\text{инт}}$, то мінімальна стала часу ІК

$$\tau_{\text{инт.мін}} = \frac{50 \cdot t_{\text{инт}}}{\delta_{\text{відн.мах}}}. \quad (2.28)$$

2.15 Розрахунок пасивного інтегруючого RC-кола

Вихідні дані для розрахунку:

- відносна похибка інтегрування $\delta_{\text{відн}} \leq 1\%$;
- значення амплітуди вхідної напруги $U_{\text{ВХ.т}} = 5\text{В}$;
- час інтегрування $t_{\text{инт}} \leq 10\text{мкс}$;

– величина максимального струму, який віддає джерело вхідного сигналу у навантаження, $I_{\max} = 5 \text{ мА}$.

З виразу (2.28) визначаємо

$$\tau_{\text{int.min}} = 50 \cdot 10^{-5} / 1 = 500 \text{ мкс.}$$

Приймаємо $\tau_{\text{int}} = 500 \text{ мкс.}$

Найбільший струм у колі протікає в початковий момент, коли конденсатор C розряджений і його опір дорівнює нулю. Величина струму в цей час визначається величиною опору резистора R , який обираємо з умови $R \geq U_{\text{м}} / I_{\max} \geq 5 / 5 \cdot 10^{-3} \geq 1 \text{ кОм.}$

Вибираємо $R = 1,2 \text{ кОм.}$

Значення конденсатора C визначаємо з виразу

$$C = \tau_{\text{int}} / R = \frac{500 \cdot 10^{-6}}{1,2 \cdot 10^3} = 0,4 \text{ мкФ.}$$

Приймаємо $C = 0,5 \text{ мкФ.}$

Визначаємо значення вихідної напруги за час $t_{\text{int}} = 10 \text{ мкс.}$

$$U_{\text{вих}} = \frac{U_{\text{м}} \cdot t_{\text{int}}}{\tau_{\text{int}}} = \frac{5 \cdot 10^{-5}}{500 \cdot 10^{-6}} = 0,1 \text{ В.}$$

Закон зміни $U_{\text{вих}}$ протягом вказаного t_{int} прийнято називати лінійним, оскільки виконується умова (2.22). Величина вихідної напруги складає 2% від $U_{\text{вх.max}} = 5 \text{ В.}$

2.16 Інтегрування одиночного імпульсу

Реакцію ІК (рисунок 2.11) на вхідний прямокутний імпульс показано на рисунку 2.13.

Конденсатор C не може миттєво зарядитися, тому в момент надходження на вхід схеми прямокутного імпульсу вся вхідна напруга

виділяється на резисторі R , а $U_{ВНХ} = U_c = 0$. За час дії імпульсу конденсатор повільно заряджається за експоненціальним законом:

$$U_{C.ЗАР} = U_{ВНХ} = U_{м.ВХ} \cdot \left(1 - e^{-t/\tau_{им}} \right).$$

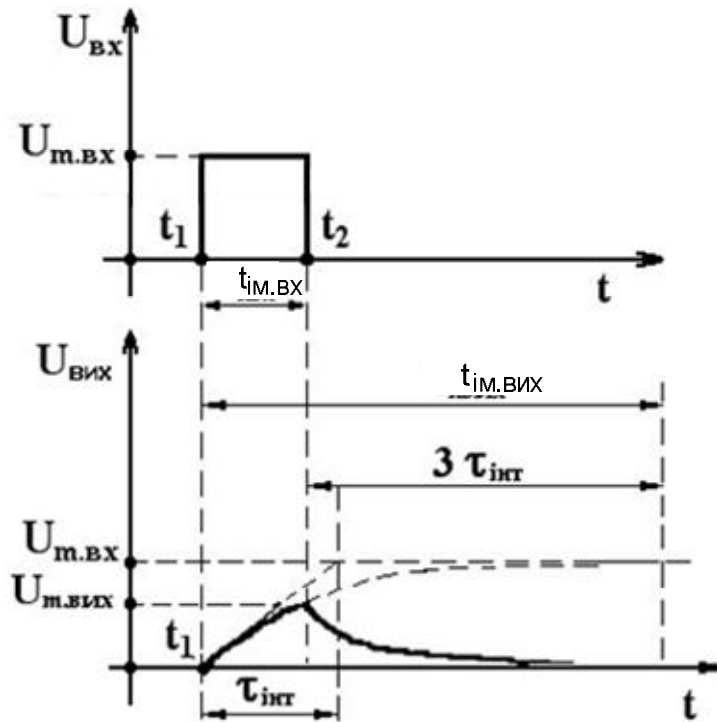


Рисунок 2.13 – Реакція ІК на вхідний прямокутний імпульс

На момент закінчення вхідного імпульсу ($t=t_2$) напруга на виході досягне значення

$$U_{м.ВНХ} = U_{м.ВХ} \cdot \left(1 - e^{-t_{им.ВХ}/\tau_{им}} \right).$$

Після цього конденсатор повільно розряджається через резистор R і $U_{ВНХ}$ поступово зменшується за експоненціальним законом

$$U_{ВНХ}(t) = U_{C.РОЗР}(t) = U_{ВНХ.м} \cdot \left(1 - e^{-t/\tau_{им}} \right).$$

Можна вважати, що за час $t_{int} = 3\tau_{int}$ після закінчення вхідного імпульсу конденсатор C практично розрядиться. Відповідно, тривалість вихідного імпульсу

$$t_{i.m.вих} = t_{i.m.вх} + 3\tau_{int}.$$

Оскільки $\tau_{int} \gg t_{i.m.вх}$, то

$$t_{i.m.вх} \approx 3\tau_{int}.$$

Таким чином, при $\tau_{int} \gg t_{i.m.вх}$ на виході кола формується пилкоподібний імпульс з амплітудою $U_{вих.m} < U_{вх.m}$ та тривалістю $t_{i.m.вих} \gg t_{i.m.вх}$. Тому ІК називають подовжуючим чи згладжуючим.

2.17 Інтегрування послідовності прямокутних імпульсів

Реакцію ІК (рисунок 2.11) на вхідну послідовність прямокутних імпульсів показано на рисунку 2.14.

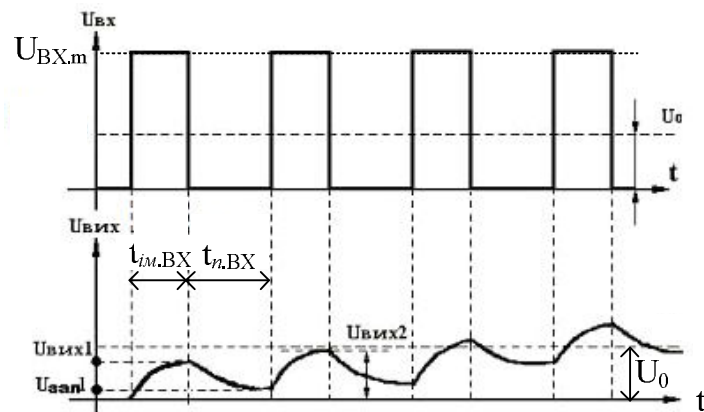


Рисунок 2.14 – Реакція ІК на вхідну послідовність прямокутних імпульсів

Напруга на конденсаторі поступово зростає, доки не досягне середнього значення (постійної складової) вхідної послідовності U_0 .

Після цього заряд, який отримує конденсатор під час дії чергового вхідного імпульсу, є рівним заряду, який втрачає ємність протягом чергової паузи ($\Delta U_{C.ЗАР}(t_{iM}) \approx \Delta U_{C.РОЗР}(t_n)$) і вихідна напруга незначно змінюється (пульсує) близько U_0 , так, що $U_{ВІХ} \approx U_0 = const$.

При надходженні першого вхідного імпульсу конденсатор заряджається під дією повної напруги $U_{ВХ.m}$. На момент закінчення цього імпульсу напруга на конденсаторі наростає до значення

$$U_{ВІХ1} = U_{ВХ.m} \cdot (1 - e^{-t_{iM.ВХ}/\tau_{iHM}}).$$

Під час першої паузи ємність розряджається і напруга на ній зменшується від значення $U_{ВІХ1}$. На момент закінчення першої паузи напруга на виході

$$U_{ВІХ} = U_{ЗАЛ1} = U_{ВІХ1} \cdot e^{-t_{п.ВХ}/\tau_{iHM}}.$$

Під дією другого імпульсу конденсатор знову заряджається, але тепер під дією різниці напруг ($U_{ВХ.m} - U_{ЗАЛ1}$), котра менша, ніж $U_{ВХ.m}$. На момент закінчення другого імпульсу

$$U_{ВІХ2} = U_{ЗАЛ1} + (U_{ВХ.m} - U_{ЗАЛ1}) \cdot (1 - e^{-t_{iM.ВХ}/\tau_{iHM}}).$$

Оскільки $U_{ВІХ2} > U_{ВІХ1}$, то під час другої паузи розряд ємності проходить більш інтенсивно, ніж під час першої. Розмірковуючи аналогічно, відмітимо, що кожний наступний імпульс надає конденсатору все менший додатковий заряд, ніж попередній. В той же час, за кожную наступну паузу ємність розряджається на все більшу величину, ніж за попередню.

Це призводить до того, що вихідна напруга починає коливатися відносно середнього значення вхідної імпульсної послідовності.

Даний висновок легко пояснити фізично. Конденсатор не пропускає постійну складову вхідного струму, тому на резисторі R не може

виділиться постійна складова вхідної напруги ($U_R = I_R \cdot R$). А оскільки вхідна напруга містить постійну складову U_0 , то вона виділяється на конденсаторі. Описані явища матимуть місце при виконанні умови $\tau_{int} \gg t_{im}$. Інакше RC - коло не є інтегруючим.

2.18 Активні інтегруючі кола

Як активний елемент інтегруючих кіл широко використовуються інтегральні мікросхеми операційних підсилювачів (ІМС ОП). Принципову схему активного ІК на ІМС ОП показано на рисунку 2.15.

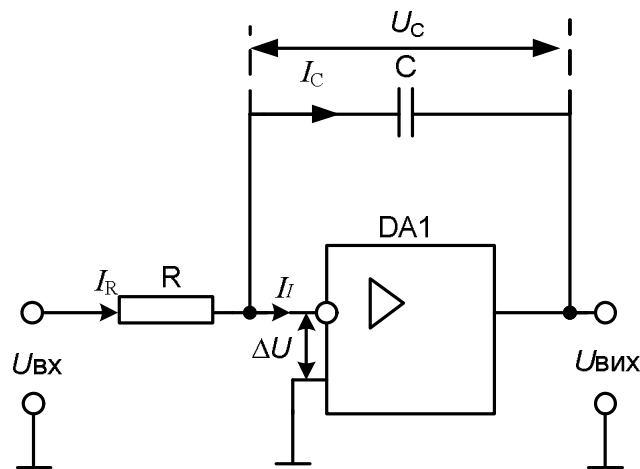


Рисунок 2.15 – Принципова схема активного ІК на ІМС ОП

Спочатку будемо вважати, що ІМС ОП є ідеальною:

$$- K_{U.ІМСОП} \rightarrow \infty,$$

$$- R_{BX} \rightarrow \infty,$$

$$- R_{ВІХ} \rightarrow 0.$$

Різниця напруг між інвертуючим (І) та не інвертуючим (Н) входами

$$\Delta U = \frac{U_{ВІХ}}{K_{U.ІМСОП}} \text{ при виконанні умови } K_{U.ІМСОП} \rightarrow \infty \text{ у межах лінійної}$$

ділянки передатної характеристики ІМС ОП приблизно дорівнює нулю.

Струм, який надходить на вхід, що інвертує, ІМС ОП дорівнює нулю за умови, що $R_{BX} \rightarrow \infty$.

$$\text{Напруга на конденсаторі } U_c = \frac{1}{C} \int_0^t I_c dt.$$

$$\text{Оскільки струм } I_R = I_c, \text{ а також } I_R = \frac{U_{BX} - \Delta U}{R} = \frac{U_{BX}}{R}, \text{ то}$$

$$U_c = \frac{1}{C} \int_0^t \frac{U_{BX}}{R} dt = \frac{1}{RC} \int_0^t U_{BX} dt.$$

Оскільки виконуються умови $\Delta U \approx 0$, та $U_c(t) + U_{BHX}(t) = \Delta U$ то одержимо

$$U_{BHX} = -\frac{1}{RC} \int_0^t U_{BX} dt = -\frac{1}{\tau_{int}} \int_0^t U_{BX} dt. \quad (2.29)$$

Отже, якщо ІМС ОП вважати ідеальною, то ІК на її основі виконує точне інтегрування вхідного сигналу і похибка дорівнює нулю. Знак мінус у виразі (2.29) показує, що вихідна напруга протифазна вхідній, яка подається на інвертуючий вхід ІМС ОП.

Порівнюючи вираз (2.29) з (2.19) бачимо, що схема, яка розглядається, хоча й називається активною, але не підсилює вхідний сигнал порівняно з пасивним ІК. Високий коефіцієнт підсилення ІМС ОП та наявність від'ємного зворотного зв'язку (ВЗЗ) дозволяє за однакової з пасивним ІК вихідної напруги звести до нуля похибку інтегрування.

Реальні ІМС ОП не забезпечують точного інтегрування. Оцінімо похибку, зумовлену кінцевим значенням коефіцієнта підсилення $K_{U, \text{ІМС ОП}}$.

Вихідну схему активного ІК (рисунок 2.15) замінимо еквівалентною схемою (рисунок 2.16).

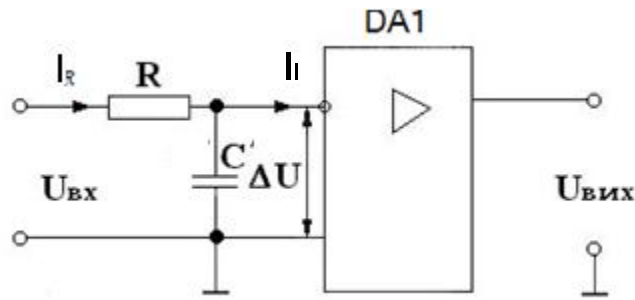


Рисунок 2.16 – Еквівалентна схема заміщення активного ІК

Остання схема у розрахунковому відношенні еквівалентна початковій. Доведемо це. У вихідній схемі напруга на конденсаторі

$$U_c = \Delta U - (-U_{\text{вих}}) = \Delta U + U_{\text{вих}} = \Delta U + \Delta U \cdot K_{U. \text{МСОП}} = \\ = \Delta U \cdot (1 + K_{U. \text{МСОП}}) = \Delta U \cdot K_{U. \text{МСОП}} (K_{U. \text{МСОП}} \gg 1).$$

В еквівалентній схемі напруга на ємності C' дорівнює $U_{c'} = \Delta U$, отже у $K_{U. \text{МСОП}}$ разів менше, ніж U_c у вихідній схемі. Струми зарядів конденсаторів у вихідній та еквівалентній схемах

$$I_c = C \frac{dU_c}{dt} \text{ і } I_{c'} = C' \frac{dU_{c'}}{dt}.$$

Струм заряду конденсатора в еквівалентній схемі через зменшення U_c також зменшується у $K_{U. \text{МСОП}}$ разів. Щоб він залишився незмінним ($I_c = I_{c'}$) необхідно прийняти $C' = K_{U. \text{МСОП}} \cdot C$. Вихідна напруга початкової та еквівалентної схем однакова і дорівнює $U_{\text{вих}} = \Delta U \cdot K_{U. \text{МСОП}}$.

Якщо на вхід еквівалентної схеми подати постійну напругу амплітудою U_m , то напруга на ємності C' дорівнює

$$U_{c'} = U_m \cdot \left(1 - e^{-t/\tau_{\text{им}}} \right) = U_m \cdot \left(1 - e^{-t/RC'} \right) = U_m \cdot \left(1 - e^{-t/RCK_{U. \text{МСОП}}} \right).$$

Вихідна напруга

$$U_{\text{вих}} = U_{C'} \cdot K_{U.ИМСОП} = U_m \cdot K_{U.ИМСОП} \cdot \left(1 - e^{-t/RCK_{U.ИМСОП}}\right). \quad (2.30)$$

Розкладемо $e^{-t/RCK_{U.ИМСОП}}$ у ряд Тейлора

$$e^{-t/RCK_{U.ИМСОП}} = 1 - \frac{t}{RCK_{U.ИМСОП}} + \frac{1}{2} \left(\frac{t}{RCK_{U.ИМСОП}} \right)^2 - \dots \quad (2.31)$$

Підставимо (2.31) у (2.30) і з урахуванням (2.22) обмежимося першими трьома членами ряду. Одержимо

$$U_{\text{вих}}(t) = \frac{U_m \cdot t}{CR} \cdot \left(1 - \frac{t}{2 \cdot CR \cdot K_{U.ИМСОП}}\right). \quad (2.32)$$

Порівнюючи вирази (2.32) і (2.24) бачимо, що похибка ІК на ІМС ОП у $K_{U.ИМСОП}$ разів менша, ніж похибка пасивного ІК при однаковому значенні вихідної напруги і однаковому часі інтегрування.

Виграш у точності можна реалізувати інакше за однакових похибок активного та пасивного ІК інтегрування постійної вхідної напруги може тривати у $\sqrt{K_{U.ИМСОП}}$ разів більший час, ніж у пасивному ІК, що дозволяє отримати у $\sqrt{K_{U.ИМСОП}}$ разів більшу вихідну напругу.

Варто відмітити, що еквівалентну схему не можна використовувати як робочу, оскільки важко забезпечити стабільність підсилення без ВЗЗ, а також потрібно використання конденсатора великої ємності $C' = C \cdot K_{U.ИМСОП}$.

ПИТАННЯ ДЛЯ САМОКОНТРОЛЮ

- 1) Для чого використовуються диференціюючі кола?
- 2) Поясніть роботу пасивного ДК та ІК за часовими діаграмами.
- 3) Які значення мають основні параметри ідеальної ІМС ОП: K_U , R_{BX} та $R_{ВНХ}$?
- 4) Якими повинні бути співвідношення між сталою часу та тривалістю вхідного імпульсу для ДК та ІК?
- 5) Для чого використовуються інтегруючі кола?
- 6) Як відрізняються похибки пасивного та активного ДК та ІК? Відповідь поясніть.
- 7) До чого наближається значення вихідної напруги пасивного ІК, якщо на його вхід подається послідовність прямокутних імпульсів?
- 8) Як впливає значення внутрішнього опору джерела та ємності навантаження на форму вихідного імпульсу ДК?

ЛІТЕРАТУРА

[1, 2, 4...13, 29]

3 ДІОДНІ КЛЮЧІ

Комутуючу дію діодних ключів (ДКЛ) основано на використанні нелінійних (вентильних) властивостей діодів. Для побудови діодних ключів частіше використовують напівпровідникові діоди, що мають у прямому напрямку дуже малий опір ($R_{VD.ПР} \approx 0$), а в зворотному – дуже великий ($R_{VD.ЗБР} \rightarrow \infty$). В залежності від способу включення діода відносно опору навантаження діодні ключі поділяють на послідовні і паралельні.

3.1 Послідовні діодні ключі

У схемі послідовного діодного ключа (рисунок 3.1, а) опір навантаження включено послідовно з діодом.

При подачі на вхід ключа додатної вхідної напруги діод відкривається і, якщо знехтувати малим падінням напруги на відкритому діоді, напруга на виході стане рівною напрузі на вході. При дії на вході ключа від'ємної вхідної напруги діод закривається і напруга на виході близька до нуля (рисунок 3.1, б).

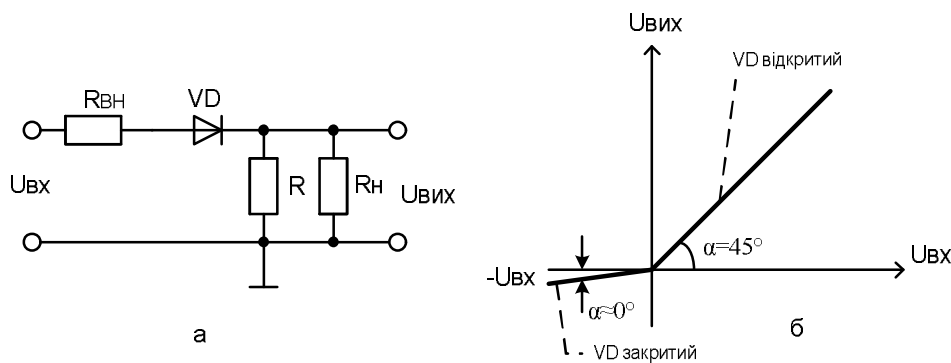


Рисунок 3.1 – Послідовний діодний ключ:

а – схема послідовного діодного ключа; б – передатна характеристика

Будемо вважати, що прямий опір діода $R_{VD.ПР} \approx 0$; зворотний опір діода $R_{VD.ЗБР} \approx \infty$; опір навантаження $R_H \approx \infty$, а внутрішній опір джерела вхідного сигналу $R_{BH} = 0$.

Вихідна напруга зв'язана з вхідною як

$$U_{ВИХ} = U_{ВХ} \cdot \frac{R}{R + R_{VD}} = U_{ВХ} \cdot \frac{1}{1 + \frac{R_{VD}}{R}}, \quad (3.1)$$

$$\text{де } \frac{1}{1 + \frac{R_{VD}}{R}} = \operatorname{tg} \alpha; \alpha = \operatorname{arctg} \frac{1}{1 + \frac{R_{VD}}{R}}.$$

Значення α – кута нахилу передатної характеристики ключа до осі абсцис, залежить від стану діода.

Якщо VD – відкритий, то його опір $R_{VD.ПР} = 0$, $\operatorname{tg} \alpha = 1$, а $\alpha = 45^\circ$.

Якщо VD – закритий, то його опір $R_{VD.ЗБР} \rightarrow \infty$, $\operatorname{tg} \alpha = 0$, а $\alpha = 0^\circ$.

Якщо змінити полярність включення діода (рисунок 3.2, а), то графік функції $U_{ВИХ} = f(U_{ВХ})$ повернеться на 180° (рисунок 3.2, б).

Напруга, при якій ключ відкривається, називається пороговою $U_{ПОР}$. В розглянутих схемах ця напруга дорівнює нулю.

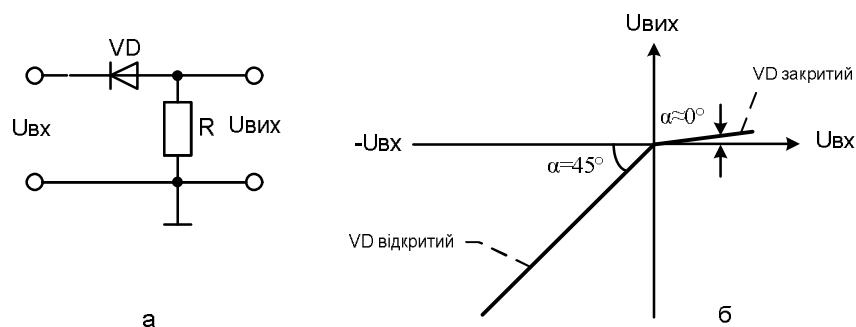


Рисунок 3.2 – Послідовний діодний ключ:

а – схема послідовного діодного ключа; б – передатна характеристика

Для зміни нульового порога спрацьовування в схему вводять додаткове джерело напруги зсуву E_{3C} (рисунок 3.3). Величина і полярність включення цієї напруги визначають моменти відкриття діода, а, отже, вид передатної характеристики ключа. На рисунку 3.3 приведено різні варіанти включення діода та E_{3C} в схемах послідовних діодних ключів і їх передатні характеристики. Для правильної роботи цих схем потрібно щоб виконувалися умови:

$$R \gg R_{VD.ПР} ; R_H \gg R ; R_{VD.ЗБР} \gg R ; R_{BH.BX} \approx 0 ; R_{BH.3C} \approx 0.$$

3.2 Оцінка спільного впливу напруг U_{BX} і E_{3C} на значення вихідної напруги послідовного діодного ключа

Розглянемо рисунок 3.4.

Для оцінки спільного впливу напруг U_{BX} і E_{3C} скористаємося принципом суперпозиції, який застосовується при аналізі лінійних електронних ланцюгів. Хоча напівпровідниковий діод є нелінійним елементом, але в статичному режимі його може бути представлено активними опорами $R_{VD.ПР}$ і $R_{VD.ЗБР}$, що мають дуже мале $R_{VD.ПР} \approx 0$ (VD – відкритий) і дуже велике $R_{VD.ЗБР} \rightarrow \infty$ (VD – закритий) значення.

Відповідно до принципу суперпозиції, розглянемо спочатку роботу схеми при $U_{BX} \neq 0$, а $E_{3C} = 0$. Ключ можна замінити еквівалентною схемою (рисунок 3.5).

Вихідна напруга для даної схеми визначається співвідношенням

$$U_{ВИХ} = U_{BX} \cdot \frac{R + R_{BH.3C}}{R_{BH.BX} + R_{VD} + R + R_{BH.3C}}. \quad (3.2)$$

У формулі відсутнє значення опору навантаження R_H , тому що $R_H \gg (R + R_{BH.3C})$.

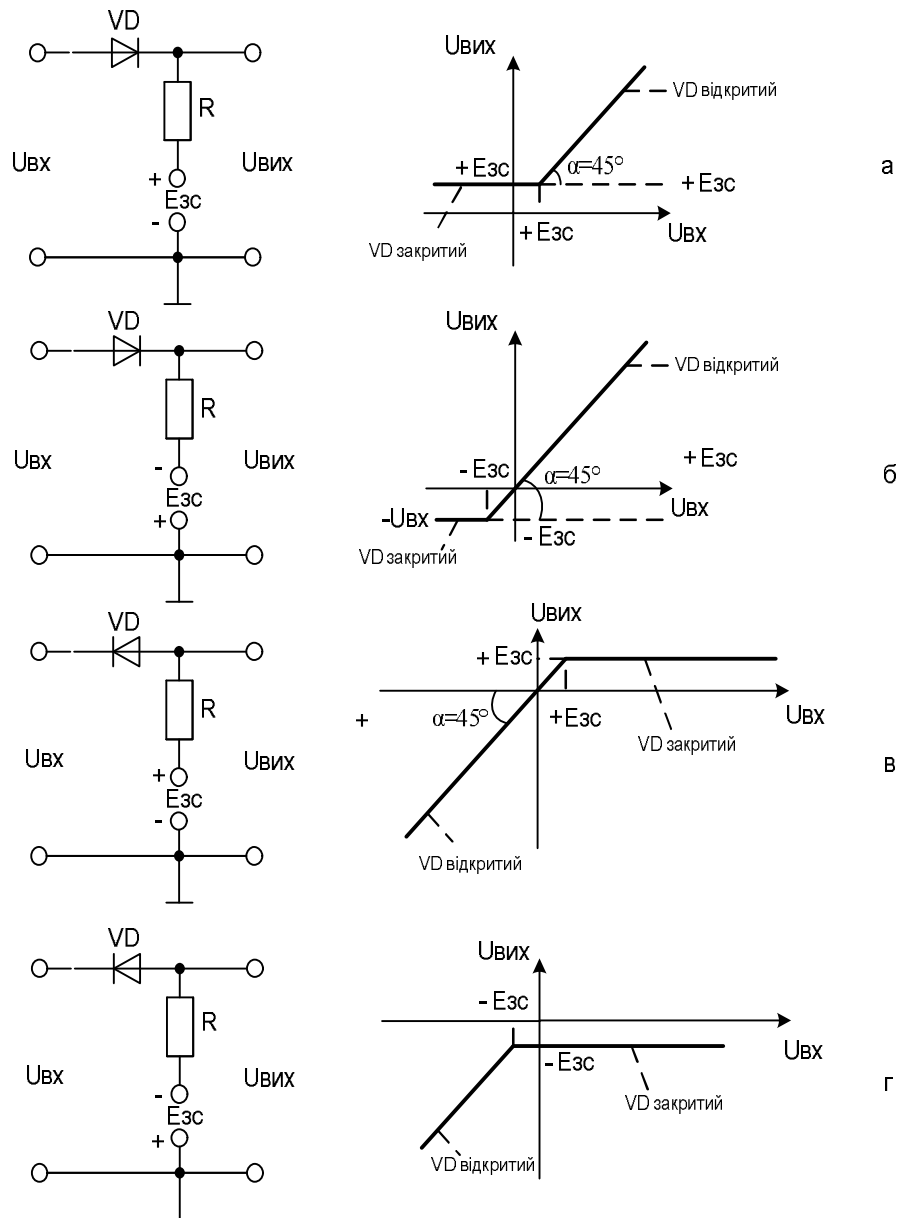


Рисунок 3.3 – Схеми послідовних діодних ключів та їх передатні характеристики

Якщо VD – відкритий, його опір $R_{VD.ПР} \approx 0$. В схемі повинна виконуватися нерівність

$$R \gg R_{BH.BX} + R_{VD.ПР} + R_{BH.ЗС}. \quad (3.3)$$

У цьому випадку вихідна напруга приблизно дорівнює вхідній ($U_{ВИХ} = U_{ВХ}$).

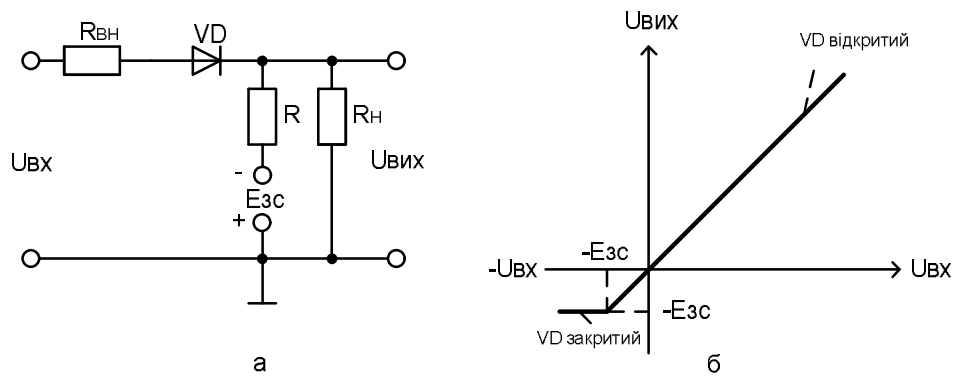


Рисунок 3.4 – Схема послідовного діодного ключа та його передатна характеристика

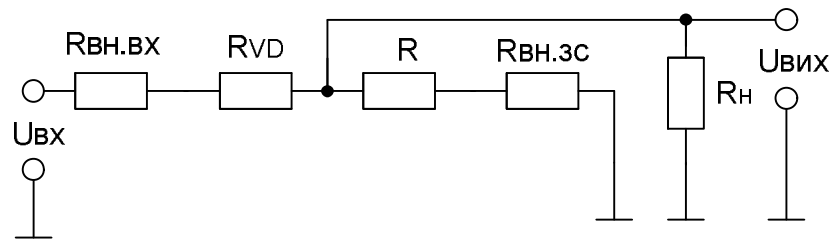


Рисунок 3.5 – Еквівалентна схема заміщення діодного ключа при $E_{зс} = 0$

Якщо VD – закритий, його опір $R_{VD.збр} \approx \infty$. У схемі повинно виконуватися співвідношення

$$R \ll R_{VD.збр}. \quad (3.4)$$

У цьому випадку вихідна напруга $U_{вих} \approx 0$.

Тепер припустимо, що $E_{зс} \neq 0$, а $U_{вх} = 0$. Відповідно до еквівалентної схеми ключа для цього випадку (рисунок 3.6) вихідна напруга

$$U_{вих} = -E_{зс} \cdot \frac{R_{VD} + R_{вн.вх}}{R + R_{вн.вх} + R_{VD} + R_{вн.зс}}. \quad (3.5)$$

Якщо VD – відкритий, то з урахуванням виконання (3.3) $U_{вих} = 0$.

Якщо VD – закритий, то за умови виконання (3.4) $U_{вих} = -E_{зс}$.

При спільному впливі $U_{вих}$ і $E_{зс}$ вихідна напруга дорівнює

$U_{\text{вих}} = U_{\text{BX}}$, якщо VD – відкритий,

$U_{\text{BX}} = -E_{\text{ЗС}}$, якщо VD – закритий.

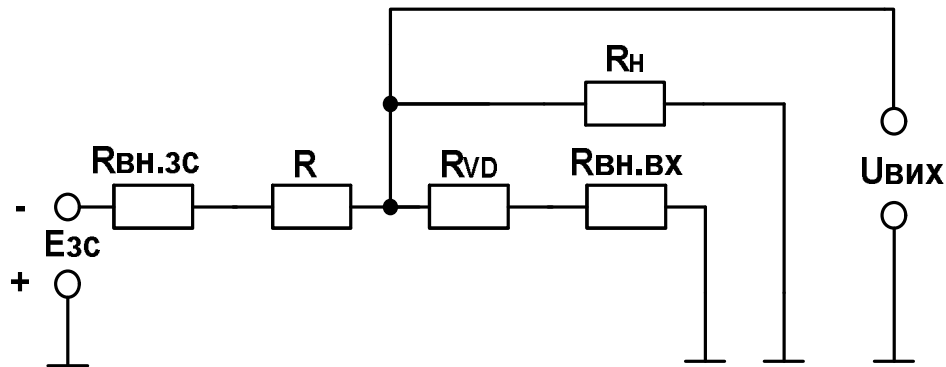


Рисунок 3.6 – Еквівалентна схема заміщення ДКЛ при $U_{\text{BX}} = 0$

Отриманий результат підтверджує вид передатної характеристики розглянутого ключа (рисунок 3.4,б).

Аналогічним способом можна визначити напругу на виході кожної зі схем, які представлено на рисунку 3. 3.

3.3 Паралельні діодні ключі

В схемі паралельного діодного ключа (рисунок 3.7, а) опір навантаження включається паралельно з діодом.

Внутрішній опір джерела R_{BH} і опір навантаження R_{H} на рисунку 3.7 не показано, тому що вважаємо, що $R_{\text{H}} \approx \infty$; $R_{\text{BH}} = 0$.

При подачі на вхід ключа додатної напруги ($U_{\text{BX}} > 0$) діод відкривається і напруга на ньому, а, отже, на виході близька до нуля.

Приріст вхідної напруги, що викликає зміну струму у вхідному ланцюзі, падає на баластному опорі $R_{\text{БАЛ}}$. При надходженні від'ємної вхідної напруги ($U_{\text{BX}} < 0$) діод закривається і напруга на виході стає рівною напрузі на вході (рисунок 3.7, б).

П77

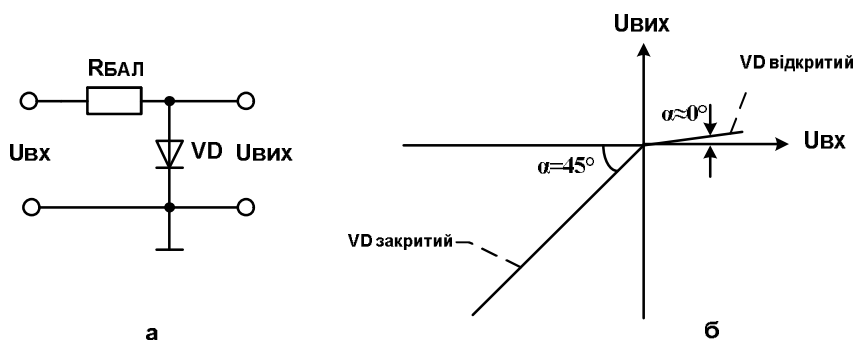


Рисунок 3.7 – Паралельний діодний ключ:

а – схема паралельного діодного ключа; б – передатна характеристика

Вихідна напруга ключа зв'язана з вхідною залежністю

$$U_{BHX} = U_{BX} \cdot \frac{R_{VD}}{R_{BAL} + R_{VD}} = U_{BX} \cdot \frac{1}{\frac{R_{BAL}}{R_{VD}} + 1}, \quad (3.6)$$

$$\text{де } \frac{1}{\frac{R_{BAL}}{R_{VD}} + 1} = \operatorname{tg} \alpha, \alpha = \operatorname{arctg} \frac{1}{\frac{R_{BAL}}{R_{VD}} + 1}.$$

Значення α залежить від стану діода. Якщо VD – відкритий ($R_{VD, \text{ПР}} = 0$), то $\alpha = 0^\circ$. Якщо VD – закритий $R_{VD, \text{ЗБР}} = \infty$, $\operatorname{tg} \alpha = 1$, а $\alpha = 45^\circ$.

При зміні полярності включення діода, графік функції $U_{BHX} = f(U_{BX})$ повернеться на 180° (рисунок 3.8).

В схемах паралельних ключів (рисунок 3.7, 3.8) порогова напруга $U_{\text{ПОР}} = 0$. На рисунку 3.9 показано різні варіанти включення діода і джерела зсуву $E_{\text{ЗС}}$, що змінює порогову напругу в паралельних діодних ключах, і їх передатні характеристики. Для правильної роботи схем (рисунок 3.9) повинно виконуватися наступне:

$$R_{\text{БАЛ}} \gg R_{\text{VD.ПР}}; R_{\text{Н}} \gg R_{\text{БАЛ}}; R_{\text{VD.ЗВР}} \gg R_{\text{БАЛ}}; R_{\text{ВН.ВХ}} \approx 0; R_{\text{ВН.ЗС}} \approx 0.$$

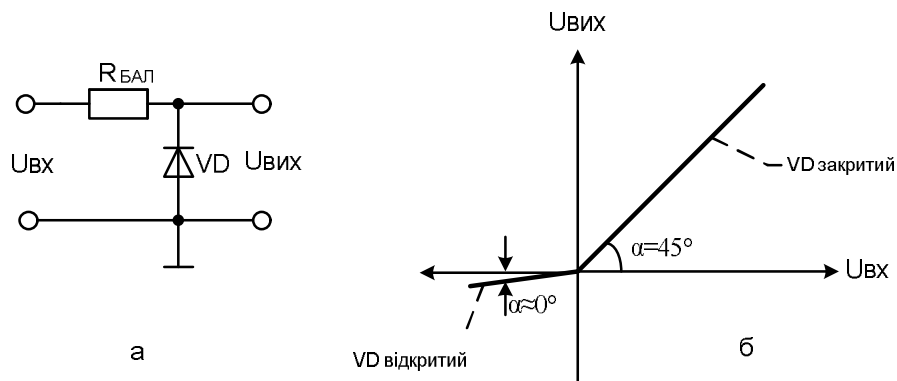


Рисунок 3.8 – Паралельний діодний ключ:

а – схема паралельного діодного ключа; б – передатна характеристика

Вираз для визначення напруги на виході паралельних ключів (рисунок 3.9) можна одержати аналогічно прикладу, розглянутому вище при аналізі послідовного діодного ключа.

Застосування послідовного (рисунок 3.1, а) чи паралельного діодного ключа (рисунок 3.8, а) ілюструє рисунок 3.10.

Даний приклад показує одне з можливих застосувань діодного ключа – передачу в навантаження вхідного додатного імпульсу і блокування від'ємного.

Діодні ключі часто застосовуються в обмежувачах амплітуди імпульсів (див. підрозділ 3.4).

3.4 Діодні обмежувачі амплітуди

Амплітудними обмежувачами, чи просто обмежувачами називають нелінійні чотириполюсники, вихідна напруга яких за формою збігається з вхідним сигналом до визначеного значення, називаного рівнем обмеження. На рисунку 3.11 приведено передатні характеристики обмежувачів різного типу:

а– обмеження за максимумом (зверху);

б– обмеження за мінімумом (знизу);

в– двостороннє обмеження (зверху і знизу).

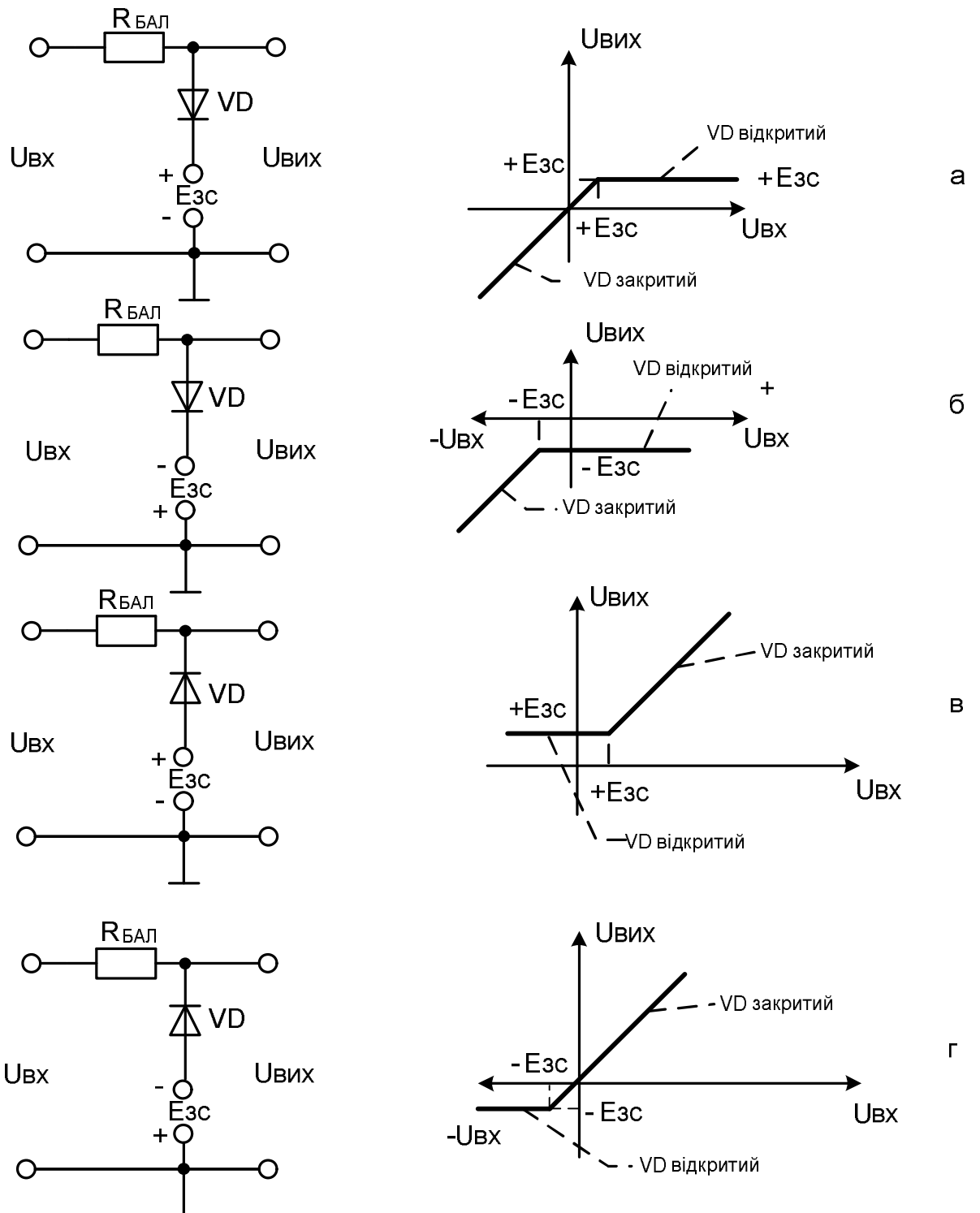


Рисунок 3.9 – Схеми паралельних ДКЛ та їх передатні характеристики

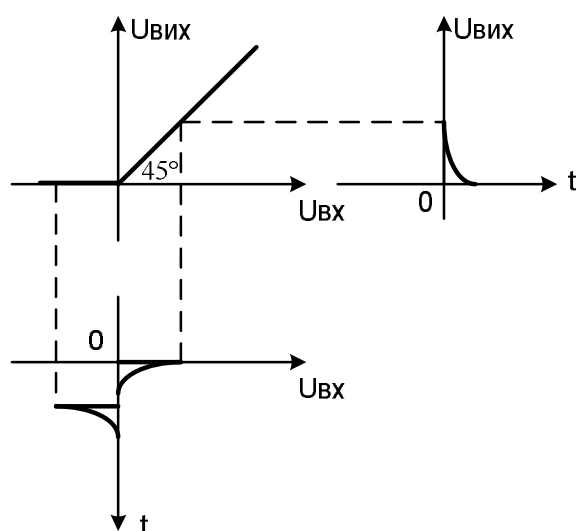


Рисунок 3.10 – Приклад застосування діодного ключа

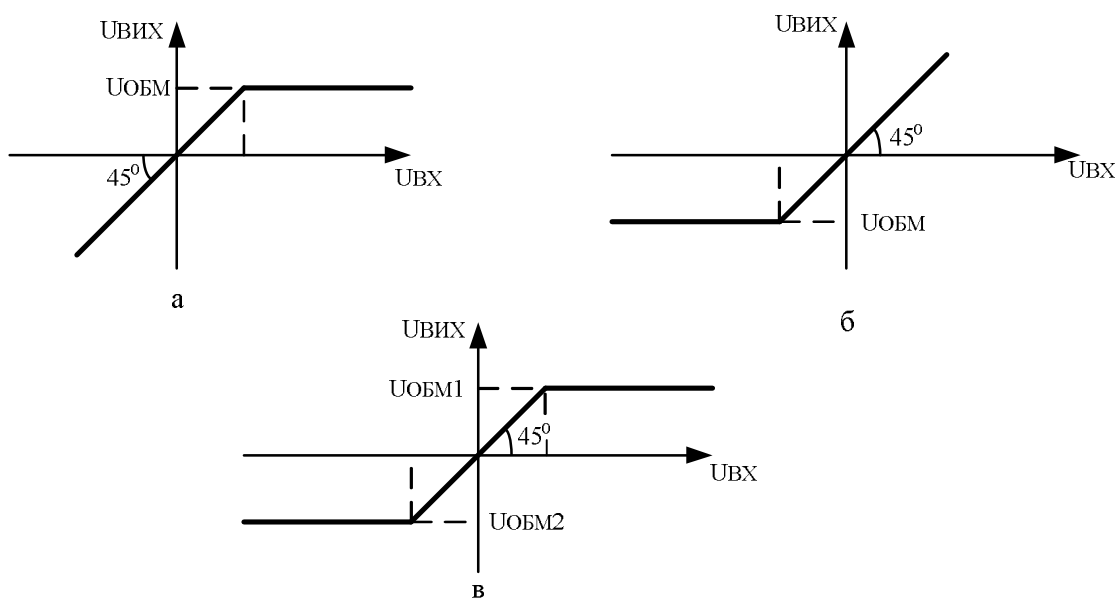


Рисунок 3.11– Передатні характеристики обмежувачів амплітуди

Як нелінійні елементи в обмежувачах широко використовуються напівпровідникові діоди, транзистори й операційні підсилювачі.

Функцію діодного обмежувача можуть виконувати діодні ключі, які розглянуто вище.

Обмежувачі з послідовним включенням діода і навантаження (послідовні) можуть обмежувати вхідний сигнал знизу (рисунок 3.12, а), зверху (рисунок 3.12, б) чи здійснювати двостороннє обмеження (рисунок 3.12, в,г).

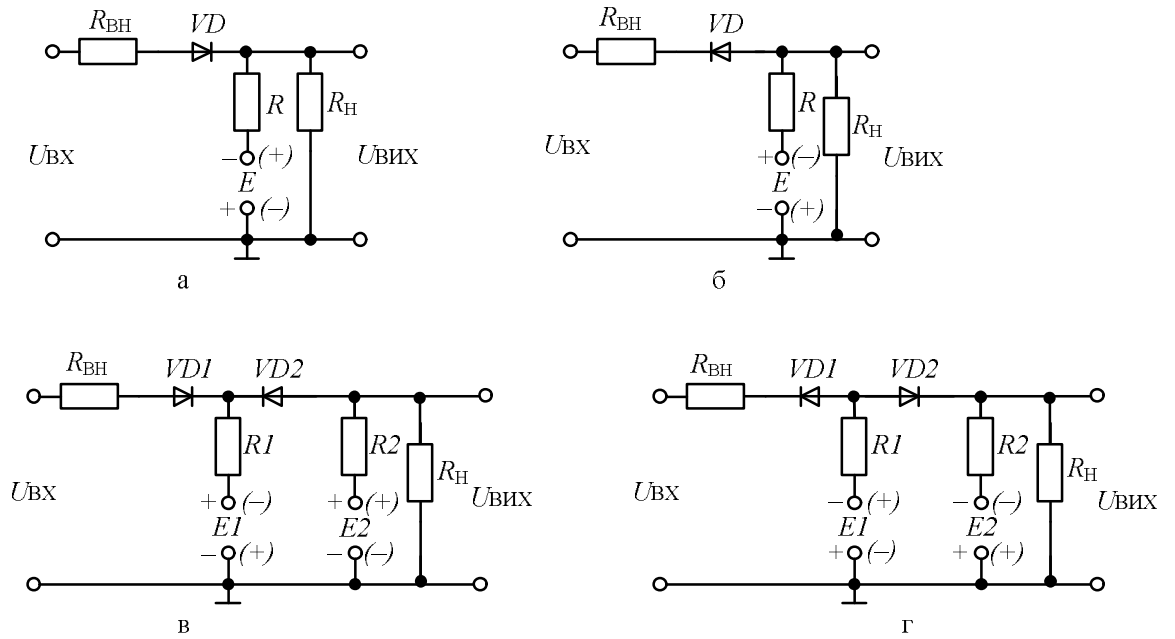


Рисунок 3.12 – Схеми послідовних обмежувачів:

а – знизу; б – зверху; в,г – двосторонніх

Загальним для приведених схем є те, що вихід зв'язаний із джерелом вхідного синусоїдального сигналу в тому випадку, коли відкрито діод в односторонньому обмежнику або відкрито обидва діоди в двосторонньому. У протилежному випадку навантаження відключається від джерела U_{BX} , а до неї підключається джерело постійної напруги E , $E1$ чи $E2$. Форма вихідної напруги названих обмежувачів залежить від напрямку включення діодів, полярності підключення джерел постійної напруги E , $E1$ і $E2$, співвідношень $U_{BX.m}$ і E в односторонніх обмежувачах і співвідношень $U_{BX.m}$, $E1$, $E2$ у двосторонніх обмежувачах.

Розглянемо, як приклад, роботу послідовного двостороннього обмежувача, який зображено на рисунку 3.13 (схема та характеристики обмежувача отримані моделюванням у програмі Microcap). Якщо $U_{BX} < V2$, то $D1$ – закритий.

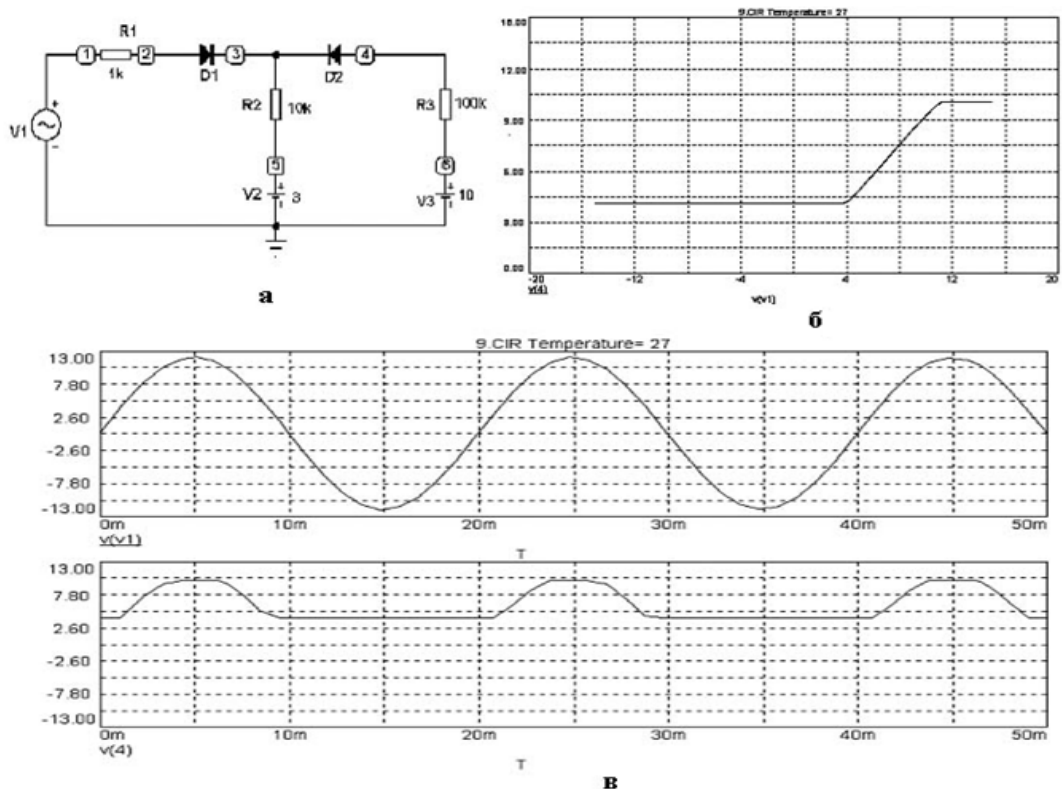


Рисунок 3.13 – Послідовний двосторонній обмежувач: а – схема;
б – передатна характеристика; в – вхідний і вихідний сигнали

А так як $V3 > V2$, то $D2$ – відкритий. При цьому $U_{\text{вих}} \approx V2$. Якщо $U_{\text{вх}} > V2$; $U_{\text{вх}} < V3$, то $D1$ і $D2$ – відкриті, $U_{\text{вих}} \approx U_{\text{вх}}$. Якщо $U_{\text{вх}} > V2$; $U_{\text{вх}} > V3$, то $D1$ – відкритий, $D2$ – закритий, $U_{\text{вих}} \approx V3$. Якщо $U_{\text{вих}} > V2$, $U_{\text{вх}} < V3$, то обидва діоди відкриті і $U_{\text{вих}} \approx U_{\text{вх}}$.

У схемах названих обмежувачів повинні виконуватися співвідношення елементів: $R1 \gg R_{\text{VD.ПР}}$; $R2 \gg R1$; $R3 \gg R2$; $R_{\text{Н}} \gg R3$; $R_{\text{VD.ЗВР}} \gg R3$; $R_{\text{ВН.ВХ}} \rightarrow 0$; $R_{\text{ВН.В1,В2,В3}} \rightarrow 0$; $V3 > V2$.

Обмежники з паралельним включенням діода й опору навантаження (паралельні) так само можуть здійснювати обмеження знизу (рисунок 3.14, а), зверху (рисунок 3.14, б) і двостороннє (рисунок 3.14, в, г). У цих схемах обмеження відбувається в ті моменти, коли відповідний діод відкритий.

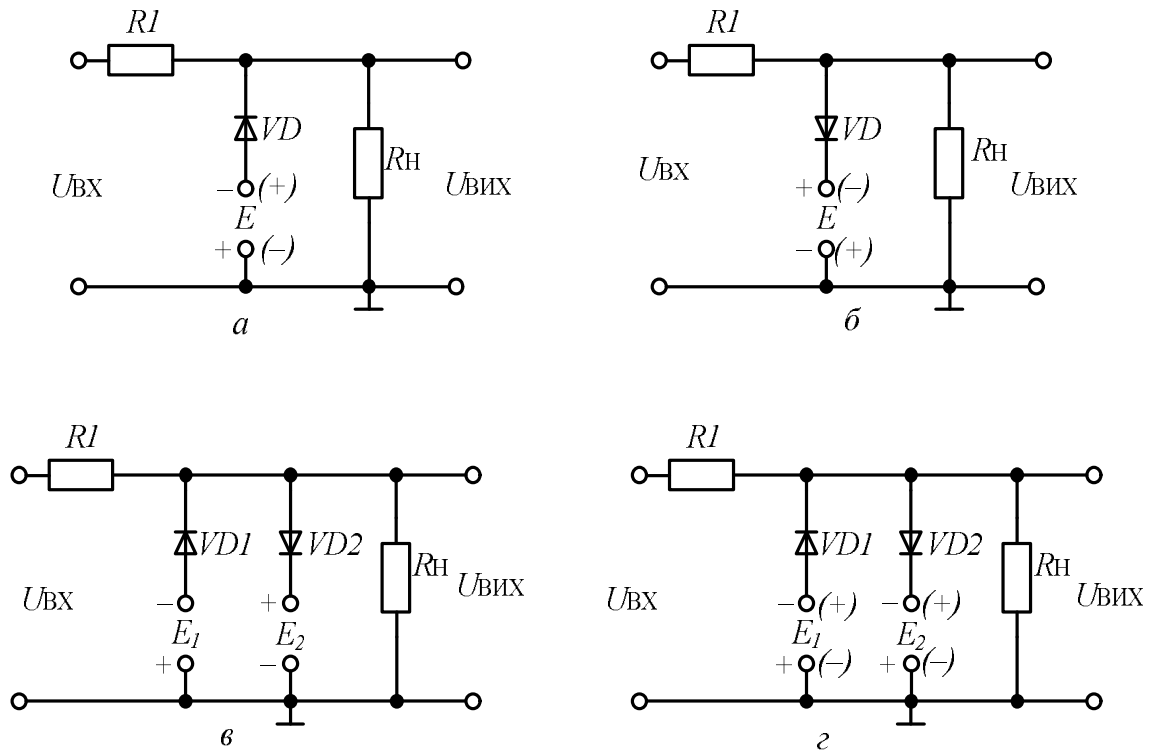


Рисунок 3.14 – Схеми паралельних обмежувачів:

а – знизу; б – зверху; в,г – двосторонніх

Прямий опір діода і падіння напруги на ньому малі і подальші зміни вхідного струму на них не впливають. При цьому $U_{\text{вих}} \approx E$, а все збільшення вхідної синусоїдальної напруги, що викликає зміну струму у вхідному ланцюзі, падає на баластному опорі $R1$. Його значення вибирають відповідно до умов: $R1 \gg R_{\text{VD.пр}}$; $R_{\text{H}} \gg R1$.

Форма вихідної напруги паралельних обмежувачів залежить від напруги вмикання діодів, полярності підключення джерел постійної напруги E , $E1$, $E2$, співвідношення значень $U_{\text{BX.m}}$ і E в односторонніх обмежувачах і співвідношень значень $U_{\text{BX.m}}$, $E1$, $E2$ у двосторонніх обмежувачах.

Розглянемо як приклад роботу паралельного двостороннього обмежувача, який зображено на рисунку 3.15 (схема та характеристики обмежувача отримані моделюванням у програмі Microcap).

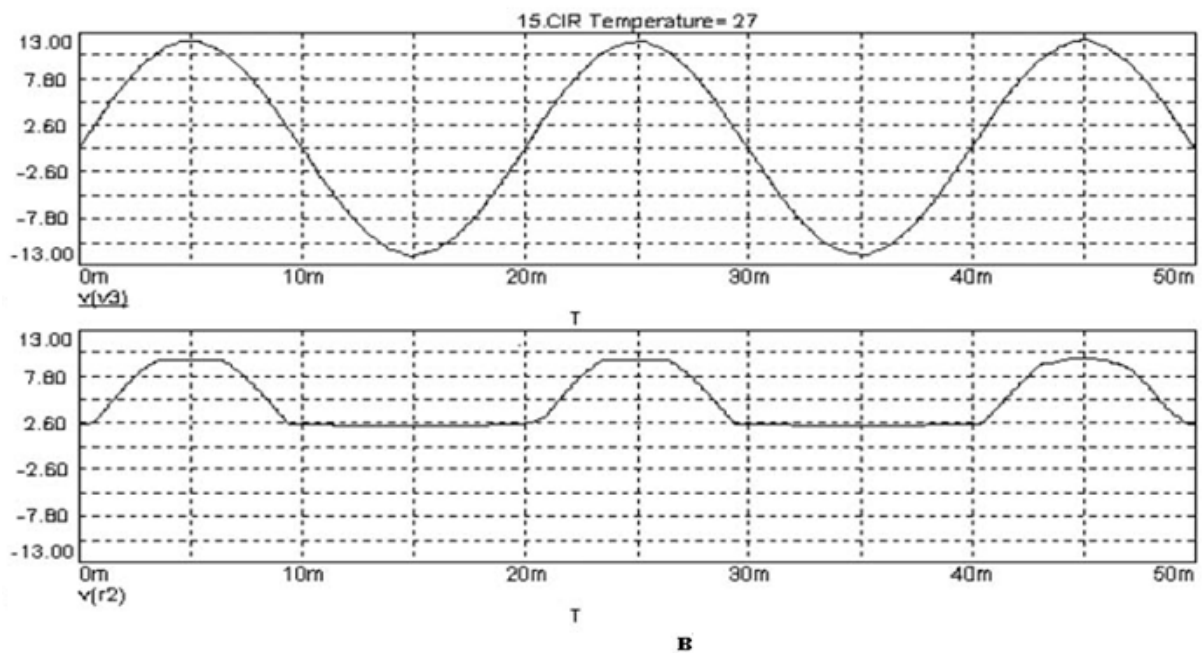
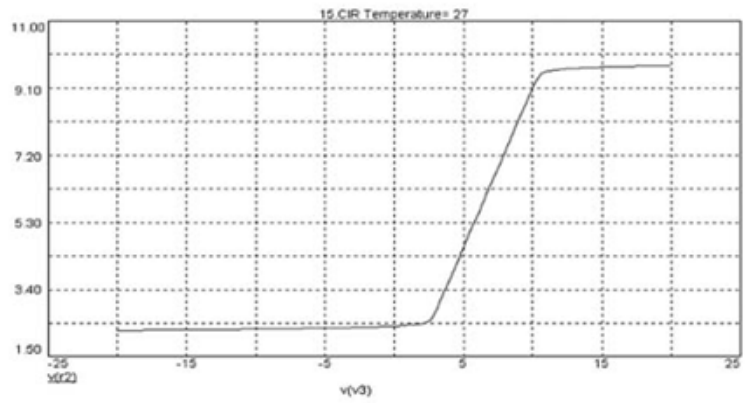
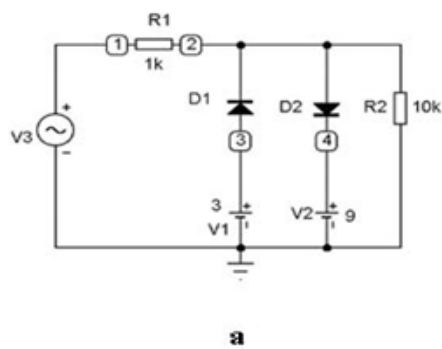


Рисунок 3.15 – Паралельний двосторонній обмежувач: а – схема;

б – передатна характеристика; в – вхідний і вихідний сигнали схеми

Якщо $U_{\text{BX}} < V1$, то D1 – відкритий; тому що $V2 > V1$, то D2 – закритий; $U_{\text{ВИХ}} \approx V1$. Якщо $U_{\text{BX}} > V1$, $U_{\text{BX}} < V2$, то обидва діоди закриті; $U_{\text{ВИХ}} \approx U_{\text{BX}}$. Якщо $U_{\text{BX}} > V1$, $U_{\text{BX}} > V2$, то D1 – закритий, D2 – відкритий; $U_{\text{ВИХ}} \approx V2$. Якщо $U_{\text{BX}} > V1$, $U_{\text{BX}} < V2$, то обидва діоди закриті; $U_{\text{ВИХ}} \approx U_{\text{BX}}$. Якщо $U_{\text{BX}} < V1$, то D1 – відкритий; $V1 < V2$, то D2 – закритий; $U_{\text{ВИХ}} \approx V1$. Далі описаний процес повторюється.

У схемах названих паралельних обмежувачів повинні виконуватися співвідношення елементів: $R_1 \gg R_{VD.ПР}$; $R_H \gg R_1$; $R_{VD.ЗБР} \gg R_1$; $V_2 > V_1$; $R_{BH.BX} \rightarrow 0$; $R_{BH.V1,V2} \rightarrow 0$.

ПИТАННЯ ДЛЯ САМОКОНТРОЛЮ

- 1) Що таке електронний ключ? Які діоди найчастіше використовують для діодних ключів?
- 2) Наведіть принципову електричну схему послідовного діодного ключа та поясніть відповідну передатну характеристику.
- 3) Яка напруга називається пороговою? Для чого в схеми вводиться джерело напруги зсуву $E_{ЗС}$?
- 4) Як виконати розрахунок послідовного діодного ключа з урахуванням впливу напруг $U_{ВХ}$ та $E_{ЗС}$?
- 5) Які вимоги пред'являються до співвідношення резисторів послідовного діодного ключа?
- 6) Наведіть принципову електричну схему паралельного діодного ключа та поясніть відповідну передатну характеристику.
- 7) Які вимоги пред'являються до співвідношення резисторів паралельного діодного ключа?
- 8) Що таке обмежувач амплітуди? Які види обмежувачів амплітуди Ви знаєте?
- 9) Наведіть приклади двосторонніх обмежувачів напруги на діодних ключах. Поясніть часові діаграми роботи.

ЛІТЕРАТУРА

[1, 2, 4...13, 29]

4 ТИРИСТОРНІ КЛЮЧІ

4.1 Принцип роботи та особливості застосування тиристорів в ключах

Тиристором називається електроперетворюючий напівпровідниковий прилад, що містить три і більш р-n переходи, вольт-амперна характеристика якого має ділянку від'ємного диференціального опору.

Якщо такий прилад включити в електричний ланцюг змінного струму, то він відкривається, пропускаючи струм до навантаження, коли миттєве значення напруги на ньому досягає визначеного рівня або при подачі відмикаючої напруги на спеціальний керуючий електрод. Тиристори є ключовими елементами і тривалий час можуть знаходитися в одному з двох стійких станів: ввімкненому і вимкненому. За числом зовнішніх електродів вони розділяються на двоелектродні (некеровані) – діодні тиристори (динистори) і триелектродні (керовані) – тріодні тиристори.

На рисунку 4.1 приведено позначення тиристорів на електричних схемах.

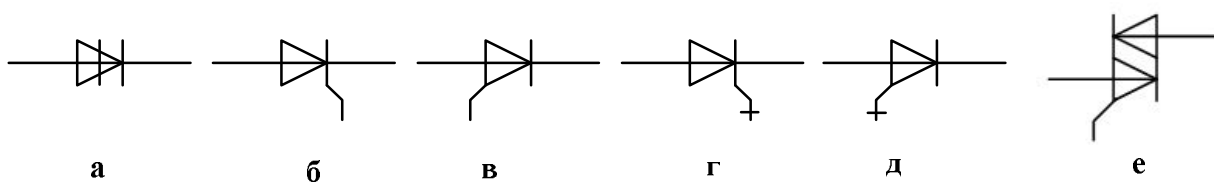


Рисунок 4.1 – Позначення тиристорів на електричних схемах

а – динистор; б, в – тріодний (однонаправлений);

г, д – тріодний-двонаправлений; е – симістор

Найпростіший тиристор (діодний) являє собою чотиришаровий напівпровідниковий прилад, що складається з чотирьох послідовно почергових областей із провідностями р- і n- типу (рисунок 4.2, а).

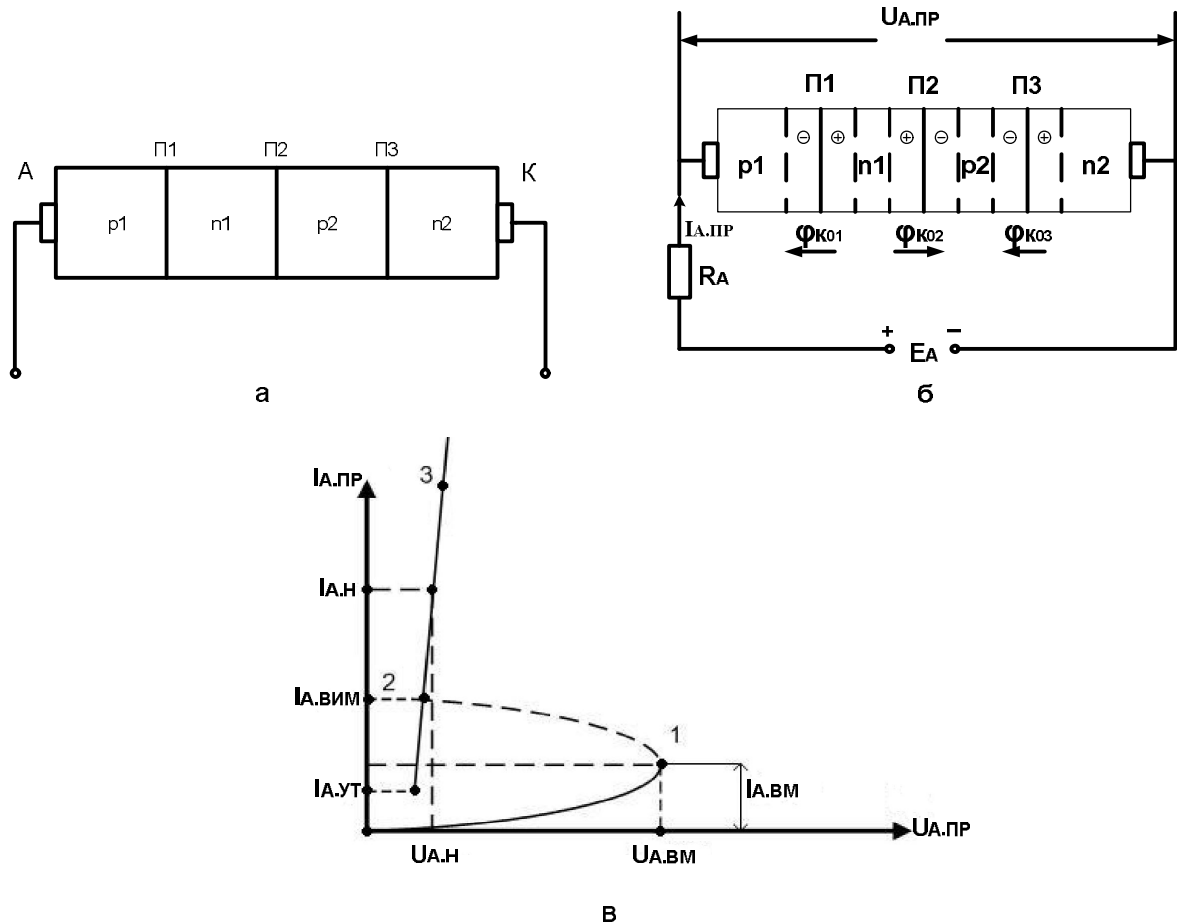


Рисунок 4.2 – Діодний тиристор: а – спрощена структура;
б – схема включення; в – ВАХ

Крайні області p_1 і n_2 називаються емітерами, а середні n_1 і p_2 – базами, р-n переходи П1 і П3 – емітерні, а П2 – колекторний. До областей p_1 і n_2 підводяться металеві контакти А і К, що називаються анодом і катодом.

При відсутності зовнішньої напруги ($E_A = 0$) в р-n переходах діодного тиристора виникають потенційні бар'єри $\Delta\phi_{K01}, \Delta\phi_{K02}, \Delta\phi_{K03}$ (рисунок 4.2, б). Структура знаходиться в стані термодинамічної рівноваги.

Струми, що протікають в ній, врівноважують один одного і сумарний струм дорівнює нулю. Якщо до тиристора прикласти пряму напругу $U_{A.ПР} < U_{A.ВМ}$ (рисунок 4.2, в), то переходи П1 і П3 зміщаються в прямому, а П2 – у зворотному напрямку. Висота потенційних бар'єрів П1 і П3 зменшується. Дірки інжектуються з емітера p_1 у базу n_1 , а електрони – з емітера n_2 у базу p_2 . Полеом обернено зміщеного переходу П2 дірки з бази n_1 виводяться в базу p_2 , а електрони – з бази p_2 у базу n_1 (явище екстракції). Поява в базах n_1 і p_2 додаткових основних носіїв зарядів ще більше зменшує висоту потенційних бар'єрів переходів П1 і П3.

Це викликає додаткову інжекцію дірок і електронів через переходи П1 і П3. Далі описані процеси повторюються. При збільшенні прямої напруги $U_{A.ПР}$ відбувається поступове насичення баз n_1 і p_2 основними носіями зарядів і зменшення їх опору. При визначеному значенні $U_{A.ПР} \geq U_{A.ВМ}$ описаний процес приймає лавиноподібний характер (в структурі діє внутрішній додатний зворотний зв'язок). Різко зменшуються опори областей p_2 , n_1 і відкривається перехід П2. Струм $I_{A.ПР}$ збільшується, а напруга $U_{A.ПР}$ зменшується. В ВАХ з'являється ділянка від'ємного диференціального опору – ділянка 1-2 (рисунок 4.2, в). Тиристор відкривається – переходить із закритого стану (ділянка 0-1) у відкритий (ділянка 2-3). Закритому стану відповідає високий диференціальний опір, а відкритому – малий.

Умови вмикання діодного тиристора: $U_{A.ПР} \geq U_{A.ВМ}; I_{A.ПР} \geq I_{A.ВМ}$, де $I_{A.ВМ}$ – струм вимикання – мінімальний прямий струм, що підтримує тиристор у ввімкненому стані (процес вмикання).

Для вимикання діодного тиристора: необхідно зменшити прямий струм до значення $I_{A.ПР} \leq I_{A.УТ}$, де $I_{A.УТ}$ – струм утримання – мінімальний

прямий струм, при якому тиристор ще залишається у ввімкненому стані (процес вимикання), чи подати на прилад напругу іншої полярності.

В порівнянні з діодним тиристором тріодний тиристор містить додатковий електрод – КЕ, що називається керуючим (рисунок 4.1, б...д).

Від додаткового зовнішнього джерела $E_{\text{КЕР}}$ за рахунок струму керування $I_{\text{КЕР}}$ через керуючий електрод КЕ в базу, наприклад, P_2 вводиться додаткова кількість основних носіїв – дірок (рисунок 4.3, а).

Це дозволяє ввімкнути тріодний тиристор при меншому значенні $U_{\text{А.ВМ}}$, ніж діодний. З ростом струму керування $U_{\text{А.ВМ}}$ зменшується. При $I_{\text{КЕР}} = I_{\text{КЕР.С}}$ (струм спрямлення) відбувається спрямлення ВАХ тріодного тиристора, що перетворюється в характеристику звичайного діода.

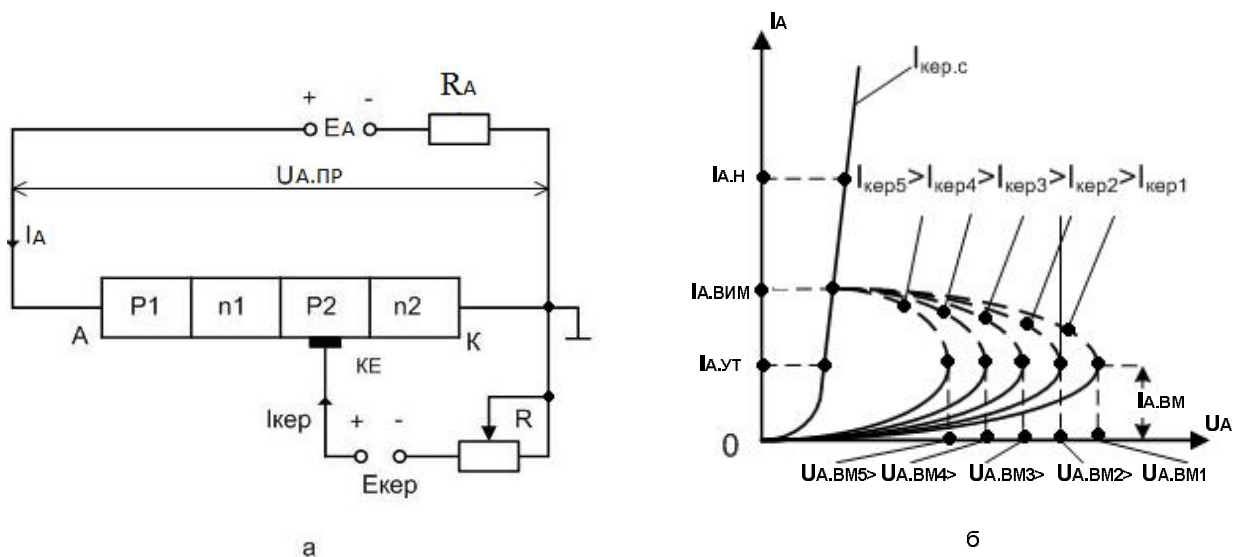


Рисунок 4.3 – Керований тиристор: а – схема включення; б – ВАХ

Умова вмикання тріодного тиристора $U_{\text{А.ПР}} \geq U_{\text{А.ВМ}}$ при $I_{\text{КЕР}} = \text{const}$; $I_{\text{А.ПР}} \geq I_{\text{А.ВМ}}$, де $I_{\text{А.ВМ}}$ – струм вимикання – мінімальний прямий струм, що підтримує тиристор у ввімкненому стані безпосередньо після його вмикання і зняття керування.

Для вимикання тріодного тиристора необхідно: зменшити прямий струм до значення: $I_{A.пр} < I_{A.ут}$, де $I_{A.ут}$ – струм утримання – мінімальний прямий струм, що не вимикає тиристор, протікаючи через нього при розімкненому ланцюзі керування, або подати на прилад напругу зворотної полярності.

Тиристори виготовляються на основі кремнію. В даний час створені кремнієві тиристори на струми від одиниць міліамперів до десятків кілоампер і напругою від декількох вольтів до декількох кіловольтів. Швидкість наростання струму в них складає до 10^9 А/с. Час вмикання від сотих часток до десятків мікросекунд, час вимикання – від одиниць до сотень мікросекунд.

Застосування тиристорів обумовлено в основному двома властивостями:

- наявністю ділянки від’ємного диференціального опору;
- наявністю двох стійких станів.

Перша властивість дозволяє використовувати тиристори в підсилювальних і генераторних схемах, а друга – застосовувати їх у ключових і перемикальних електронних пристроях різного призначення.

4.2 Застосування тиристора в керованому випрямлячі

В сучасній електротехніці широко застосовуються вентильні перетворювачі: випрямлячі, інвертори, перетворювачі частоти. Розглянуті в цьому розділі керовані вентильні перетворювачі використовуються для якісного керування двигуном постійного струму з незалежним збудженням і є керованими випрямлячами. Джерелом енергії є мережа змінного струму. Принцип керування полягає в тому, що в додатний напівперіод вентиль подібно ключу відкривається і подає напругу до якоря лише частину цього напівперіоду. Напруга і струм на виході такого перетворювача містять постійні і змінні складові. Для аналізу роботи

двигуна постійного струму необхідно знайти постійні складові напруги і струму перетворювача, які визначаються середніми значеннями цих величин за період зміни напруги мережі. Змінюючи момент (фазу) відкриття вентиля, змінюють середнє значення напруги на якорі і, таким чином, керують двигуном.

Як вентиля, момент відмикання яких можна змінювати, в останні роки застосовують керовані вентиля – тиристори.

Існує велика кількість різних схем керованих випрямлячів. За принципом дії і побудови вони можуть бути розділені на дві групи: однонапівперіодні (схеми з нульовим проводом), в яких використовують тільки одну напівхвилю напруги мережі, і двонапівперіодні (мостові схеми), де використовують обидві напівхвилі змінної напруги мережі.

Роботу найпростішої однонапівперіодної схеми ілюструє рисунок 4.4, а.

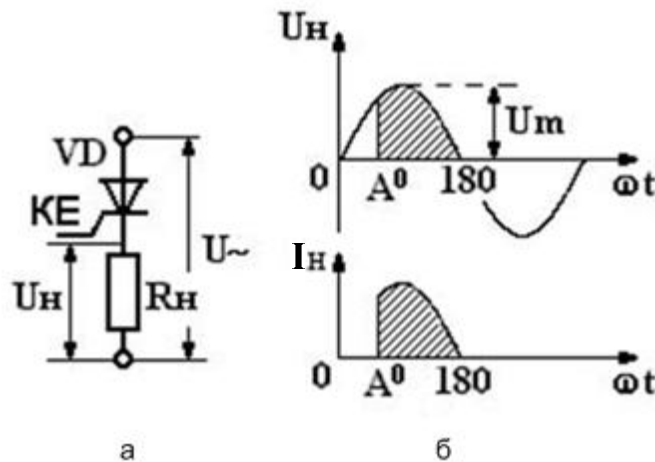


Рисунок 4.4 – Найпростіший однонапівперіодний керований тиристорний випрямляч: а – схема; б – часові діаграми роботи

До джерела синусоїдальної напруги мережі $U \sim$ з амплітудою U_m підключено навантаження R_n і тиристор VD, що відкривається подачею на керуючий електрод KE імпульсу напруги від схеми керування в момент часу, який обумовлено кутом відмикання A° .

Тому що навантаження резистивне, крива струму (рисунок 4.4, б) повторює криву напруги. В момент часу $\omega t = 180^\circ$ струм зменшується до нуля і тиристор закривається. Цей процес повторюється кожен додатний напівперіод (у від'ємний напівперіод тиристор вимкнено напругою мережі).

Керування тиристором бажано здійснювати імпульсом малої тривалості (тому що її збільшення пов'язане зі зростанням потужності схеми керування), але дещо перевищуючої час вмикання тиристора, тобто час його переходу з закритого стану у відкритий.

Необхідно також забезпечити досить крутий передній фронт керуючого імпульсу, що зменшить втрати потужності в тиристорі при вмиканні, а отже, його нагрів.

В інтервалі $A^\circ \dots 180^\circ$ до навантаження підводиться напруга

$$U_H = U_m \sin \omega t . \quad (4.1)$$

Розглянутий фазовий метод керування може бути реалізовано за допомогою фазозсувальних способів, одним із яких є «вертикальний» спосіб керування, який ґрунтується на порівнянні опорної напруги $U_{оп}$ (зазвичай пилкоподібної форми – $U_{ГНЗЛ}$) і постійного сигналу керування $U_{кер}$ (рисунок 4.5, б).

Рівність миттєвих значень цих напруг визначає фазу A° , при якій схема порівняння виробляє імпульс, який потім підсилюється і подається на керуючий електрод тиристора. Зміна фази A° керуючого імпульсу досягається зміною рівня напруги сигналу керування $U_{кер}$. Структурна схема пристрою приведена на рисунку 4.5, а.

Опорна напруга, яку виробляє генератор пилкоподібної напруги ГПН (ГНЗЛ) і яку синхронізовано з напругою мережі за допомогою синхронізуючого пристрою СПР, подається на схему порівняння СП, на

яку одночасно надходить і напруга сигналу керування $U_{\text{кер}}$. Сигнал зі схеми порівняння надходить на формувач імпульсів ФІ, звідкіль у виді потужного з крутим фронтом імпульсу $U_{\text{ФІ}}$, який регулюється за фазою, подається на керуючий електрод тиристора.

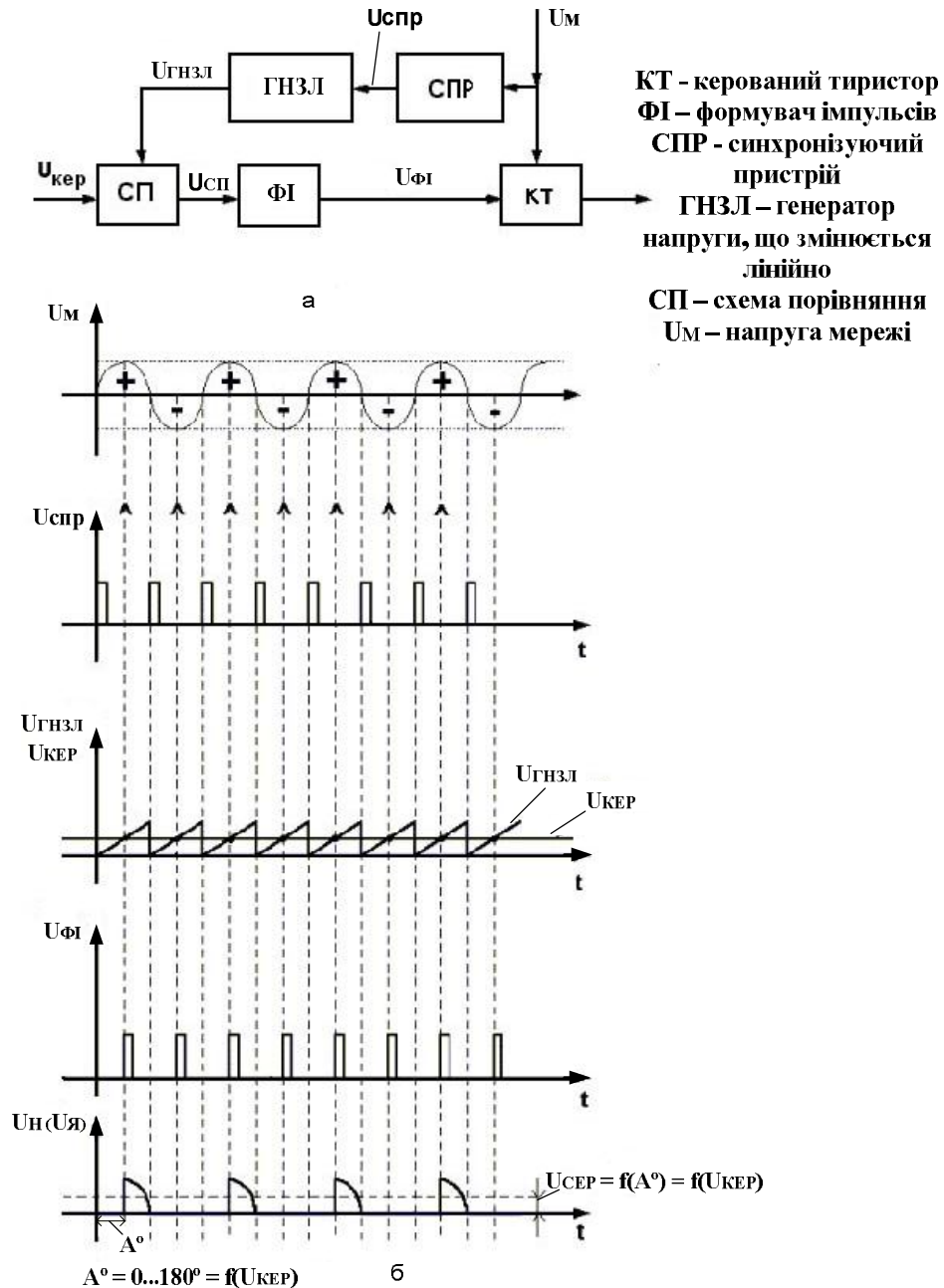


Рисунок 4.5 – Керований тиристорний випрямляч:

а – структурна схема;

б – часові діаграми роботи

Інтегруючи (4.1) на інтервалі $A \dots \pi$, визначимо середнє за період значення напруги на навантаженні:

$$U_H = U_{\text{сеп}} = \frac{1}{2\pi} \int_A^{\pi} U_m \sin \omega t dt = \frac{U_m}{2\pi} (1 + \cos A). \quad (4.2)$$

4.3 Широтно-імпульсні перетворювачі на тиристорах

Для імпульсного керування двигунами постійного струму часто використовуються широтно-імпульсні перетворювачі (ШІП), які виконано на транзисторних чи тиристорних ключах. Застосування останніх дозволяє істотно підвищити потужність перетворювачів. На рисунку 4.6 приведено структурну схему пристрою, відповідно до якої здійснюють «вертикальний» спосіб керування тиристорними ШІП, і часові діаграми його роботи. Тривалість циклу $t_{\text{ц}}$ визначається частотою задаючого генератора (ЗГ), імпульси ($U_{\text{ЗГ}}$) якого подаються одночасно на генератор опорної пилкоподібної напруги (ГПН, на рисунку – ГНЗЛ) і формувач імпульсів ФІ1. Вмикання тиристора здійснюється імпульсами $I_{\text{КЕР1}}$, що надходять від формувача ФІ1.

Схема СП порівнює опорну пилкоподібну напругу з напругою керування $U_{\text{КЕР}}$ і в момент їх рівності посиляє сигнал у формувач імпульсів ФІ2, що формує і подає від'ємні імпульси $I_{\text{КЕР2}}$ в пристрій гасіння, що здійснює вимикання тиристора.

В результаті на навантаження, наприклад, якорну обмотку двигуна постійного струму (ДПС), надходить напруга U_H імпульсної форми, середнє значення якої залежить від напруги живлення тиристора U і шпаруватості імпульсів Q :

$$U_{H.\text{СЕР}} = \frac{U}{Q} = U \cdot \frac{t_{\text{ім.я}}}{t_{\text{ц}}}. \quad (4.3)$$

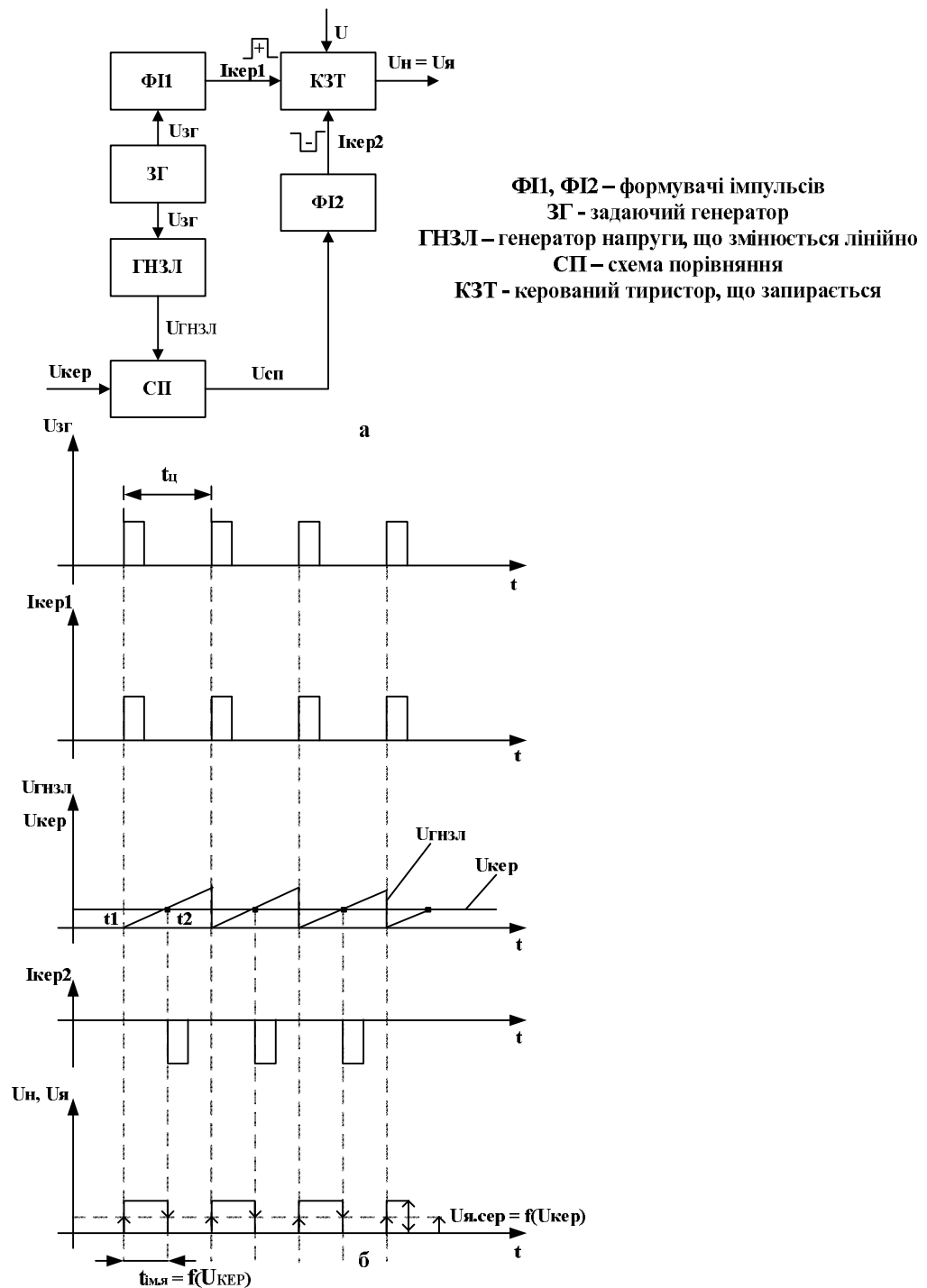


Рисунок 4.6 – Широтно-імпульсний перетворювач на тиристорі:

а – структурна схема;

б– часові діаграми роботи

Таким чином, змінюючи величину $U_{\text{КЕР}}$, можна регулювати тривалість імпульсу $t_{\text{ім.я}}$, а отже, змінювати $U_{\text{Н.СЕР}} = U_{\text{Я.СЕР}}$, тобто змінювати частоту обертання ДПС.

Помітимо, що ШПІ можна спроектувати на двоопераційних, тобто цілком керованих тиристорах, запирання яких роблять шляхом подачі від'ємного імпульсу $I_{\text{КЕР2}}$ безпосередньо на їхній керуючий електрод. Потужність таких ШПІ, однак, не перевищує 1-2 кВт.

ПИТАННЯ ДЛЯ САМОКОНТРОЛЮ

- 1) Який пристрій називається тиристором? Для чого він використовується?
- 2) Опишіть процеси, що проходять у тиристорі при подачі на нього прямої напруги ($U_{\text{А.ПР}}$):
 - а) $U_{\text{А.ПР}} < U_{\text{ВМИКАННЯ}}$;
 - б) $U_{\text{А.ПР}} \geq U_{\text{ВМИКАННЯ}}$.
- 3) Назвіть умови вмикання та вимикання діодного тиристора.
- 4) Чим відрізняється тріодний тиристор від діодного? Які умови його вмикання та вимикання?
- 5) Наведіть та поясніть структурну схему тиристорного випрямляча.
- 6) Наведіть та поясніть структурну схему ШІМ-перетворювача на тиристорі.

ЛІТЕРАТУРА

[1, 2, 4...13, 29]

5 ТРАНЗИСТОРНІ КЛЮЧІ

Як електронні ключі в імпульсній техніці широко застосовуються транзисторні ключі на біполярних і польових транзисторах. Дія транзисторних ключів (ТК) ґрунтується на властивості транзистора мати малий опір в увімкненому стані і великий – у вимкненому. На відміну від транзисторів, які застосовуються в підсилювачах, транзистор у транзисторному ключі працює в ключовому режимі, використовуючи нелінійні ділянки ВАХ транзистора. Транзистор встановлюється послідовно з комутуючою ділянкою електричного ланцюга або паралельно їй.

5.1 Транзисторні ключі на біполярних транзисторах

Основою ТК на біполярному транзисторі є схема зі спільним емітером (СЕ), яку зображено на рисунку 5.1, а.

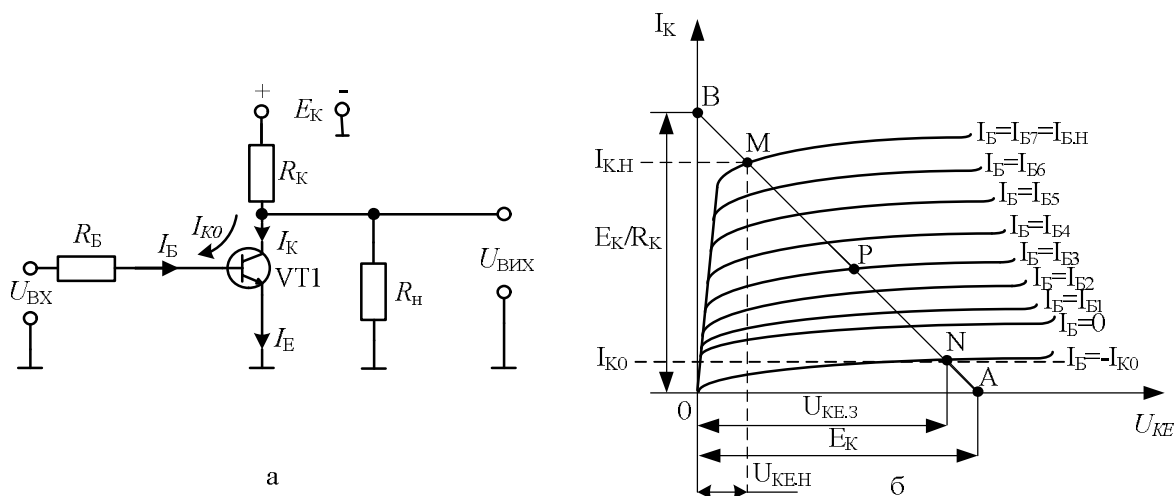


Рисунок 5.1 – ТК на біполярному транзисторі:

а – схема; б – вихідні ВАХ транзистора і динамічна характеристика

На рисунку 5.1, б приведено статичні вихідні ВАХ транзистора і динамічна характеристика (навантажувальна пряма), що перетинає осі координат у точках $A(U_{KE} = E_K, I_K = 0)$ і $B(U_{KE} = 0, I_K = E_K / R_K)$.

При аналізі роботи ТК розглядають статичний (стаціонарний) і динамічний (перехідний) режими.

Статичному режиму відповідають два стани ТК:

- вимкнутий (ключ закритий).
- увімкнутий (ключ відкритий).

Перехідний режим полягає в переході схеми з одного статичного стану в інший.

5.2 Вимкнутий (закритий) стан транзисторного ключа

Якщо на вхід ТК, виконаного на транзисторі типу n-p-n, подати від'ємний імпульс (рисунок 5.2), то VT1 закритий і його робоча точка знаходиться в області відсічення.

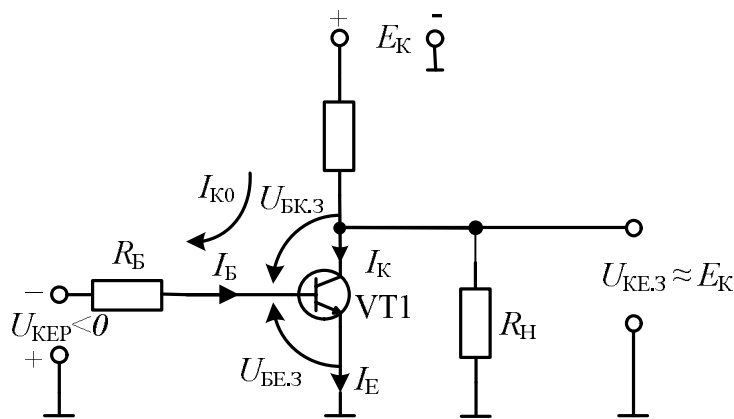


Рисунок 5.2 – Вимкнутий (закритий) стан ТК

Обидва переходи транзистора зміщені в зворотному напрямі і умова відсічення має вид

$$U_{BE.3} \leq 0, U_{BC.3} \leq 0. \quad (5.1)$$

Оскільки зсув колекторного переходу в зворотному напрямі забезпечується джерелом живлення $+E_K$, то умову (5.1) можна спростити

$$U_{BE.3} \leq 0. \quad (5.2)$$

У режимі відсічення робоча точка транзистора знаходиться в точці N навантажувальної прямої (рисунок 5.1,б). Через колекторний перехід

протікає зворотний струм насичення (струм неосновних носіїв) I_{K0} .

Струми транзистора зв'язані виразами:

$$I_K = I_{K0}, I_B = -I_{K0}, I_E = I_K + I_B = 0. \quad (5.3)$$

Напруга на базі закритого транзистора $U_{BE.3} = -U_{KEP} + I_{K0}R_B$.

Для виконання умови відсічення ключа (5.2) амплітуду вхідної керуючої напруги треба вибирати з виразу

$$|U_{KEP}| \geq I_{K0}R_B. \quad (5.4)$$

Напруга на виході закритого транзистора

$$U_{KE.3} = E_K - I_{K0}R_K \approx E_K. \quad (5.5)$$

5.3 Увімкнутий (відкритий) стан ключа

Якщо на вхід ключа подано додатний імпульс (рисунок 5.3), то транзистор відкрито і його робоча точка знаходиться в області насичення.

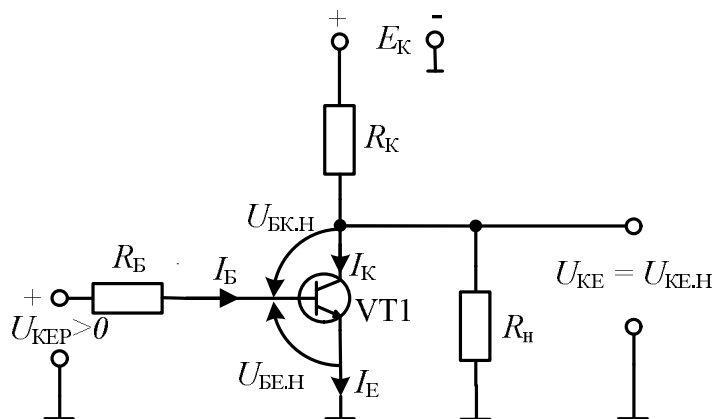


Рисунок 5.3 – Увімкнутий (відкритий) стан ключа

Обидва переходи транзистора відкрито, і умова насичення має вид

$$U_{BE.H} > 0, U_{BC.H} > 0. \quad (5.6)$$

Величина струму бази, яку обумовлено вхідною додатною напругою, повинна відповідати нерівності

$$I_B \geq I_{B.H}, \quad (5.7)$$

де $I_{B.H}$ – значення струму бази, при якому робоча точка транзистора

знаходиться на границі активної області й області насичення (точка М навантажувальної прямої (рисунок 5.1, б)).

Величина базового струму насичення

$$I_{Б.Н} = \frac{I_{К.Н}}{\beta}, \quad (5.8)$$

де $I_{К.Н}$ – значення струму колектора, що відповідає границі області насичення, β – коефіцієнт передачі (підсилення) струму в схемі зі спільним емітером.

Значення струму колектора відкритого транзистора обмежено резистором R_K і визначається з формули

$$I_{К.Н} = (E_K - U_{КЕ.Н}) / R_K, \quad (5.9)$$

де $U_{КЕ.Н}$ – падіння напруги на відкритому транзисторі (вихідна напруга увімкненого ключа).

Як впливає з рисунка 5.1, б , величина $U_{КЕ.Н}$ мала ($U_{КЕ.Н} \approx 0$). Тому умову насичення можна записати у вигляді

$$I_{К.Н} = \frac{E_K}{R_K}, \quad (5.10)$$
$$I_B \geq I_{Б.Н} = \frac{I_{К.Н}}{\beta} = \frac{E_K}{R_K \beta}.$$

Для надійного насичення транзистора необхідно, щоб умова (5.10) виконувалася при $\beta = \beta_{\min}$.

Величина

$$S = \frac{I_K}{I_{К.Н}} = \frac{I_B}{I_{Б.Н}} \quad (5.11)$$

називається коефіцієнтом (ступенем) насичення транзистора.

Якщо робоча точка VT1 знаходиться в точці М навантажувальної прямої (рисунок 5.1, б), то $I_B = I_{Б.Н}$, $S = 1$.

5.4 Перехідний (динамічний) режим роботи ключа

Перехідний режим виникає при вмиканні і вимиканні ключа і визначає його швидкодію.

Процес увімкнення ключа умовно можна розбити на три етапи: затримка фронту, формування фронту при відмиканні транзистора і накопичення надлишкового заряду в базі транзистора. Затримка фронту вихідної напруги ключа відносно моменту надходження вхідного вмикаючого імпульсу зв'язана з перезарядом бар'єрних ємностей транзистора C_K і C_E .

Величина часу затримки невелика і при аналізі процесу увімкнення ключа її можна не враховувати. Часові діаграми роботи ТК показано на рисунку 5.4.

Нехай у момент часу $t_1 = 0$ на вхід ключа подано додатний стрибок напруги U_{KEP1} , що викликає додатний стрибок базового струму, який відмикає транзистор,

$$I_{B1} \approx \frac{U_{KEP1}}{R_B} > I_{B.H}. \quad (5.12)$$

З цього моменту починається етап формування фронту, який обумовлено наростанням струму колектора за експоненціальним законом

$$I_K = \beta \cdot I_B (1 - e^{-t/t_\beta}), \quad (5.13)$$

де $\tau_\beta = \frac{1}{\omega_\beta} = \frac{1}{2\pi f_\beta}$ – стала часу перехідного процесу в

транзисторі, який включено за схемою зі СЕ (спільним емітером);

$f_\beta = f_\alpha / \beta$ – гранична частота в схемі зі СЕ;

f_α – гранична частота в схемі зі спільною базою (СБ);

β – коефіцієнт підсилення струму в схемі зі спільним емітером (CE).

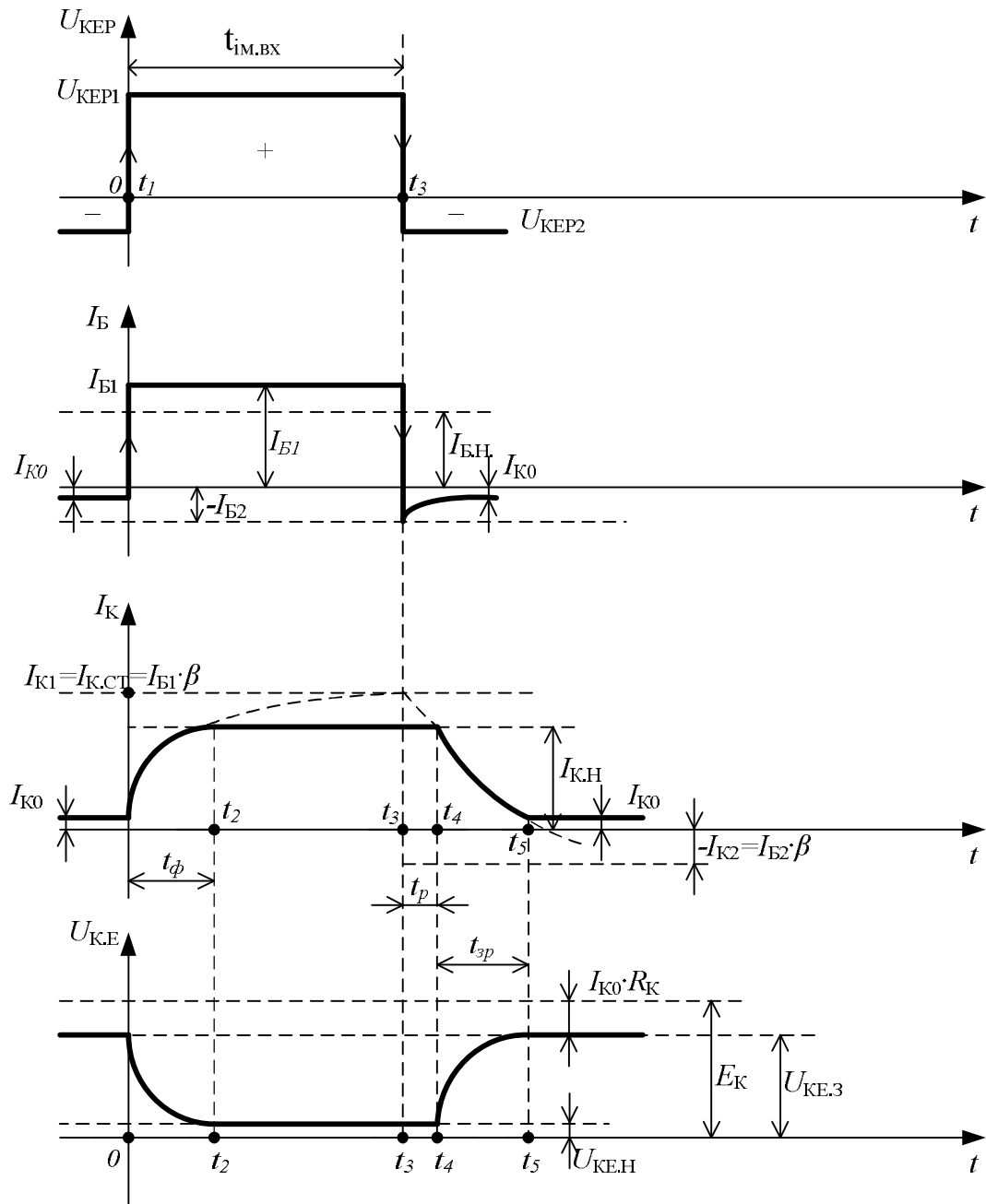


Рисунок 5.4 – Часові діаграми роботи ТК

Колекторний струм прагне до сталого значення

$$I_{K1} = I_{K.СТ} = \beta I_{B1} > I_{K.Н}, \quad (5.14)$$

$$(I_{B1} > I_{B.Н} = I_{K.Н} / \beta).$$

Однак у момент часу t_2 при струмі $I_K = I_{K.H} = I_{B.H} \cdot \beta$ транзистор попадає в режим насичення і ріст колекторного струму обмежується на рівні $I_{K.H} \approx E_K / R_K$. На цьому закінчується етап формування фронту і починається етап накопичення надлишкового заряду в базі транзистора. Фізично цей процес полягає у введенні в базу від джерела керуючої напруги надлишкових дірок, що викликають “удавану” зміну струму колектора до величини $I_{K1} = I_{K.CT} = I_{B1} \cdot \beta$, хоча реально цей струм дорівнює $I_{K.H}$. Графічно “удаване” збільшення струму колектора на рисунку 5.4 показано пунктирною кривою. Через час $t = 3\tau_\beta$ “удаваний” струм досягає сталого значення $I_{K.CT}$. На рисунку 5.4 тривалість вхідного керуючого імпульсу $t_{im.BX}$ приблизно дорівнює $3\tau_\beta$.

Аналіз процесу увімкнення ТК дозволяє зробити висновок, що тривалість фронту $t_\phi = t_2 - t_1$ можна зменшити, збільшуючи відмикаючий струм бази I_{B1} . З іншої сторони накопичення надлишкового заряду носіїв у базі можна знизити, зменшуючи струм бази. При виконанні умови $I_{B1} = I_{B.H} (S = 1)$ накопичення надлишкового заряду в базі відсутнє.

У момент t_3 на вхід ключа подано від’ємний стрибок напруги U_{KEP2} , що закриває транзистор. Починається процес вимикання ключа, який можна розбити на два етапи: розсмоктування надлишкового заряду в базі транзистора і формування зрізу при запиранні транзистора.

Від’ємний стрибок керуючої вхідної напруги U_{KEP2} викликає від’ємний стрибок базового струму: $-I_{B2} = -U_{KEP2} / R_B$, що протікає в напрямі, протилежному первісному струму бази I_{B1} .

Надлишковий заряд у базі стрибком змінитися не може, тому починає зменшуватися за експоненціальним законом з тією ж сталою часу,

що і при увімкненні ключа. Зміна струму бази повинна викликати зменшення струму колектора від “удаваного” значення $I_{K,CT}$ до $I_{K2} = I_{B2} \cdot \beta$. Однак до моменту часу t_4 у базі зберігається надлишковий заряд і ніякі зміни струму не відбуваються. Робоча точка транзистора протягом етапу розсмоктування знаходиться в області насичення. Виникає затримка фронту (зрізу) вихідного імпульсу відносно моменту надходження вимикаючої напруги: $-U_{KEP2}$. Тривалість цієї затримки представляє час розсмоктування $t_p = t_4 - t_3$.

Тривалість часу розсмоктування можна зменшити, збільшуючи від’ємний струм бази: $-I_{B2}$ і зменшуючи ступінь насичення S , а отже і відмикаючий струм бази I_{B1} .

У момент часу t_4 після виходу робочої точки транзистора з області насичення починається етап формування зрізу вихідного імпульсу. Протягом проміжку часу $t_4 \dots t_5$ струм колектора зменшується за експоненціальним законом до величини I_{K0} , після чого залишається постійним на даному рівні. Подальше зменшення струму колектора до величини: $-I_{K2} = -I_{B2} \cdot \beta$ є “удаваним” і на рисунку 5.4 показано пунктирною лінією. Час зрізу $t_{zp} = t_5 - t_4$ можна зменшити, збільшуючи значення струму бази I_{B1} і I_{B2} .

Для підвищення швидкодії ключа необхідно зменшити час вмикання $t_{BM} = t_\phi$ і вимикання $t_{BIM} = t_p + t_{zp}$. Проведений аналіз показав, що для цього необхідно виконати суперечливі вимоги: для зменшення t_ϕ, t_{zp} необхідно збільшувати ступінь насичення транзистора, а для зменшення t_p – зменшувати. Оптимальну форму вхідного базового струму ТК, що враховує це протиріччя, показано на рисунку 5.5.

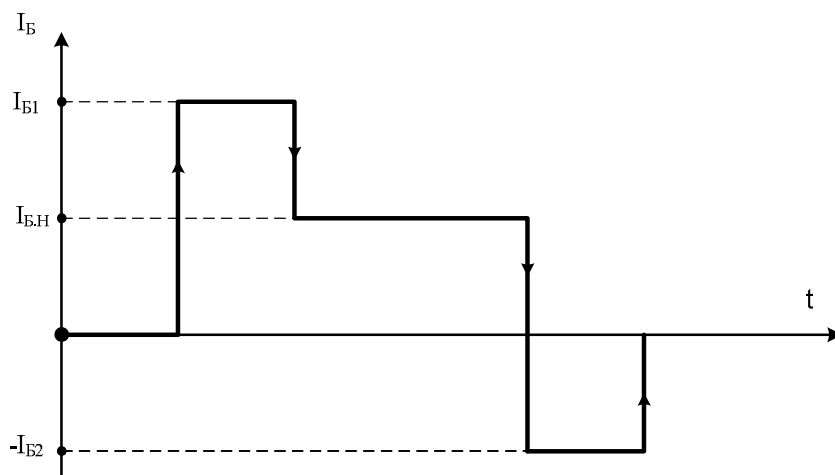


Рисунок 5.5 – Оптимальна форма вхідного базового струму ТК

Розглянутий ключ керується різнополярними імпульсами і стан схеми визначається знаком і рівнем вхідної напруги. На практиці широко застосовуються ключі, які у вихідному стані закриті чи відкриті.

Переключення ключа відбувається під дією однополярних вхідних керуючих імпульсів, що здійснюють увімкнення закритого ключа або вимикання відкритого.

5.5 Транзисторний ключ, закритий у початковому стані

Розглянемо ТК, закритий у вихідному стані (рисунок 5.6).

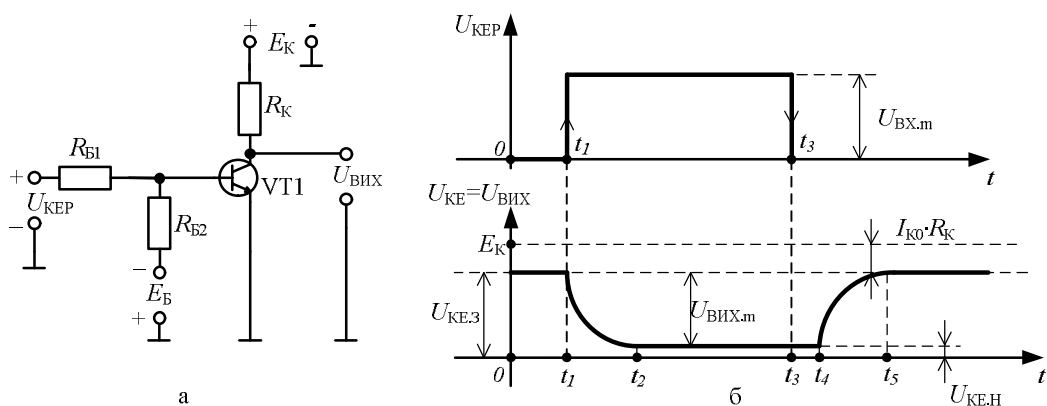


Рисунок 5.6 – ТК, закритий у вихідному стані

У початковому стані $U_{KEP} = 0$, ТК – закритий, $U_{ВИХ} \approx U_{KE.3} = E_K - I_{K0} \cdot R_K \approx E_K$.

При подачі на вхід схеми в момент $t = t_1$ додатного відмикаючого імпульсу, ТК відкривається. З затримкою $t_\phi = t_2 - t_1$ вихідна напруга зменшується до величини $U_{KE.H} \approx 0$.

У момент $t = t_3$ сигнал керування знімається. З затримкою $t_{ВИМ} = t_p + t_{зр}$, де $t_p = t_4 - t_3$, а $t_{зр} = t_5 - t_4$, вихідна напруга збільшується до величини $U_{KE.3}$, тому що ключ знову закривається.

5.6 Транзисторний ключ, відкритий у початковому стані

Розглянемо ТК, відкритий у початковому стані (рисунок 5.7).

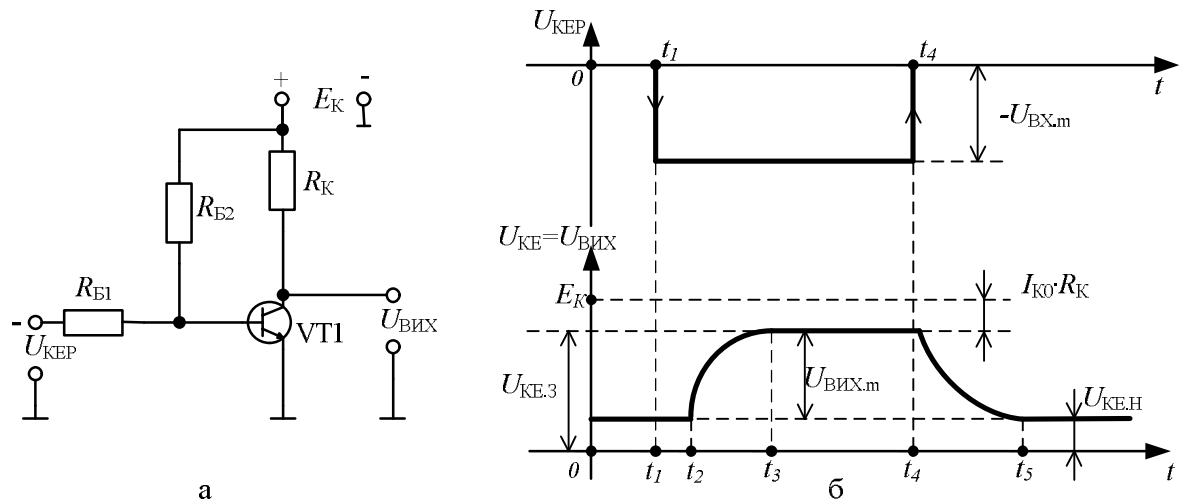


Рисунок 5.7 – ТК, відкритий у початковому стані

У вихідному стані $U_{KEP} = 0$. Додатною напругою, що знімається з нижнього плеча діляника напруги $+E_K$ (резистори R_{B1}, R_{B2}), транзистор і ключ у цілому відкритий. З виходу знімається невелика напруга $U_{KE.H}$.

У момент $t = t_1$ на вхід схеми надходить від'ємний імпульс, що викликає закривання ТК. З затримкою $t_{\text{ВІМ}} = t_p + t_\phi$, де $t_p = t_2 - t_1$, а $t_\phi = t_3 - t_2$ вихідна напруга збільшується до величини $U_{\text{КЕ.З}}$.

У момент $t = t_4$ вхідний імпульс закінчується. ТК знову відкривається і через $t_{\text{ВМ}} = t_{\text{зр}} = t_5 - t_4$ сигнал на виході знову зменшується до величини $U_{\text{КЕ.Н}}$.

Для підвищення швидкодії ТК у схему, наприклад, можна ввести конденсатор, що прискорює, чи використовувати нелінійний від'ємний зворотний зв'язок (ВЗЗ).

5.7 Ключ із зовнішнім зміщенням і конденсатором, що прискорює

У вихідному стані такий ключ (рисунок 5.8, а) закритий джерелом зміщення: $-E_B$, а у відкритий стан переключається додатним керуючим імпульсом.

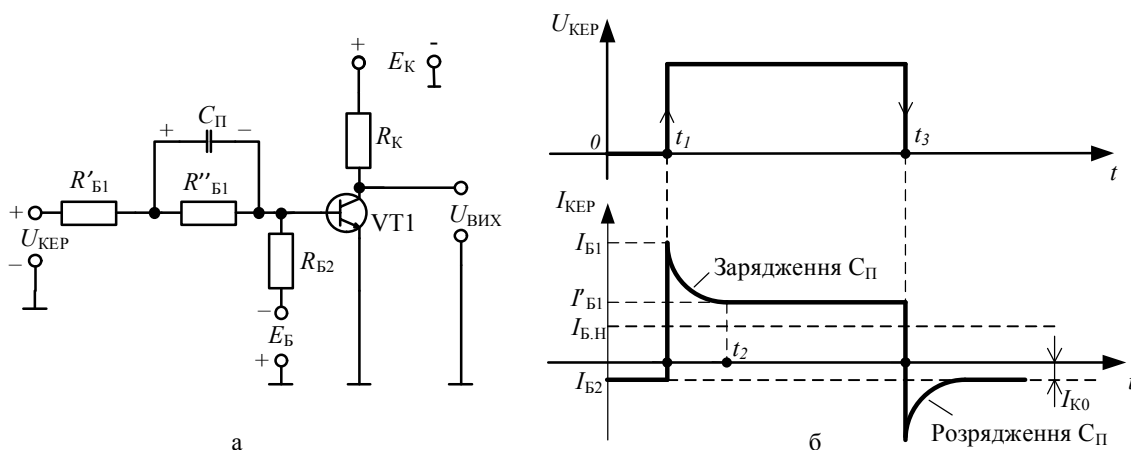


Рисунок 5.8 – Ключ із зовнішнім зміщенням і конденсатором, що прискорює:

а – схема; б – часові діаграми

Як відзначалося вище, зі збільшенням ступеня насичення ТК зменшується тривалість увімкнення, але одночасно зростає час вимикання, унаслідок збільшення часу розсмоктування надлишкового заряду в базі. Для підвищення швидкодії ТК необхідно забезпечувати форму вхідного керуючого базового струму, близьку до оптимальної (рисунок 5.5). Формування фронту відбувається при відмикаючому струмі бази значно перевищуючому струм бази насичення, накопичення надлишкових носіїв при струмі бази, незначно перевищуючому струм бази насичення, а розсмоктування і формування зрізу протікають при значному закриваючому струмові бази.

Як видно з часових діаграм роботи (рисунок 5.8, б), схема з прискорюючим конденсатором, забезпечує форму базового струму, близьку до оптимальної.

У вихідному стані ключ закритий і конденсатор C_n розряджений. У момент часу t_1 на вхід надходить додатний імпульс, який відмикає транзистор. Відмикаючий струм бази проходить через резистор R'_{B1} і конденсатор C_n , який шунтує R''_{B1} . Величина цього струму має значення I_{B1} , яке значно перевищує величину $I_{B.H}$. Під час зарядження конденсатора через відкритий транзистор VT1 струм бази зменшується за експонентою до величини I'_{B1} , яка небагато перевищує $I_{B.H}$.

При закінченні вхідного імпульсу ключ закривається під дією від'ємного зміщення: $-E_B$ і від'ємної напруги на прискорюючому конденсаторі, що прискорює закриття транзистора. Початковий струм бази при вимиканні ТК, I_{B2} більше, ніж у схемі без прискорюючого конденсатора. Оскільки ступінь насичення транзистора мала, а відмикаючий струм бази великий, то час вимикання ТК зменшується.

Ємність конденсатора C_{Π} не може бути довільною, тому що при малому значенні ємності спалахи базового струму мають невелику тривалість, а при занадто великому значенні C_{Π} тривалість перехідних процесів може збільшитися.

5.8 Ненасичені ключі

Перехідний процес, який пов'язано з розсмоктуванням надлишкового заряду в базі, робить важчим застосування розглянутих ключів у швидкодіючих імпульсних схемах. Для підвищення швидкодії ТК відкритий транзистор не вводять у стан насичення. Такі ключі називають ненасиченими.

У них транзистор працює на границі активної області, а для запобігання його насичення вводять нелінійний від'ємний зворотний зв'язок (ВЗЗ), наприклад так, як показано на рисунку 5.9.

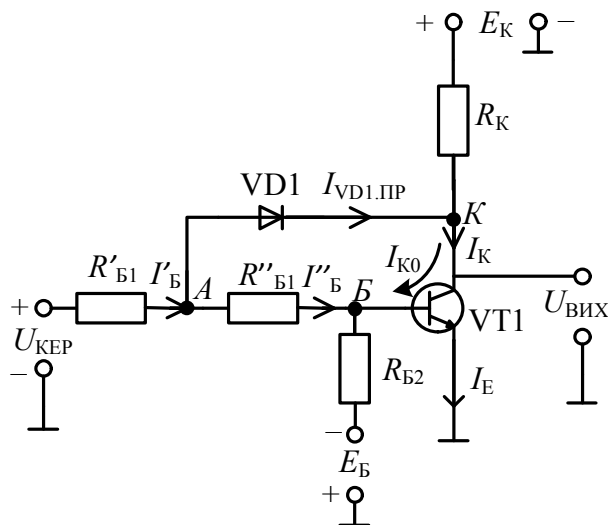


Рисунок 5.9 – Ненасичений ТК із нелінійним ВЗЗ

Основне призначення введення ВЗЗ, роль якого виконує напівпровідниковий діод $VD1$, складається у фіксуванні потенціалу колектора щодо потенціалу бази. Іншими словами, необхідно забезпечити, щоб цей потенціал завжди був більш додатним відносно бази ($U_{КБ} > 0$), тобто робоча точка транзистора знаходиться поблизу області насичення,

але колекторний перехід не відкривається. У відсутності додатних керуючих імпульсів транзистор VT1 і діод VD1 закриті і ВЗЗ відсутній.

При надходженні додатного керуючого імпульсу транзистор відкривається, колекторний струм I_K збільшується, а потенціал колектора $U_K = E_K - I_K R_K$ зменшується. Коли потенціал точки А стане більше потенціалу колектора на величину $U_{VD1.пр}$, VD1 відкриється і починає діяти ВЗЗ, що змінює розподіл струмів в ключі. Струм бази I''_B транзистора обмежується на рівні, близькому до струму насичення $I_{B.H}$, хоча вхідний струм I'_B збільшується. Струм колектора і напруга U_{KE} також обмежуються, тому що струм, що протікає через резистор R_K , не може змінюватися (потенціали E_K і U_K його виводів постійні). Додатковий вхідний струм проходить через відкритий діод і замикається на "землю" через відкритий транзистор і ланцюги навантаження, що приєднуються до колектора. У схемі треба виконувати умову:

$$U_{R''_{B1}} = I''_B \cdot R''_{B1} > U_{VD.пр}, \quad (5.15)$$

тоді потенціал колектора завжди більш додатний, ніж потенціал бази, що відповідає вимогам, які поставлено до даної схеми.

Недоліком схеми є те, що в самому діоді при його прямому увімкненні має місце ефект накопичення надлишкових неосновних носіїв у базі (явище інжекції). Це негативно впливає на роботу ключа при його запиранні. Істотного підвищення швидкодії від даної схеми можна домогтися тільки при використанні діодів з малим часом відновлення при запиранні, тобто застосовуючи діоди Шоттки (рисунок 5.10). Вони мають малий час переключення (не більш 0.1 нс), низьку напругу відмикання (близько 0.25 В) і малий опір у відкритому стані.

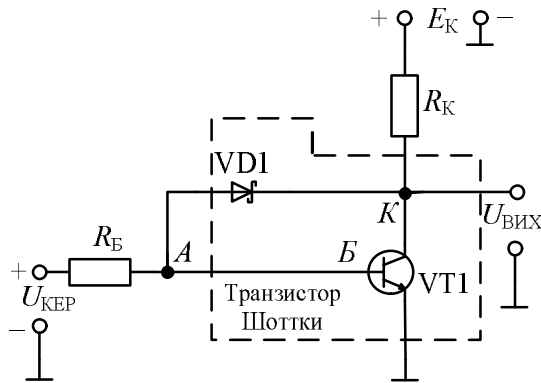


Рисунок 5.10 – Схема ТК із діодом Шоттки

У процесі увімкнення транзистора VT1 діод Шоттки (VD1) відкривається. Хоча в даній схемі напруга $U_{КБ} < 0$, але вона менше того значення, при якому колекторно-базовий перехід транзистора зміщується в прямому напрямі. Іншими словами, діод Шоттки відкривається раніш, ніж колекторно-базовий перехід, і не допускає насичення транзистора.

В інтегральних мікросхемах структура транзистор-діод Шоттки заміняється одним елементом – транзистором Шоттки (рисунок 5.10).

5.9 Приклад розрахунку транзисторного ключа

Як приклад зробимо орієнтований розрахунок ТК із прискорюючим конденсатором.

Дано: амплітуда вихідного імпульсу $U_{ВІХ.m} = 4B$;

амплітуда вхідного імпульсу $U_{ВХ.m} = 2B$;

тривалість фронту вихідного імпульсу $t_{\phi} \leq 50нс$;

діапазон температур навколишнього середовища $15^{\circ} \dots 35^{\circ} C$.

Вибираємо схему ключа з конденсатором, що прискорює, тому що необхідна тривалість фронту вихідного імпульсу порівняно мала.

Напруга джерела живлення

$$E_K = (1,1 \dots 1,3)U_{ВІХ.m} = 1,25 \cdot 4 = 5B.$$

Обираємо транзистор з умов [7, 34]:

$$f_{\alpha} \geq \frac{1}{2\pi t_{\phi}} = \frac{1}{6,28 \cdot 50 \cdot 10^{-9}} = 3,2 \text{ МГц};$$

$$U_{K.доп} \geq E_K = 5 \text{ В}.$$

Цим даним задовольняє транзистор КТ315Е з параметрами [34]:

$$\beta = 50 \dots 350; U_{K.доп} = 30 \text{ В}; f_{\alpha} = 100 \text{ МГц};$$

$$I_{K0.max} = 5 \text{ мкА}; I_{K.доп} = 100 \text{ мА}.$$

Опір резистора в колекторному ланцюзі визначаємо з виразу

$$R_K = \frac{E_K}{I_{K.H}}. \quad (5.16)$$

Обираємо значення струму колектора насичення транзистора $I_{K.H}$ по можливості в області досить великих струмів з урахуванням обов'язкового виконання нерівності $I_{K.H} < I_{K.доп}$. При великому $I_{K.H}$ поліпшується температурна стабільність і підвищується швидкодія ключа.

$$\text{Прийmemo } I_{K.H} = 50 \text{ мА}.$$

$$\text{Опір } R_K = \frac{5}{50 \cdot 10^{-3}} = 100 \text{ Ом}.$$

$$\text{Прийmemo } R_K = 100 \text{ Ом}.$$

Для розрахунку резистора R_{B2} скористаємося еквівалентною схемою заміщення ТК у режимі відсічення (рисунок 5.11, а).

Напруга U_{BE} створюється двома джерелами: джерелом базової напруги зсуву E_B і джерелом струму I_{K0} .

Скористаємося методом суперпозиції і знайдемо

$$U_{BE} = I_{K0} \frac{R_{B1} R_{B2}}{R_{B1} + R_{B2}} - E_B \frac{R_{B1}}{R_{B1} + R_{B2}} = \frac{R_{B1} R_{B2}}{R_{B1} + R_{B2}} \left(I_{K0} - \frac{E_B}{R_{B2}} \right). \quad (5.17)$$

Для закритого стану ключа напруга $U_{BE} \leq 0$. Тоді вираз (5.17) запишемо у вигляді

$$\left(I_{K0} - \frac{E_B}{R_{B2}} \right) \leq 0. \quad (5.18)$$

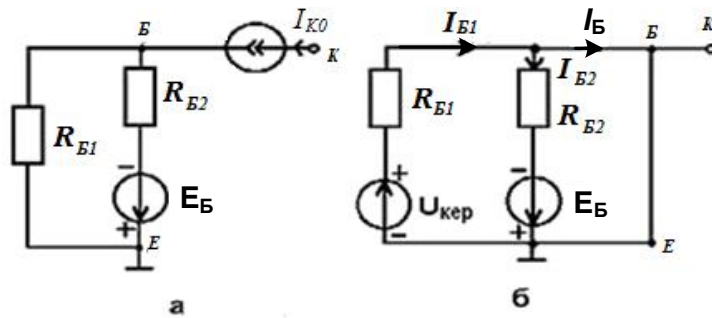


Рисунок 5.11 – Еквівалентні схеми заміщення ТК:

а – режим відсічення; б – режим насичення

Звідкіль одержимо вираз для визначення значення R_{B2} :

$$R_{B2} \leq \frac{E_B}{I_{K0, \max}}, \quad (5.19)$$

де $I_{K0, \max} \leq 0$ – значення зворотного струму насичення транзистора при максимальній температурі.

Знаходимо напругу зсуву: $E_B \approx 0,2E_K = 0,2 \cdot 5 = 1B$.

$$\text{Визначимо } R_{B2} \leq \frac{E_B}{I_{K0, \max}} = \frac{1}{5 \cdot 10^{-6}} = 200k\Omega.$$

Прийmemo $R_{B2} = 100k\Omega$.

Для розрахунку резистора $R_{B1} = R'_{B1} + R''_{B1}$ скористаємося еквівалентною схемою заміщення ТК у режимі насичення (рисунок 5.11, б). Струм бази створюють джерела напруги U_{KEP} і E_B . Скористаємося методом суперпозиції і знайдемо

$$I_B = I_{B1} + I_{B2} = \frac{U_{KEP}}{R_{B1}} - \frac{E_B}{R_{B2}}. \quad (5.20)$$

Умова насичення транзистора (5.10) записується у вигляді

$$I_B = \frac{U_{KEP}}{R_{B1}} - \frac{E_B}{R_{B2}} \geq \frac{E_K}{R_K \cdot \beta}. \quad (5.21)$$

Звідси отримаємо вираз для визначення

$$R_{B1} \leq \frac{U_{KEP}}{\frac{E_K}{R_K \cdot \beta} + \frac{E_B}{R_{B2}}}. \quad (5.22)$$

Знаходимо $R_{B1} \leq \frac{2}{\frac{5}{100 \cdot 50} + \frac{1}{100 \cdot 10^{-3}}} \approx 1980 \text{ Ом}.$

Отримаємо $R_{B1} = 1,5 \text{ кОм}.$

Для розрахунку значень резисторів R'_{B1} і R''_{B1} використовуємо міркування, приведені вище при описі роботи ТК. Амплітуда струму бази I_{B1} , що забезпечує зменшення тривалості фронту, визначається резистором R'_{B1} , тому що R''_{B1} шунтується конденсатором. Ступінь насичення транзистора S у цьому випадку більше одиниці. Тому вираз для розрахунку R'_{B1} одержимо з (5.22), ввівши в нього значення S:

$$R'_{B1} \leq \frac{U_{KEP}}{\frac{E_K \cdot S}{R_K \cdot \beta} + \frac{E_B}{R_{B2}}}. \quad (5.23)$$

У виразі (5.23) необхідно задати значення ступеня насичення транзистора S. Для цього використаємо формулу для визначення тривалості фронту [7]:

$$t_\phi = \tau_\beta \ln\left(\frac{S}{S-1}\right), \quad (5.24)$$

де $\tau_\beta = \frac{\beta}{2\pi f_\alpha}$ – стала часу транзистора.

Для нашого прикладу $\tau_\beta = \frac{50}{2 \cdot 3,14 \cdot 100 \cdot 10^{-6}} \approx 80 \text{ нс}$.

Задаючи конкретні значення S з виразу (5.24) визначаємо значення t_ϕ і порівнюємо його з заданим. Вибираємо значення S , при якому отримане t_ϕ менше заданого й у нашому прикладі рівного 50 нс.

Наприклад, при $S=3$ $t_\phi = 80 \ln\left(\frac{3}{3-1}\right) = 80 \cdot 0,4 = 32 \text{ нс} < 50 \text{ нс}$, що

задовольняє зазначеній вимозі. Знаходимо

$$R'_{Б1} \leq \frac{2}{\frac{5 \cdot 3}{100 \cdot 50} + \frac{1}{100 \cdot 10^{-3}}} = 665 \text{ Ом}.$$

Приймаємо $R'_{Б1} = 630 \text{ Ом}$.

Визначаємо значення резистора

$$R''_{Б1} = R_{Б1} - R'_{Б1} = 1500 - 630 = 870 \text{ Ом}.$$

Ємність конденсатора, що прискорює, знаходимо з виразу [7]:

$$C_\Pi = \frac{\tau_\beta}{R''_{Б1}} = \frac{70 \cdot 10^{-9}}{870} \approx 80 \text{ пФ}.$$

5.10 Послідовні транзисторні ключі

Розглянуті вище схеми (рисунки 5.1...5.10) є паралельними ключами, тому що навантаження включається паралельно переходу колектор-емітер транзистора. На рисунку 5.12 приведено схему послідовного ключа на біполярному транзисторі.

Для нормальної роботи такого ключа необхідно, щоб виконувалася умова: $U_{BX} > 0$. При увімкненому транзисторі ($U_{KEP} > 0$) навантаження підключається до напруги U_{BX} , а при вимкненому ($U_{KEP} < 0$) – цей зв'язок обривається.

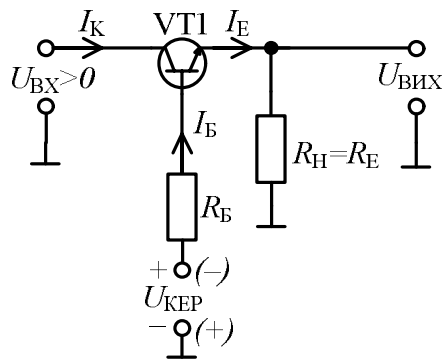


Рисунок 5.12 – Схема послідовного ключа на біполярному транзисторі

5.11 Ключі на польових транзисторах

Як активний елемент в електронних ключах широко використовуються польові транзистори. Їхніми істотними перевагами перед ТК на біполярних транзисторах є:

- високий вхідний опір і, отже, малий струм споживання у неспровідному стані;
- мала залишкова напруга на ключі в провідному стані;
- гарна електрична розв'язка між керуючим і виконавчим ланцюгом;
- мала площа, яку займає транзистор на підкладці при інтегральному виконанні і т. ін.

Найбільш часто в таких ключах використовуються польові МДН (метал-діелектрик-напівпровідник) - транзистори. Коли функцію діелектрика виконує окис (двоокис кремнію), то їх називають МОН (метал-окис-напівпровідник) транзисторами.

Найпростіший паралельний ключ на МДН-транзисторі з індукованим каналом n-типу, його стоко-затворну ВАХ, вихідні статичні ВАХ і навантажувальну пряму зображено на рисунку 5.13.

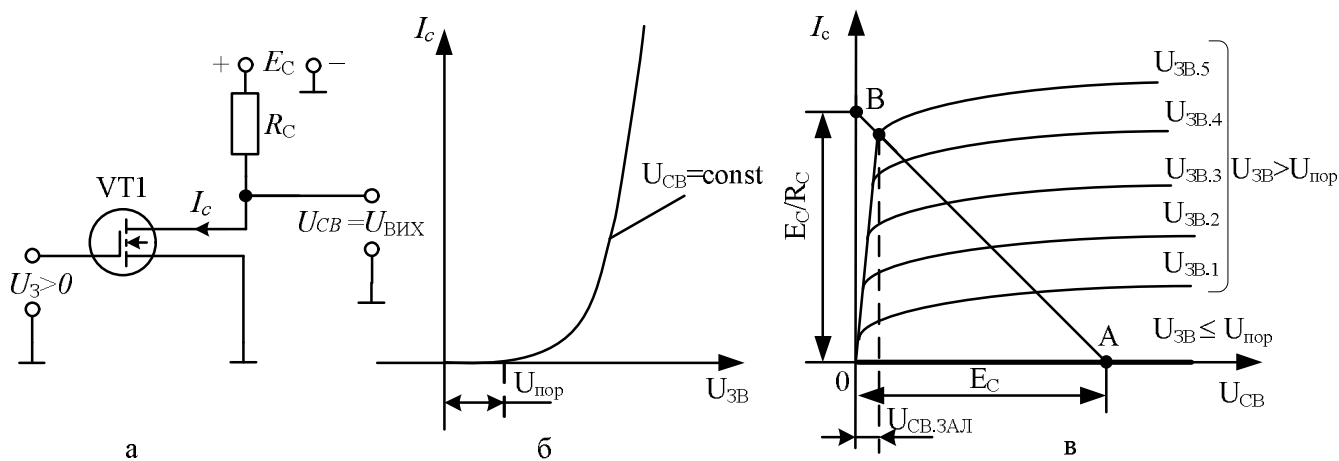


Рисунок 5.13 – ТК на МОН-транзисторі: а – схема ключа; б – стоко-затворна ВАХ; в – вихідні статичні ВАХ і навантажувальна пряма

Опір резистора R_C має значення десятки кілоом. Якщо вхідна напруга, що прикладається між затвором і витком транзистора менше порогового значення $U_{пор}$, то канал між стоком і витком відсутній і струм $I_C = I_H = 0$. Транзистор закритий і вихідна напруга $U_{ВИХ} = U_{CB} = E_C - I_C R_C = E_C$. Якщо на вхід надходить вхідний додатний імпульс амплітудою більшої, ніж $U_{пор}$, то між стоком і витком індукується канал типу n і з'являється струм I_C , що збільшується при наростанні $U_{ВХ}$. Транзистор відкривається і з виходу знімається залишкова напруга $U_{CB.3АЛ} \approx 0$.

ПИТАННЯ ДЛЯ САМОКОНТРОЛЮ

- 1) У чому полягає принцип роботи транзисторних ключів?
- 2) Назвіть стани, в яких перебувають ТК? Чим вони відрізняються?
- 3) Чим відрізняється ключовий режим роботи транзистора від підсилювального?
- 4) Запишіть умову відсічення для закритого стану ТК. Яким чином її можна забезпечити?
- 5) Запишіть умови насичення ТК. Яким чином її можна забезпечити?
- 6) Що таке ступінь насичення ТК?
- 7) Дайте характеристику значенням вхідних та вихідних струмів та напруг для закритого та відкритого станів ТК.
- 8) Поясніть часові діаграми роботи ТК.
- 9) Як можна підвищити швидкодію роботи ТК? Зобразіть оптимальну форму вхідного базового струму ТК.
- 10) Яким чином конденсатор, що прискорює, змінює форму базового струму?
- 11) Назвіть переваги ключів на польових транзисторах.
- 12) Що таке діод та транзистор Шоттки?
- 13) Які переваги та недоліки дає введення у схему ТК діода в якості ВЗЗ?
- 14) Опишіть послідовність розрахунку ТК із конденсатором, що прискорює.

ЛІТЕРАТУРА

[1, 2, 4...13, 29]

6 ІМПУЛЬСНІ ТРИГЕРИ

Тригером називається електронний пристрій, що має два стійких стани рівноваги і здатний під дією керуючих сигналів стрибком переходити з одного стійкого стану в інший. Звичайно тригер містить два виходи і декілька керуючих входів. На рисунку 6.1 приведено функціональне позначення тригера, який має два виходи і три керуючі входи.

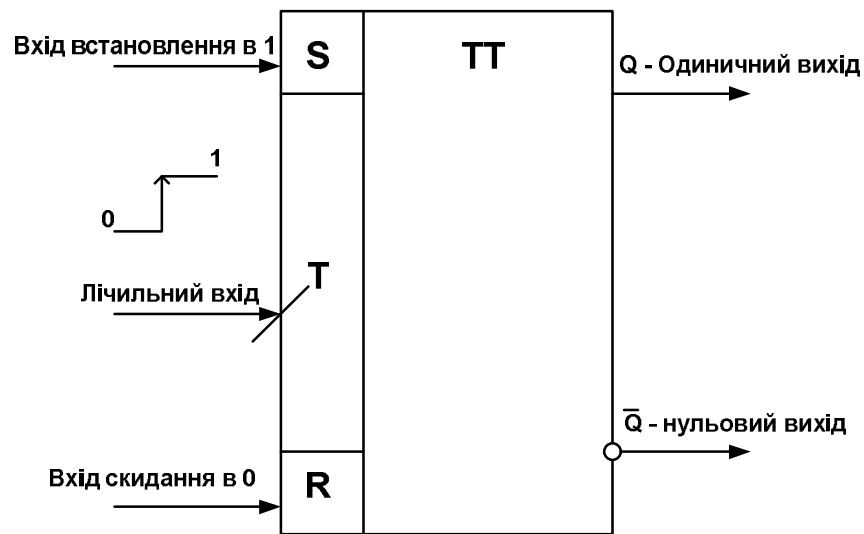


Рисунок 6.1– Умовне позначення тригера на електричних схемах

Сигнали на виході тригера, один із яких називається прямим (одиничним) і позначається Q , а інший – інверсним (нульовим) – $\bar{Q}$, змінюються в протифазі.

Стійкі стани рівноваги, в яких тригер при відсутності керуючих сигналів може знаходитися як завгодно довго, називають одиничним і нульовим. Якщо тригер знаходиться в нульовому початковому стані, то на виході $\bar{Q}$, присутній високий рівень напруги, а на виході Q – низький. Якщо ж тригер встановлено у протилежний одиничний стан, то з виходу $\bar{Q}$ знімається низький рівень сигналу, а з виходу Q – високий. Встановлення

тригера в один з початкових станів здійснюється вхідними керуючими сигналами, що надходять на вхід S (встановлення тригера в одиничний початковий стан) чи на R (скидання в нульовий). Входи S і R є статичними, тому що керуючий вплив подається на них у вигляді високого постійного рівня напруги. Тригер може мати також динамічний вхід, наприклад T (коли зміна стану тригера на протилежний (переключення) відбувається при переході вхідного сигналу з низького рівня на високий (рисунок 6.1), або навпаки – з високого на низький).

Після включення живлення тригер займає випадковий стан (нульовий чи одиничний), що необхідно враховувати в електронних схемах, де початковий стан схеми має значення. Для переведення тригера у початковий стан використовують входи S і R.

За способом переключення тригери умовно поділяються на:

- асинхронні;
- синхронні.

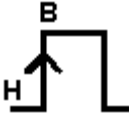
Так, наприклад, тригер з лічильним входом (рисунок 6.1) має два входи: S – set і R – reset для асинхронного встановлення /скидання тригера на початку роботи.

Синхронний RS-тригер містить додатковий синхровхід C. При надходженні на цей вхід синхросигналу тригер переключається в стан, обумовлений сигналами на входах S і R. Вплив керуючих сигналів на стан синхронного RS - тригера представлено в таблиці 6.1.

Тригери широко застосовуються: як елементи пам'яті, здатні зберігати 1 біт двійкової інформації; у подільниках частоти; лічильниках імпульсів; у формувачах прямокутних імпульсів із сигналів довільної форми і т. ін.

На рисунку 6.2 приведено часові діаграми роботи тригера з лічильним входом (рисунок 6.1), що пояснюють його використання як подільника частоти вхідних імпульсів на два.

Таблиця 6.1 – Вплив керуючих сигналів на стан синхронного RS – тригера

Сигнали на керуючих входах тригера			Стан тригера після надходження синхроімпульса Q^{t+1}
S	R	Синхровхід C	
Високий	Низький		1 (одиничне)
Низький	Високий		0 (нульове)
Низький	Низький		Q^t – стан до надходження синхроімпульса
Високий	Високий		Комбінація сигналів заборонена

Чотирьом імпульсам на керуючому динамічному вході Т (рисунок 6.1) відповідають два імпульси на одиничному або нульовому виходах тригера.

Будь-який тригер є регенеративним електронним пристроєм, в якому виконується умова виникнення стрибків: баланс амплітуд і баланс фаз, під дією якої схема дуже швидко (лавиноподібно) змінює свій стан.

Завдяки цьому на виходах тригера формуються прямокутні імпульси з крутими фронтами.

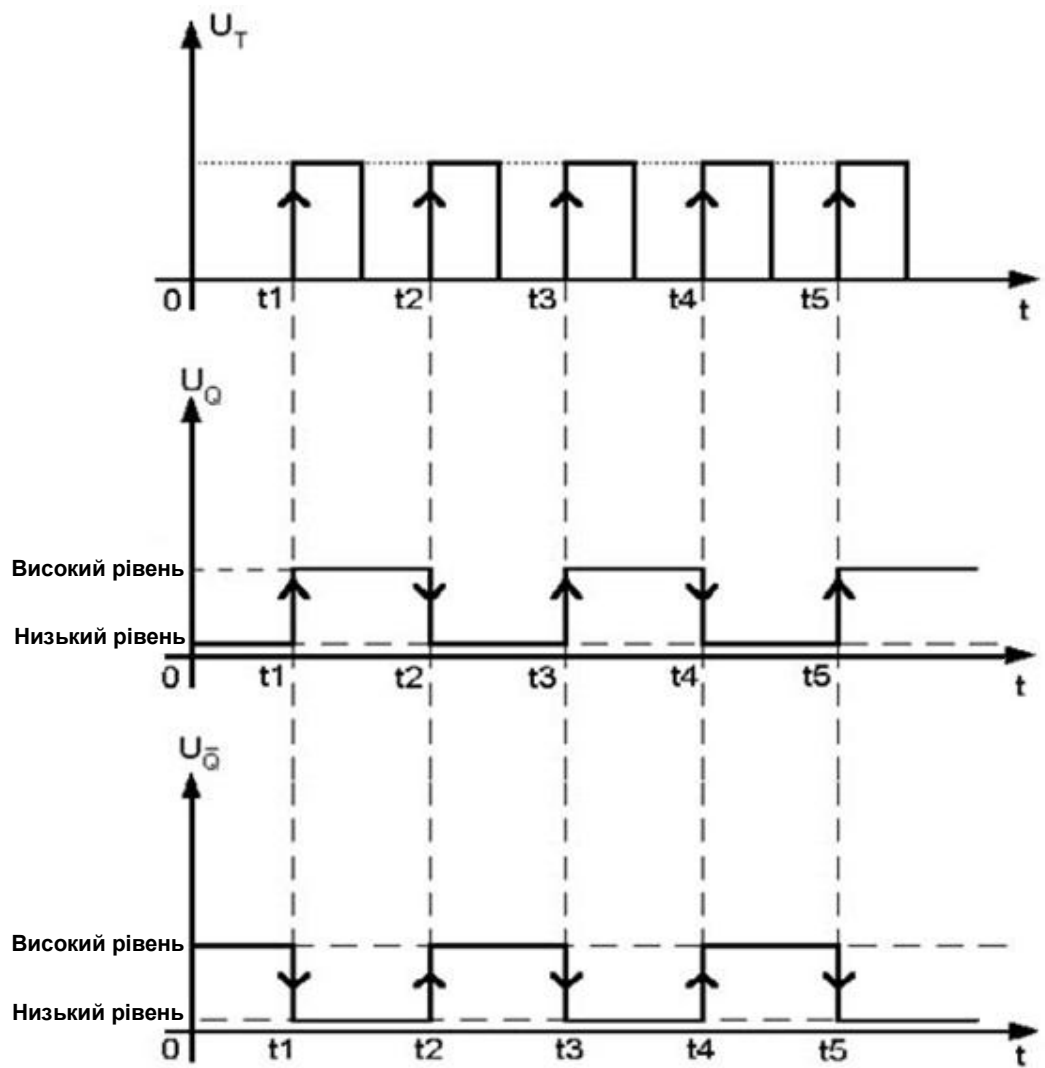


Рисунок 6.2 - Часові діаграми роботи тригера з лічильним входом

Існує кілька варіантів виконання тригерів:

- на логічних елементах;
- на інтегральних мікросхемах операційних підсилювачів (ІМС ОП);
- у вигляді спеціалізованої інтегральної мікросхеми.

Тригери на логічних елементах і в інтегральному виконанні будуть розглянуті при вивченні цифрових електронних пристроїв.

Нижче зупинимося на принципах роботи і застосуванні імпульсних тригерів на дискретних компонентах(транзисторах та ІМС ОП).

6.1 Тригери на дискретних компонентах (імпульсні тригери)

До основних схем тригерів на дискретних компонентах належать:

- симетричні тригери;
- несиметричні тригери.

6.2 Симетричні тригери

Існують два різновиди симетричних тригерів:

- із зовнішнім зміщенням;
- із автоматичним зміщенням.

Схема симетричного асинхронного тригера із зовнішнім зміщенням (рисунок 6.3) містить два транзисторних ключі, виконаних на біполярних транзисторах, включених за схемою зі СЕ (спільним емітером).

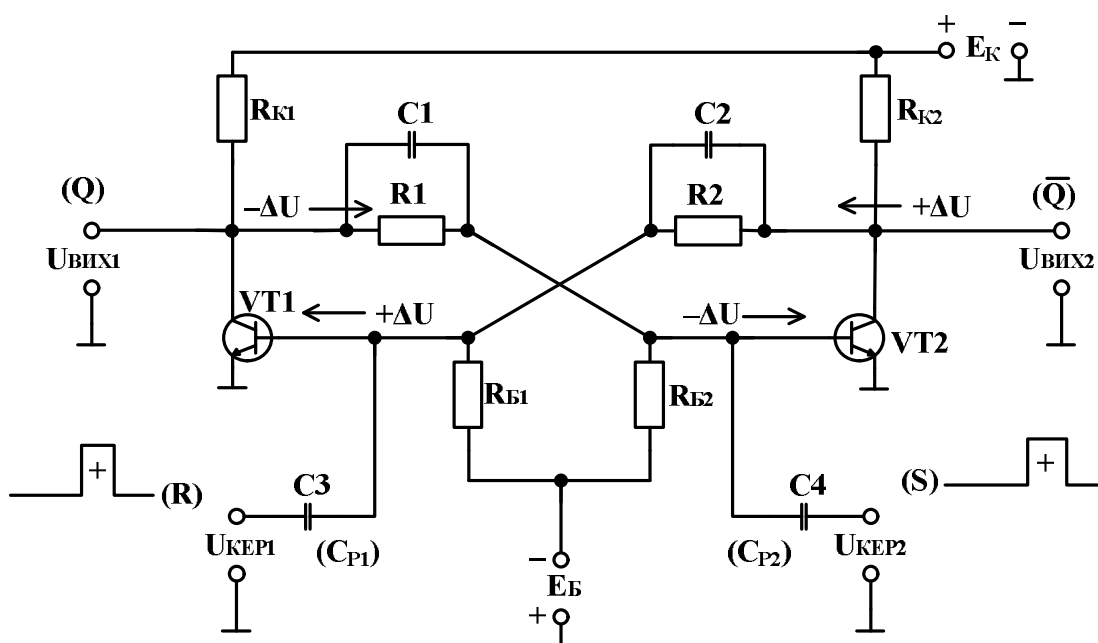


Рисунок 6.3 – Схема асинхронного симетричного тригера із зовнішнім зміщенням

Вихід кожного ключа зв'язаний із входом іншого. Призначення окремих компонентів транзисторного ключа (ТК) аналогічне схемі ключа із зовнішнім зміщенням, який було розглянуто у розділі 5: $R_{К1}$, $R_{К2}$ – навантажувальні резистори транзисторів, що визначають положення

навантажувальної прямої на вихідних статичних ВАХ і задають необхідне значення струму насичення транзисторів $I_{КН}$. Резистори $R_{Б1}$, $R_{Б2}$ забезпечують закривання одного з транзисторів від зовнішнього джерела зміщення : $-E_B$.

Резистори R1 і R2 здійснюють зв'язок між ключами і забезпечують відкривання одного з транзисторів зі ступенем насичення S, близьким до одиниці. C1, C2 – конденсатори, які прискорюють, призначені для прискорення переключення транзисторів. Ємності C3, C4 забезпечують передачу на бази транзисторів керуючих імпульсів, що здійснюють переключення тригерів. Симетричним даний тригер буде тоді, коли елементи схеми, що відносяться до кожного ключа, однакові:

$$-C1=C2=C;$$

$$-R_{К1} = R_{К2} = R_K;$$

$$-C3=C4; R1=R2=R;$$

$$-VT1 \text{ і } VT2 \text{ – одного типу.}$$

Легко встановити, що в даній схемі є додатний зворотний зв'язок (ДЗЗ), тобто виконується перша умова виникнення стрибків – баланс фаз. Коли робочі точки обох транзисторів знаходяться в активній області, у тригері виконується друга умова виникнення стрибків – баланс амплітуд, що полягає в тім, що сумарне підсилення сигналів ланцюга ДЗЗ перевищує його загасання і їхній добуток більший одиниці.

Схема має два стани стійкої рівноваги:

1-й стан (нульовий) – VT1 – насичений (відкритий); VT2 – закритий;

2-й стан (одиничний) – VT1 – закритий, VT2 – відкритий (насичений).

Один з таких станів випадково встановлюється після вмикання живлення схеми, через наявність невеликої асиметрії, що практично є

навіть при однакових компонентах ключів. Припустимо, що схема зайняла 1-й стан – VT1 відкритий, VT2 закритий. Відповідно до позначень, приведених на рисунку 6.3, даний стан тригера є нульовим. А протилежний йому, 2-й стан – одиничним.

На колекторі правого закритого транзистора присутня напруга $U_{\text{вих2}} \approx E_{\text{к}}$, а на колекторі лівого відкритого: $U_{\text{вих1}} = U_{\text{к.н}} \approx 0$. Напруга $U_{\text{вих2}}$ через резистор R2 прикладається до бази VT1, забезпечуючи його насичення. А оскільки $U_{\text{вих1}} \approx 0$, то правий транзистор надійно закритий від джерела зміщення ($-E_{\text{б}}$). Такий стан при відсутності керуючих вхідних сигналів є стійким і при наявності живлення схеми може тривати як завгодно довго.

Для переключення тригера в протилежний одиничний стан необхідно подати на вхід встановлення в одиницю: S (на базу правого транзистора) додатний керуючий імпульс. Правий транзистор відкривається, на його колекторі з'являється від'ємне збільшення напруги, що через конденсатор C2, який зашунтовує резистор R2, передається на базу лівого транзистора. Під дією цього сигналу лівий транзистор починає закриватися, на його виході з'являється додатне збільшення напруги, що через C1 надходить на базу VT2.

Описане явище говорить про наявність ДЗЗ. Це приводить до того, що робочі точки обох транзисторів опиняються в активній області. У схемі починає виконуватися умова виникнення стрибків і тригер швидко змінює свій стан (переключається). Схема переходить у другий стан рівноваги – одиничний: VT1 – закритий; VT2 – відкритий. Для повернення тригера в нульовий стан необхідно подати додатний керуючий імпульс на вхід скидання в нуль: R (базу лівого транзистора). При цьому в схемі знову виникає регенеративний процес, який описано вище.

Таким чином, переключення схеми відбувається після надходження на її входи відповідних керуючих сигналів. В інший час схема знаходиться в стані стійкої рівноваги.

При використанні тригерів в електронних пристроях, що переключаються, важливим параметром є їхня швидкодія, обумовлена максимальним числом переключень, що може здійснюватися за визначений проміжок часу. Звичайно швидкодія вимірюється в герцах чи мегагерцах. Швидкодія тригера впливає на мінімально можливий інтервал між двома керуючими імпульсами. Цей інтервал залежить від часу переходу тригера з одного стану в інший. Процес переключення тригера умовно розділяють на три етапи:

- 1) підготовки;
- 2) лавиноподібного переключення;
- 3) відновлення.

На етапі підготовки робоча точка відкритого транзистора переміщається з області насичення в активну область, а робоча точка закритого транзистора – з області відсічення в активну. Після цього в процесі лавиноподібного переключення схема швидко змінює свій стан. Час відновлення є найбільш тривалою частиною переходу тригера з одного стану в інший. Він в першу чергу визначається часом зарядження конденсатора, який прискорює, через колекторний резистор закритого транзистора. Для зменшення часу відновлення потрібно зменшувати значення колекторних резисторів транзисторів та конденсаторів, які прискорюють. Крім того, на етапі відновлення потрібен час для розряду конденсатора, який приєднано до колектора відкритого транзистора. Наявність стадії відновлення приводить до того, що період надходження керуючих сигналів повинний бути таким, щоб до приходу чергового керуючого імпульсу напруги на конденсаторах вже установилися. Зарядження і розрядження конденсаторів, які прискорюють, приводять до

затягування переднього фронту вихідних імпульсів і до спотворення заднього.

Швидкодія транзисторних тригерів підвищується, якщо в них застосовуються ненасичені транзисторні ключі, в яких використовується нелінійний від'ємний зворотний зв'язок, реалізований, наприклад, за допомогою напівпровідникових діодів (див. розділ 5). У таких ключах виключається насичення відкритого транзистора і накопичення надлишкового заряду в базі, а, отже, зменшується час розсмоктування при вимиканні ключа.

6.3 Способи запуску симетричних тригерів

Існують два види запуску (переключення) тригерів: роздільний і рахунковий.

У першому випадку, переключення тригера здійснюється керуючими імпульсами однієї полярності, які подаються по черзі на базу кожного з транзисторів, чи імпульсами полярності, що змінюється, які діють на базі одного з транзисторів.

В другому випадку, імпульси однієї полярності, які переключають, через ланцюг запуску подаються одночасно на бази (чи колектори) обох транзисторів (рисунок 6.4). Імпульси, які переключають, повинні бути короткими з великою крутістю переднього фронту. Як елементи ланцюгів запуску використовуються роздільні конденсатори, діоди і, якщо тривалість керуючих імпульсів велика, диференціюючі ланцюги.

Розглянемо основні особливості рахункового переключення тригерів (рисунок 6.4).

Припустимо, у вихідному стані VT1 – відкритий, а VT2 – закритий. Конденсатор $C_{3.1}$ розряджений, а $C_{3.2}$ – заряджений до напруги, близької до $+E_K$. Перший від'ємний імпульс $U_{зап}$ через розряджений конденсатор $C_{3.1}$ і відкритий діод VD1 (VD2 – закритий, тому що $C_{3.2}$ – заряджений і

не пропускає від'ємний імпульс) надходить на базу відкритого транзистора VT1. Через виконання в схемі умови виникнення стрибків (баланс фаз і баланс амплітуд) тригер швидко (лавиноподібно) переключається в протилежний стан: VT1 – закритий, VT2 – відкритий. Конденсатор $C_{3,2}$ не встигає швидко розрядитися, поки діє перший керуючий імпульс, тому повторне переключення схеми не відбувається. До приходу наступного керуючого імпульсу конденсатор $C_{3,2}$ розряджається, а $C_{3,1}$ - заряджається. Наступний імпульс знову переключить тригер у протилежний стан і т.д.

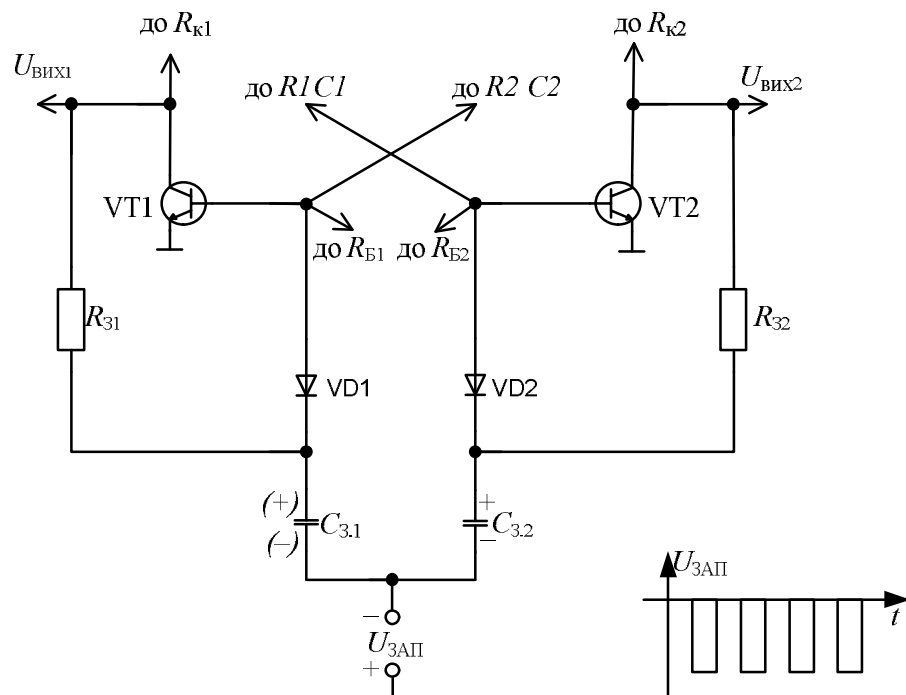


Рисунок 6.4 – Приклад рахункового запуску (переключення) тригера

6.4 Несиметричні тригери (тригери Шмітта)

Тригери Шмітта (ТШ) мають початкову схемну асиметрію і широко застосовуються як:

–порогові пристрої, в яких напруга спрацьовування $U_{\text{СПР}}$ більша за напругу відпускання $U_{\text{ВІДП}}$;

–формувачі прямокутних імпульсів із вхідних сигналів довільної форми.

Існує кілька варіантів виконання несиметричних тригерів:

–на дискретних компонентах;

–на інтегральних мікросхемах операційних підсилювачів

(ІМС ОП);

– у вигляді спеціалізованої інтегральної мікросхеми.

6.5 Тригери Шмітта на інтегральних мікросхемах операційних підсилювачів

Умовно ТШ на ІМС ОП можна розділити на дві групи:

– ТШ, що не мають пам'яті;

– ТШ, що мають пам'ять.

6.5.1 Тригери Шмітта, що не мають пам'яті, на інтегральних мікросхемах операційних підсилювачів

Основним елементом тригера є мікросхема операційного підсилювача (ІМС ОП), що охоплений додатним зворотним зв'язком (ДЗЗ) (рисунок 6.5, а).

На рисунку 6.5 зображено – ТШ, що не має пам'яті, на ІМС ОП:

а – схема ТШ;

б – передатна характеристика ТШ, якщо ІМС ОП – ідеальна;

в – передатна характеристика реальної ІМС ОП;

г – передатна характеристика ідеальної ІМС ОП;

д – передатна характеристика ТШ, якщо ІМС ОП – реальна.

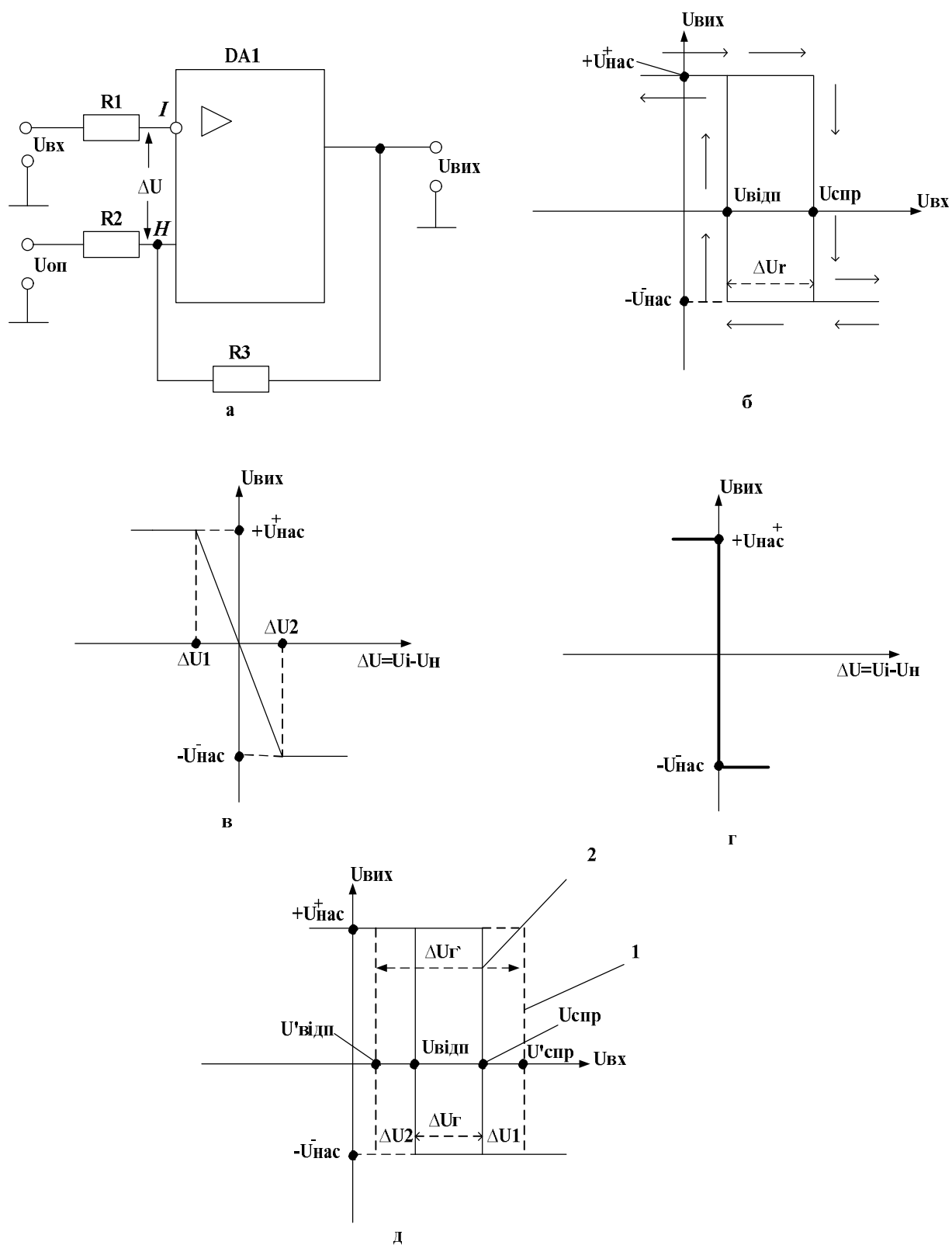


Рисунок 6.5 – ТШ, що не має пам'яті, на ІМС ОП

Розглянемо роботу тригера за умови, що ІМС ОП – ідеальна. У цьому випадку $\Delta U_1 = \Delta U_2 \approx 0$ і передатна характеристика ІМС ОП має вигляд, який наведено на рисунку 6.5, г.

У вихідному стані схеми, коли $U_{ВХ} = 0$, $U_{ВІХ} = +U_{НАС}$. Напруга на вході ІМС ОП, що не інвертує, визначається двома напругами: $U_{ОП}$ та $U_{ВІХ}$. Використовуючи принцип суперпозиції одержимо:

$$U_{Н1} = \frac{U_{ОП} \cdot R3}{R2 + R3} + \frac{U_{НАС} \cdot R2}{R2 + R3} = U_{СПР}. \quad (6.1)$$

Коли на вхід тригера подається вхідний сигнал $U_{ВХ}$ і його значення менше за $U_{СПР}$, стан ТШ не змінюється.

Якщо $U_{ВХ} \geq U_{СПР}$ схема швидко (лавиноподібно) переключається в другий стан, а напруга $U_{ВІХ} = -U_{НАС}^-$.

Напруга на вході, що не інвертує, при цьому дорівнює:

$$U_{Н2} = \frac{U_{ОП} \cdot R3}{R2 + R3} - \frac{U_{НАС} \cdot R2}{R2 + R3} = U_{ВІДП}. \quad (6.2)$$

Поки вхідний сигнал більший за напругу відпускання ($U_{ВХ} > U_{ВІДП}$), стан ТШ не змінюється.

Якщо $U_{ВХ} \leq U_{ВІДП}$, то тригер швидко переключається у вихідний стан.

$U_{СПР} \neq U_{ВІДП}$ ($U_{СПР} > U_{ВІДП}$) і в схемі є гістерезис. Напруга гістерезису

$$\Delta U_{Г} = U_{СПР} - U_{ВІДП} = 2 \cdot \frac{U_{НАС} \cdot R2}{R2 + R3}, \quad (6.3)$$

$$\text{якщо } +U_{НАС}^+ = |-U_{НАС}^-| = U_{НАС}.$$

Розглянемо роботу тригера за умови, що ІМС ОП – реальна. У цьому випадку $\Delta U_1 \neq 0; \Delta U_2 \neq 0$ і передатна характеристика ІМС ОП має вигляд, який наведено на рисунку 6.5, в.

Вирази для визначення ΔU_1 і ΔU_2 мають вид:

$$|\Delta U_1| = \frac{U_{НАС}}{K_{U.ІМС ОП}}, \quad (6.4)$$

$$\Delta U_2 = \frac{|-U_{НАС}|}{K_{U.ІМС ОП}}. \quad (6.5)$$

Останнє відбивається на формі передатної характеристики ТШ, яку наведено на рисунку 6.5, д. Пунктиром на цьому рисунку наведено передатну характеристику тригера, якщо ІМС ОП – ідеальна. Як видно з рисунка, при збільшенні вхідної напруги тригер спрацьовує раніш і

$$U_{СПР} = U'_{СПР} - |\Delta U_1|, \quad (6.6)$$

де $U'_{СПР}$ – напруга спрацьовування в ТШ з ідеальною ІМС ОП.

При зменшенні $U_{ВХ}$ тригер відпускає також раніш і

$$U_{ВІДП} = U'_{ВІДП} + \Delta U_2, \quad (6.7)$$

де $U'_{ВІДП}$ – напруга відпускання в ТШ з ідеальною ІМС ОП.

Величина гістерезису зменшується і дорівнює

$$\Delta U_{\Gamma} = \Delta U'_{\Gamma} - 2 \cdot \frac{U_{НАС}}{K_{U.ІМС ОП}}, \quad (6.8)$$

де $\Delta U'_{\Gamma}$ – величина гістерезису у ТШ з ідеальною ІМС ОП;

$$+ U_{НАС}^+ = |-U_{НАС}^-| = U_{НАС}.$$

Розглянутий тригер при знятті вхідного сигналу повертається у вихідний стан, тобто не має пам'яті.

Головним чином такий ТШ застосовується як пороговий пристрій, але може використовуватися також як формувач імпульсів із сигналу довільної форми, наприклад, трикутної (рисунок 6.6).

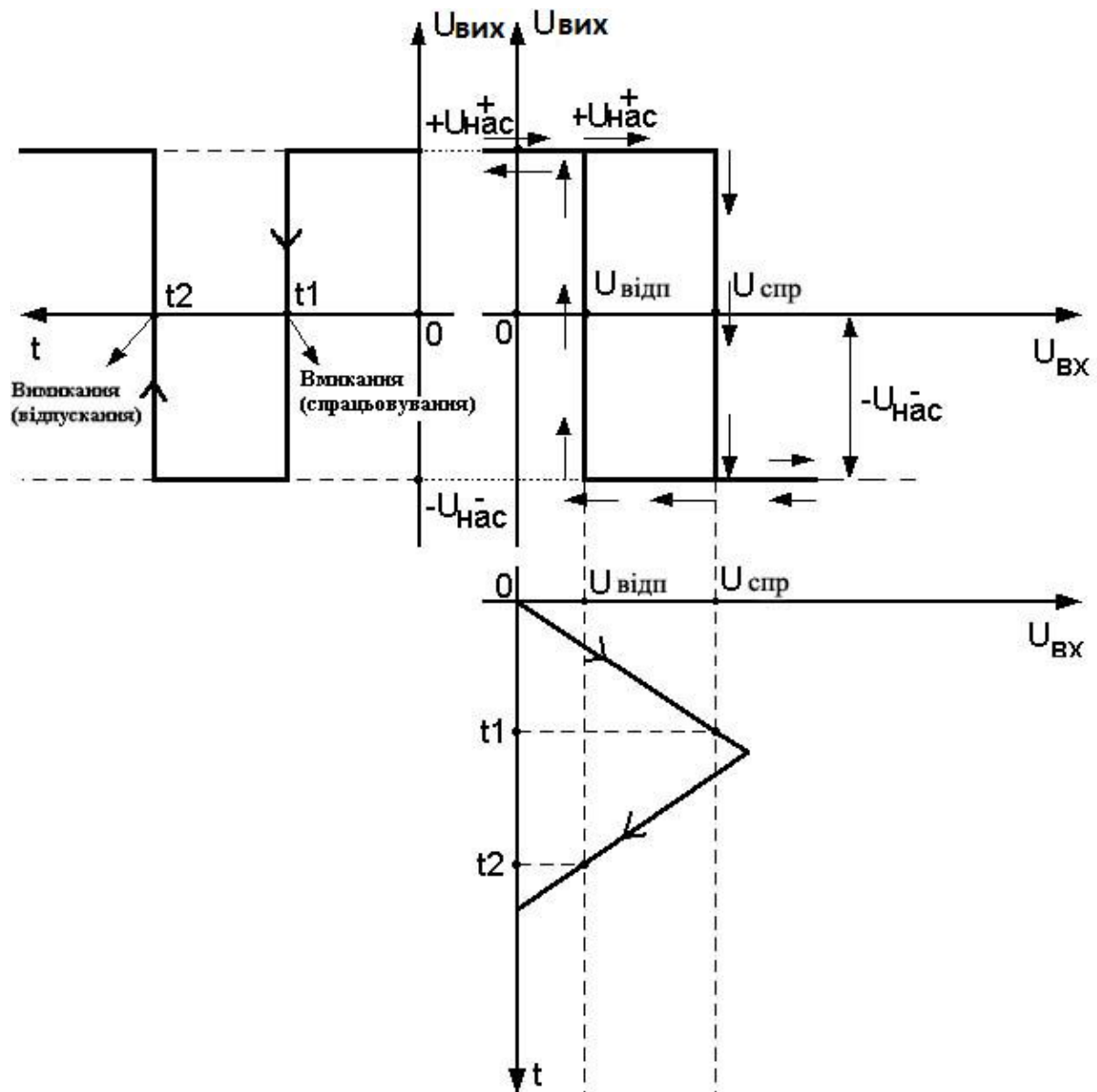


Рисунок 6.6 - Приклад використання ТШ на ІМС ОП, що не має пам'яті, в якості формувача прямокутного імпульсу з сигналу трикутної форми

6.5.2 Тригери Шмітта, що мають пам'ять, на інтегральних мікросхемах операційних підсилювачів

На рисунку 6.7 представлено ТШ, що має пам'ять, на ІМС ОП та його передатні характеристики.

Відмінність даного ТШ від попереднього, розглянутого вище, полягає в тому, що $U_{оп} = 0$ (рисунок 6.7, а). Це змінює характеристики і роботу тригера (рисунок 6.7, б, в).

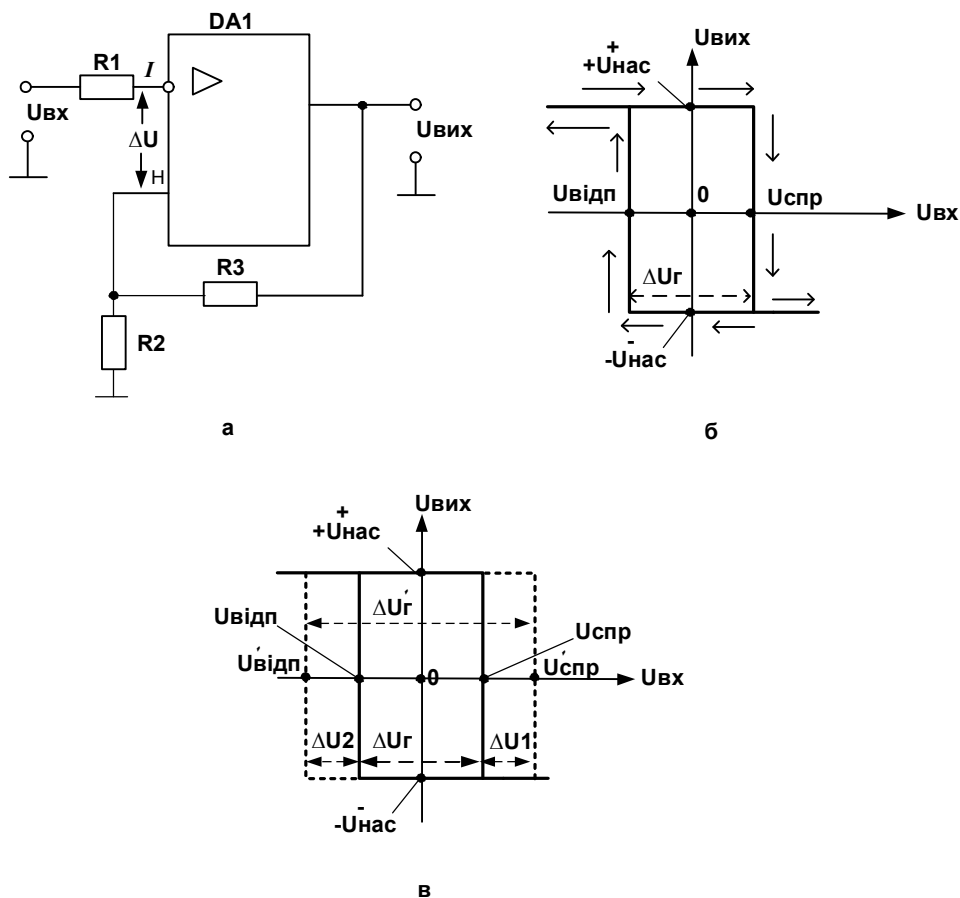


Рисунок 6.7 – ТШ, що має пам'ять, на ІМС ОП: а – схема;

б – передатна характеристика ТШ, якщо ІМС ОП – ідеальна;

в – передатна характеристика ТШ, якщо ІМС ОП – реальна

Основні розрахункові співвідношення для цього випадку можуть бути отримані з виразів 6.1...6.8 шляхом підстановки в них $U_{оп} = 0$:

$$U'_{\text{СПР}} = + \frac{U_{\text{НАС}} \cdot R2}{R2 + R3}; \quad (6.9)$$

$$U'_{\text{ВІДП}} = - \frac{U_{\text{НАС}} \cdot R2}{R2 + R3}; \quad (6.10)$$

$$\Delta U'_\Gamma = U'_{\text{СПР}} - U'_{\text{ВІДП}} = 2 \cdot \frac{U_{\text{НАС}} \cdot R2}{R2 + R3}; \quad (6.11)$$

$$U_{\text{СПР}} = \frac{U_{\text{НАС}} \cdot R2}{R2 + R3} - \frac{U_{\text{НАС}}}{K_{U.\text{МСОП}}}; \quad (6.12)$$

$$U_{\text{ВІДП}} = - \frac{U_{\text{НАС}} \cdot R2}{R2 + R3} + \frac{|-U_{\text{НАС}}|}{K_{U.\text{МСОП}}}; \quad (6.13)$$

$$\Delta U_\Gamma = \Delta U'_\Gamma - 2 \cdot \frac{U_{\text{НАС}}}{K_{U.\text{МСОП}}}, \quad (6.14)$$

$$\text{де } (+U_{\text{НАС}}^+ = |-U_{\text{НАС}}^-| = U_{\text{НАС}}).$$

При відсутності вхідного сигналу ($U_{\text{ВХ}} = 0$) тригер займає довільний вихідний стан: $U_{\text{ВИХ}} = +U_{\text{НАС}}^+$ чи $U_{\text{ВИХ}} = -U_{\text{НАС}}^-$, що визначається початковою асиметрією схеми.

Щоб ввімкнути вимкнений тригер ($U_{\text{ВИХ}} = +U_{\text{НАС}}$) необхідно подати вхідний сигнал $U_{\text{ВХ}} \geq U_{\text{СПР}}$.

При цьому схема швидко змінює свій стан і $U_{\text{ВИХ}} = -U_{\text{НАС}}^-$.

Щоб вимкнути ввімкнений тригер необхідно подати вхідний сигнал $|-U_{\text{ВХ}}| \geq |-U_{\text{ВІДП}}|$.

Особливістю даного тригера є те, що після зняття керуючого сигналу ($U_{\text{ВХ}} = 0$) схема залишається у ввімкненому чи вимкненому стані, тобто має пам'ять.

Тригер може вмикатися додатним імпульсом, а вимикатися – від’ємним.

На рисунку 6.8 показано застосування цього тригера як формувача різнополярних прямокутних імпульсів із вхідного синусоїдального сигналу.

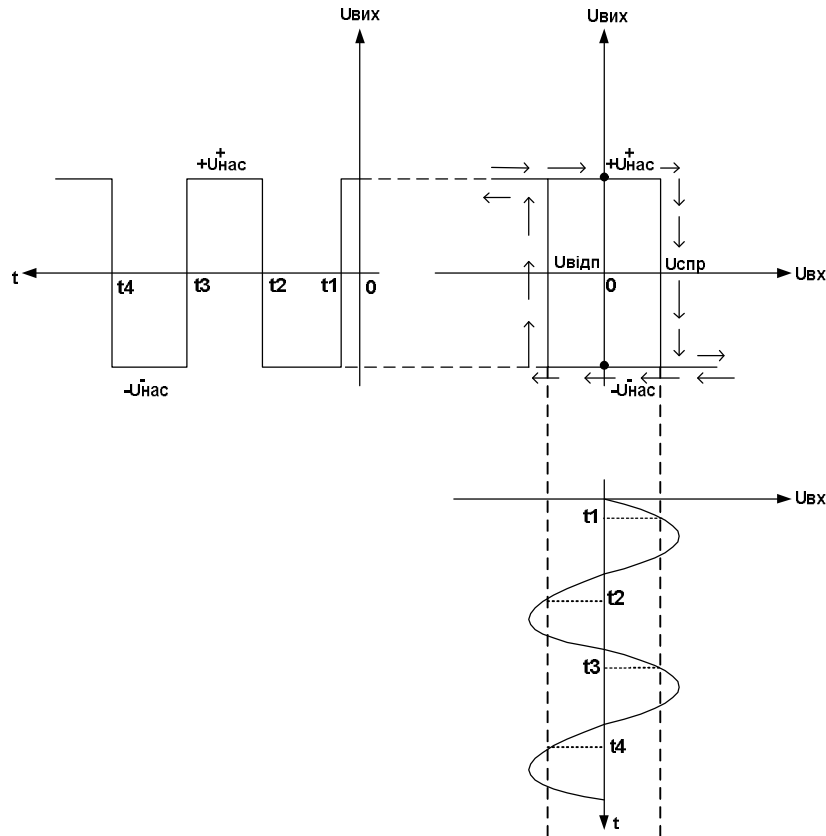


Рисунок 6.8 – Приклад використання ТШ на ІМС ОП, що має пам'ять, у якості формувача різнополярних прямокутних імпульсів з вхідного синусоїдального сигналу

ПИТАННЯ ДЛЯ САМОКОНТРОЛЮ

- 1) Який прилад називається тригером? У яких станах може знаходитись тригер? Назвіть способи переключення тригера.
- 2) Поясніть процес переключення асинхронного симетричного тригера на схемі, яку приведено на рисунку 8.3.
- 3) На які три етапи умовно розділяють процес переключення тригера?
- 4) Опишіть два види запуску (переключення) симетричних тригерів.
- 5) У який стан встановиться тригер при підключенні до нього напруги живлення?
- 6) Як змінюється частота імпульсів на виході тригера із рахунковим входом?
- 7) Чим відрізняються синхронний та асинхронний RS – тригери?
- 8) Назвіть та поясніть умову швидкого переключення тригера під дією керуючих вхідних сигналів.
- 9) Який тригер називається тригером Шмітта? Назвіть дві групи, на які умовно поділяють тригери Шмітта на ІМС ОП.
- 10) Зобразіть та поясніть принципову електричну схему тригера Шмітта на інтегральній мікросхемі операційного підсилювача, а також реальні та ідеальні характеристики операційного підсилювача та самого тригера.

ЛІТЕРАТУРА

[1, 2, 4...13, 29]

7 АНАЛОГОВІ КОМПАРАТОРИ

Компаратором називається електронний пристрій, призначений для порівняння двох сигналів (напруг). У залежності від форми представлення порівнюваних сигналів компаратори поділяються на:

- аналогові компаратори (АК);
- цифрові компаратори (ЦК).

Нижче описуються АК, які призначено для порівняння двох аналогових напруг, одна з яких виконує функцію еталонної $U_{\text{ЕТ}}$, а інша, $U_{\text{Х}}$ порівнюється з еталонною.

Звичайно АК включає власне аналоговий компаратор (ВАК) і схему формування рівнів (СФР) (рисунок 7.1).

ВАК виконує порівняння двох напруг: $U_{\text{ЕТ}}$ і $U_{\text{Х}}$ і формує на виході дискретний сигнал, що приймає одне з двох значень: $+U_{\text{НАС}}$; $-U_{\text{НАС}}$.

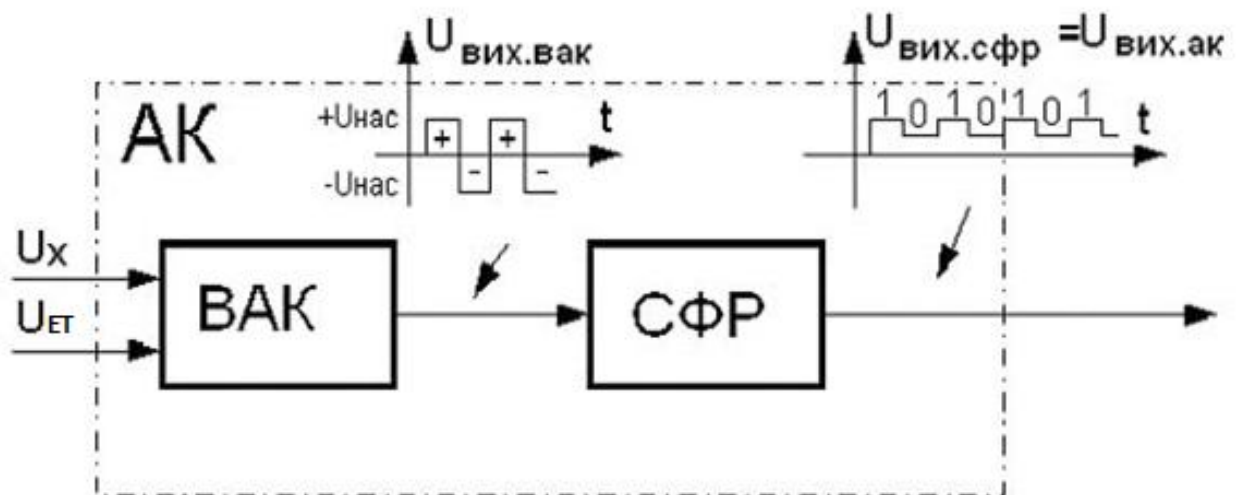


Рисунок 7.1 – Структура аналогового компаратора

СФР перетворює значення: $+U_{\text{НАС}}$; $-U_{\text{НАС}}$ у рівні цифрових сигналів ТТЛШ/КМОН – схем (ТТЛШ – транзисторно-транзисторна логіка з діодами Шоттки, КМОН – комплементарний метал-оксид-напівпровідник).

Звичайно значення $+U_{\text{НАС}}$ перетворюється в рівень логічної одиниці (1), а значення $(-U_{\text{НАС}})$ – у рівень логічного нуля (0).

Найбільш широко застосовуються два варіанти схемного виконання АК:

- на інтегральній мікросхемі операційного підсилювача (ІМС ОП);
- на спеціалізованій мікросхемі аналогового компаратора.

7.1 Аналогові компаратори на інтегральній мікросхемі операційного підсилювача

Найпростіший АК може бути виконано на ІМС ОП без зворотних зв'язків. Вигляд його схеми визначається полярністю порівнюваних напруг.

7.2 Аналогові компаратори для порівняння однополярних напруг на інтегральній мікросхемі операційного підсилювача

Схему АК, що виконує порівняння двох додатних напруг, наведено на рисунку 7.2, а. Одна напруга є еталонною ($U_{\text{ЕТ}} = \text{const}$), а друга ($U_{\text{Х}}$) – повільно змінюється за законом, який представлено на рисунку 7.2, в.

До моменту часу $t = t_1$ напруга $U_{\text{Х}} < U_{\text{ЕТ}}$. Потенціал неінвертуючого входу ІМС ОП більш додатний, ніж потенціал інвертуючого входу.

У цьому випадку різниця напруг між входами I та H

$$|-\Delta U'| = |(U_I - U_H)| > |-\Delta U_1|. \quad (7.1)$$

Відповідно до передаточної характеристики ІМС ОП (рисунок 7.2, б) у цьому випадку $U_{\text{вих}} = +U_{\text{нас}}$. Після моменту часу $t = t_1$ вхідний сигнал $U_x \geq U_{\text{ЕТ}}$. З'являється різниця напруг між входами

$$\Delta U'' = (U_I - U_H) > \Delta U_2. \quad (7.2)$$

Відповідно до передаточної характеристики ІМС ОП (рисунок 7.2, б) у цьому випадку $U_{\text{вих}} = -U_{\text{нас}}$.

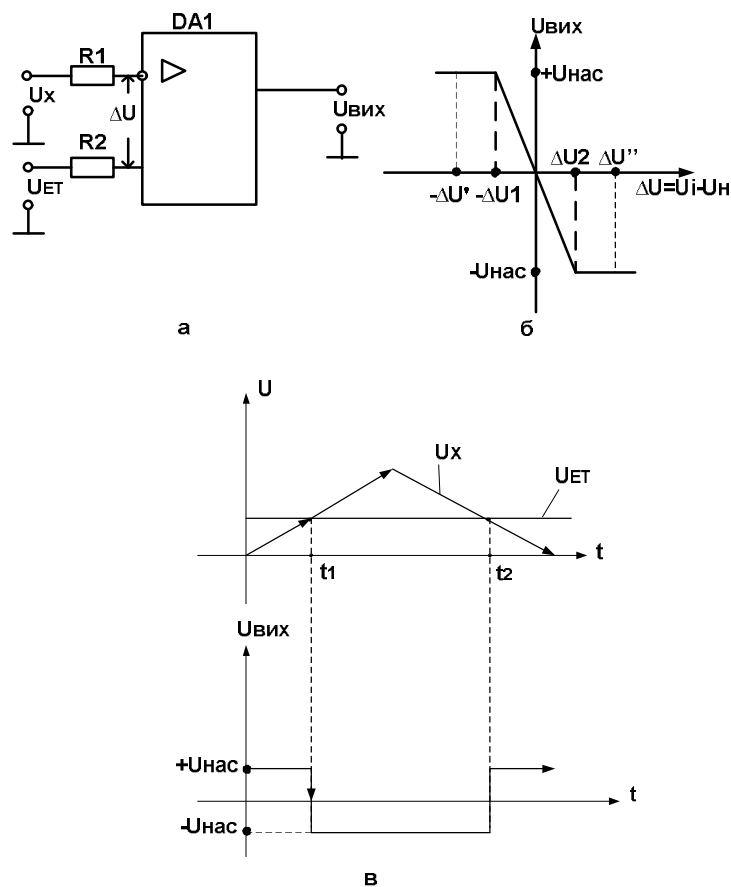


Рисунок 7.2 – АК для порівняння однополярних напруг: а – схема; б – передатна характеристика; в – часові діаграми

На рисунку 7.2, в переключення АК відбувається миттєво, що є ідеальним випадком. Реально має місце невелика затримка між моментом досягнення рівності двох сигналів: U_x і $U_{\text{ЕТ}}$ і моментом, коли вихідний сигнал $U_{\text{вих}}$ починає зменшуватися. Крім того, лінія, що відображає

зменшення $U_{\text{вих}}$, йде не перпендикулярно осі часу, а під невеликим нахилом.

Після моменту часу $t = t_2$ напруга $U_{\text{ЕТ}}$ знову стає більшою ніж $U_{\text{Х}}$, вихідна напруга змінюється і приймає значення: $+U_{\text{НАС}}$.

7.3 Аналогові компаратори для порівняння різнополярних напруг на інтегральній мікросхемі операційного підсилювача

Схему АК, що виконує порівняння різнополярних напруг, наведено на рисунку 7.3, а. Одна напруга ($U_{\text{ЕТ}} = \text{const}$) є додатною, а друга ($U_{\text{Х}}$ – від’ємна) – повільно змінюється за законом, представленим на рисунку 7.3, б.

Значення резисторів схеми вибирається з умови

$$R1 = R2 = R; R3 = \frac{R}{2}. \quad (7.3)$$

До моменту часу $t = t_1$ (рисунок 7.3, б) $U_{\text{ЕТ}} > |-U_{\text{Х}}|$, тому потенціал інвертуючого входу ІМС ОП ($\Delta U'' > \Delta U_2$, рисунок 7.2, б) – додатний, а $U_{\text{вих}} = -U_{\text{НАС}}$.

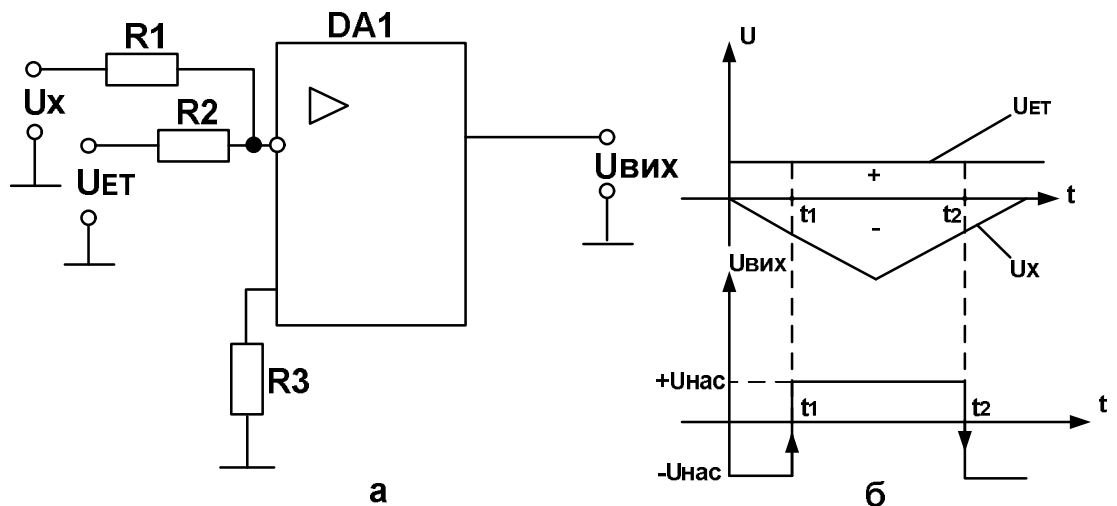


Рисунок 7.3 – АК для порівняння однополярних напруг: а – схема;

б – часові діаграми

Коли $t \geq t_1$ (рисунок 7.3, б), то $|-U_x| > U_{\text{ET}}$. Потенціал входу, що інвертує, ІМС ОП стає від'ємним ($|-ΔU'| > |-ΔU1|$), а $U_{\text{вих}} = +U_{\text{нас}}$ (рисунок 7.2, б). Як і в попередньому випадку переключення АК (зміна $U_{\text{вих}}$) відбувається з невеликою затримкою щодо моментів часу, коли U_x стає рівним U_{ET} , а також зміна $U_{\text{вих}}$ відбувається з невеликим нахилом до осі часу (на рисунках це не показано).

Якщо в схемах на рисунках 7.2, 7.3 $U_{\text{ET}} = 0$, то переключення АК відбувається при $U_x \approx 0$, а такий компаратор називають детектором нульового рівня.

Особливістю розглянутих схем АК (рисунок 7.2, 7.3) є відсутність зворотних зв'язків. Від'ємний ЗЗ у компаратори не вводять, тому що він буде гальмувати процес переключення схеми.

Відсутність ДЗЗ з одного боку спрощує схему АК, а з іншого:

- по-перше, збільшує час переключення схеми;
- по-друге, у схемі АК без ДЗЗ напруга спрацьовування $U_{\text{СПР}}$ дорівнює напрузі відпускання $U_{\text{ВІДП}}$, що може призвести до помилкових спрацьовувань, якщо на вхід компаратора надходить сигнал, спотворений завадою ($U_{\text{ВХ}} = U_x + U_{\text{ЗAB}}$).

При характері зміни $U_{\text{ВХ}}$, як, наприклад, показано на рисунку 7.4, через вплив завади ($U_{\text{ЗAB}}$) при зростанні вхідного сигналу замість одного правильного спрацьовування ($t = t_5$) виникають два помилкових спрацьовування ($t = t_1; t = t_3$) і два помилкових відпускання ($t = t_2; t = t_4$). При зменшенні вхідної напруги замість одного правильного відпускання ($t = t_{10}$) виникають два помилкових відпускання ($t = t_6; t = t_8$) і два помилкових спрацьовування ($t = t_7; t = t_9$).

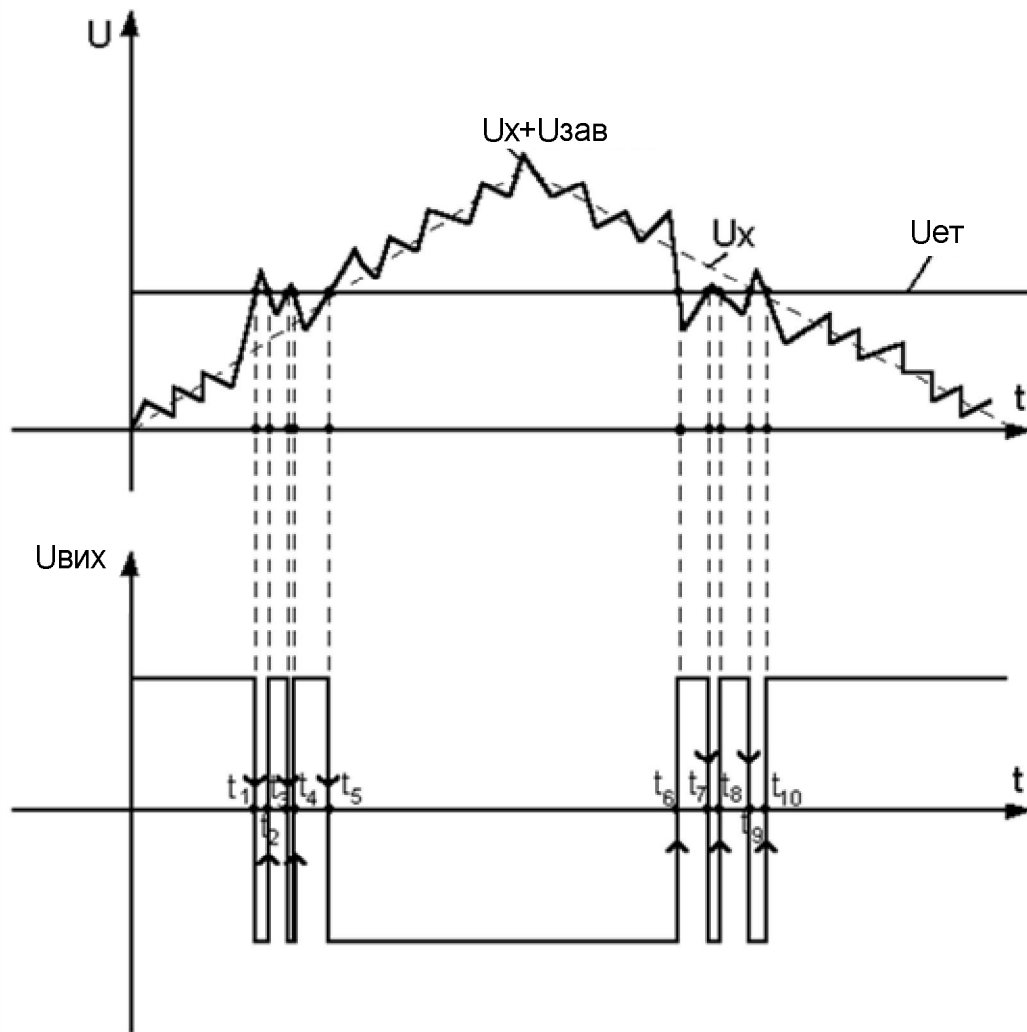


Рисунок 7.4 – Помилкові переключення АК через дію завад

Помилкові переключення небезпечні в тих випадках, коли вихідний сигнал АК обробляється рахунковою схемою, що фіксує кількість спрацьовувань і відпусків компаратора.

Помилкові переключення будуть фіксуватися рахунковою схемою і спотворювати роботу логічного пристрою, що приймає рішення за результатами обробки.

Для боротьби з завадами необхідно застосовувати АК з ДЗЗ (регенеративний компаратор).

7.4 Регенеративний компаратор

Для підвищення завадостійкості АК, особливо коли сигнал U_X змінюється з малою швидкістю, у схему АК вводять додатний зворотний зв'язок (ДЗЗ) (рисунок 7.5). Елементами ДЗЗ є резистори R_2 , R_3 . Такий АК називається регенеративним, а його схема збігається з тригером Шмітта (ТШ), що не має пам'яті (див.6.5.1).

Особливістю останньої схеми є те, що в ній є: напруга спрацьовування ($U_{СПР}$) і напруга відпускання ($U_{ВІДП}$), різниця між якими називається напругою гістерезису

$$\Delta U_{\Gamma} = U_{СПР} - U_{ВІДП}. \quad (7.4)$$

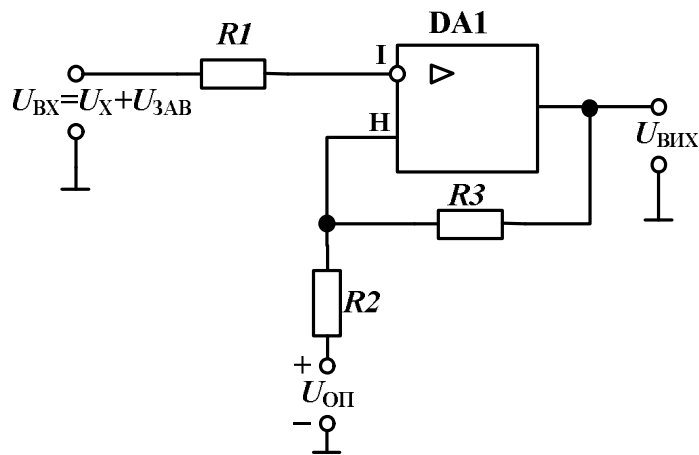


Рисунок 7.5 – Регенеративний АК (АК с ДЗЗ) (ТШ, що не має пам'яті)

Компаратор спрацьовує, коли вхідний сигнал: $U_{ВХ} = U_X + U_{3AB}$ стане більший ніж $U_{СПР}$, і відпускає (переключається у початковий стан), коли $U_{ВХ}$ стане менше $U_{ВІДП}$.

Якщо в схемі виконується умова

$$\Delta U_{\Gamma} > U_{3AB}, \quad (7.5)$$

то помилкових переключень у компараторі не виникає.

Недоліком регенеративного компаратора в порівнянні з АК без ДЗЗ є те, що погіршується точність порівняння. Так, якщо порівняти часові діаграми роботи двох компараторів (рисунки 7.4 і 7.6), то можна помітити, що при однаковому характері зміни порівнюваного сигналу U_x і завади $U_{зав}$ спрацювання і відпускання регенеративного компаратора відбувається трошки пізніше (у моменти: t_1 замість t'_1 і t_2 замість t'_2).

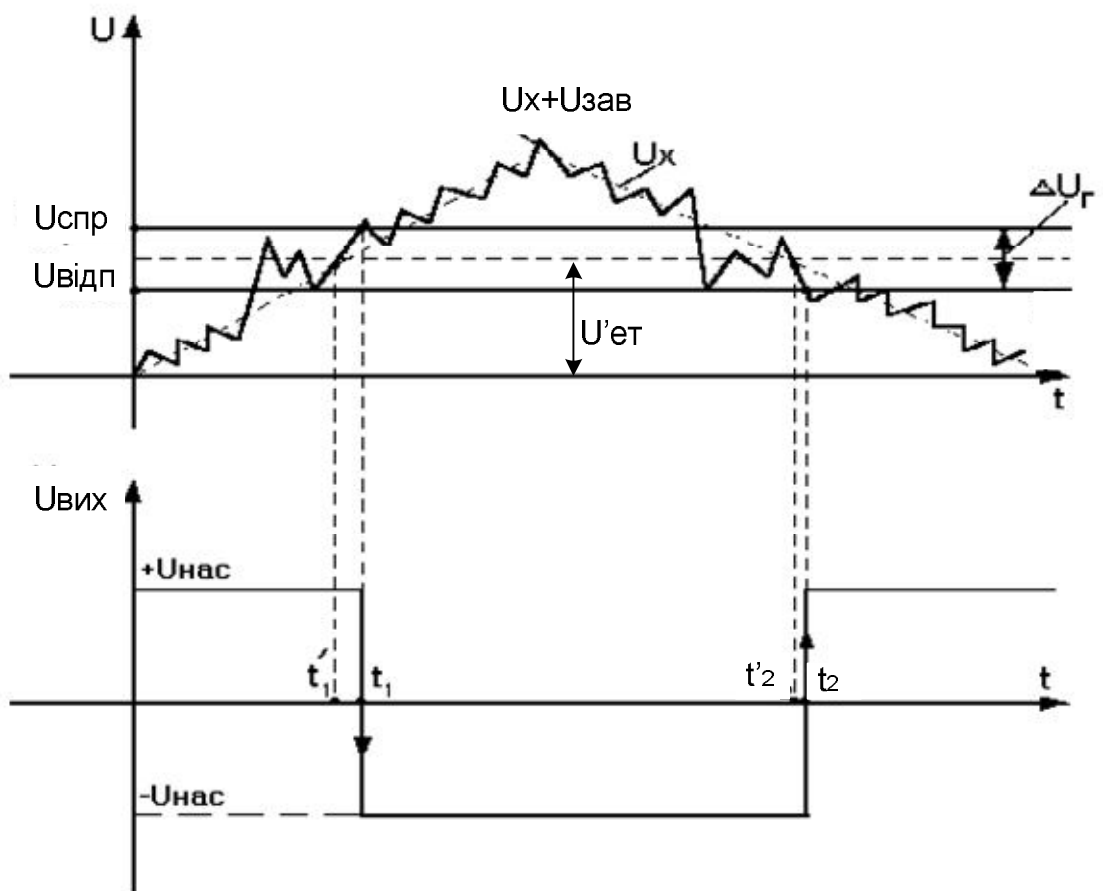


Рисунок 7.6 – Часові діаграми роботи регенеративного АК

7.5 Виведення основних розрахункових співвідношень для регенеративного компаратора

У схемі АК (рисунок 7.5) вхідний сигнал $U_{ВХ}$ порівнюється з напругою на вході $U_{Н}$, що не інвертує. Ця напруга визначається значеннями двох напруг: $U_{ОП}$ і $U_{НАС}$, і резисторів: $R2$, $R3$.

Якщо $U_{ВІХ} = +U_{НАС}$, то

$$U_{Н1} = \frac{U_{ОП} \cdot R3}{R2 + R3} + \frac{U_{НАС} \cdot R2}{R2 + R3} = U_{СПР}. \quad (7.6)$$

Якщо $U_{ВІХ} = -U_{НАС}$, то

$$U_{Н2} = \frac{-U_{НАС} \cdot R2}{R2 + R3} + \frac{U_{ОП} \cdot R3}{R2 + R3} = U_{ВІДП}. \quad (7.7)$$

Твердження, що $U_{Н1} = U_{СПР}$, а $U_{Н2} = U_{ВІДП}$ справедливі в тому випадку, коли ІМС ОП – ідеальна, і величини $\Delta U_1 = \Delta U_2 \approx 0$ (рисунок 6.5, г). При цьому переключення АК відбувається, коли напруга на вході, що інвертує, (U_I) приблизно дорівнює напрузі на вході, що не інвертує, (U_H), тобто $\Delta U = U_I - U_H \approx 0$.

$$\Delta U_{Г} = U_{СПР} - U_{ВІДП} = \frac{2U_{НАС} \cdot R2}{R2 + R3}. \quad (7.8)$$

Розглянуті АК не мають пам'яті і працюють як порогові пристрої, тобто вихідний сигнал, що дискретно змінюється, відображає співвідношення рівнів невідомого вхідного сигналу і заданого еталонного.

ПИТАННЯ ДЛЯ САМОКОНТРОЛЮ

- 1) Який пристрій називається компаратором? Назвіть два види компараторів у залежності від форми представлення порівнюваних сигналів.
- 2) Опишіть структуру аналогового компаратора.
- 3) Наведіть принципову електричну схему та часові діаграми аналогового компаратора для порівняння одно- чи двополярних напруг.
- 4) Яка причина помилкових спрацювань аналогового компаратора та як з ними боротися?
- 5) Наведіть принципову електричну схему регенеративного аналогового компаратора та назвіть його переваги та недоліки.

ЛІТЕРАТУРА

[1, 2, 4...13, 29]

8 ПРИСТРОЇ ФОРМУВАННЯ РІВНІВ

Рівні напруг, що з'являються на виході імпульсних пристроїв, змінюються від мінімального (часто дорівнює нулю) до максимального значення: $U_{\text{ВИХ.max}}$. З виходу імпульсних схем, виконаних на ІМС ОП, знімаються напруги, що приймають одне з двох значень: $+U_{\text{НАС}}$; $-U_{\text{НАС}}$. Наприклад, якщо напруги джерела живлення дорівнюють $\pm 15\text{В}$, тоді $+U_{\text{НАС}} = +11\text{В}$, а $(-U_{\text{НАС}}) = -11\text{В}$.

Вихідні сигнали імпульсних пристроїв часто обробляються цифровими ТТЛШ / КМОН – схемами, у яких діють тільки два значення (рівня) сигналів (напруг), які називаються:

- логічна одиниця (як правило, високий рівень напруги);
- логічний нуль (як правило, низький рівень напруги).

Вихідна напруга низького рівня (логічний 0): не більш $0,4...0,5\text{В}$;

Вихідна напруга високого рівня (логічна 1): не менш $2,4\text{В}$.

Максимальне значення логічної 1: $E_{\text{жив}} = 5\text{В}$.

Виникає задача перетворення рівнів сигналів, що з'являються на виході імпульсних схем, у рівні цифрових сигналів, що діють у цифрових пристроях.

Цю задачу вирішують пристрої/схеми формування (перетворення) рівнів (ПФР/СФР). Існує багато варіантів схемної реалізації ПФР. Розглянемо деякі з них.

Приклад 1. Найпростіший перетворювач рівнів може бути реалізовано на послідовному діодному ключі (рисунок 8.1, а), що виконує функцію обмежника напруги знизу на рівні $U_{\text{ОБМ}} \approx 0,5\text{В}$ (схема, характеристика та часові діаграми роботи перетворювача отримані моделюванням у програмі Microcap).

Нижче представлено відповідно:

- схему (рисунок 8.1, а);
- передатну характеристику (рисунок 8.1, б);
- часові діаграми роботи (рисунок 8.1, в)

цього пристрою, які отримано за допомогою пакета MICRO-CAP V.

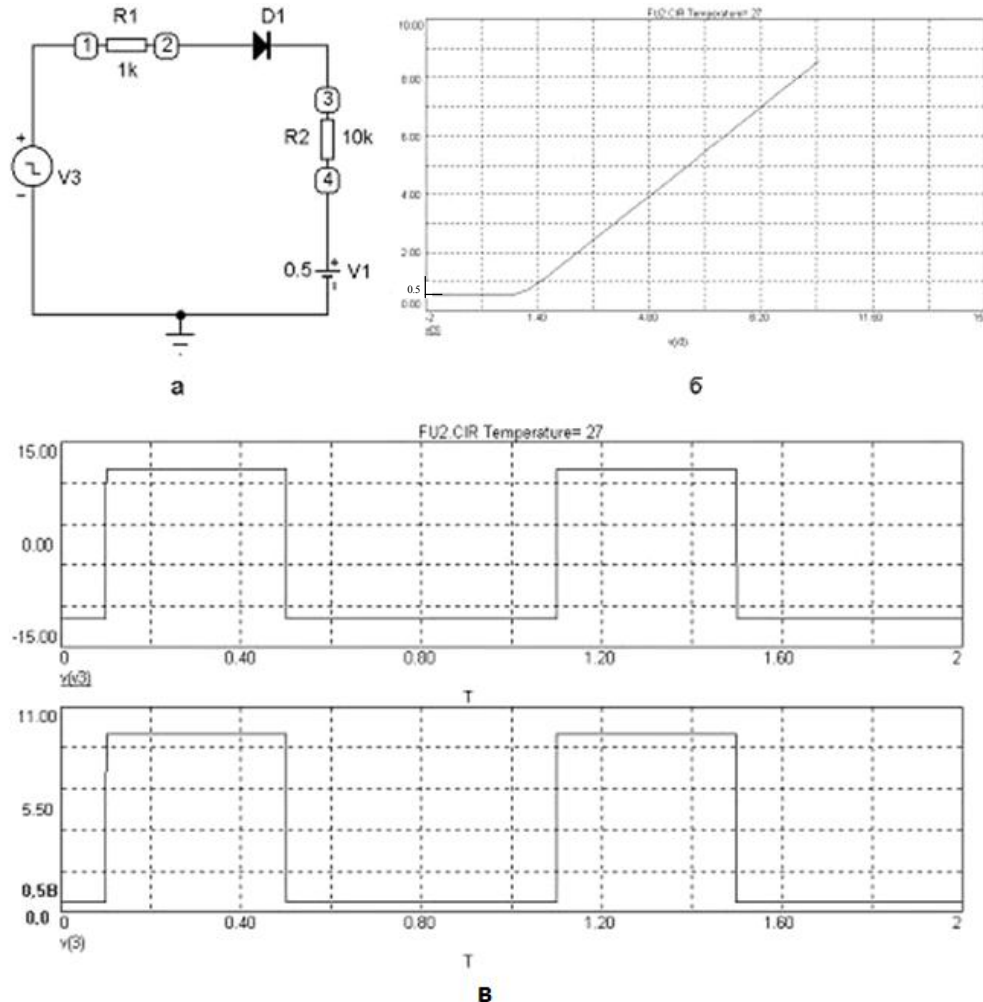


Рисунок 8.1 – Найпростіший ПРФ на послідовному діодному ключі:
а – схема; б – передатна характеристика; в – вхідний і вихідний сигнали

Приклад 2. Як перетворювачі рівнів можуть бути використано двосторонні діодні обмежники, які виконано на послідовному або паралельному діодному ключі (рисунок 8.2, 8.3). Схему та характеристику перетворювача отримано моделюванням у програмі Microcap.

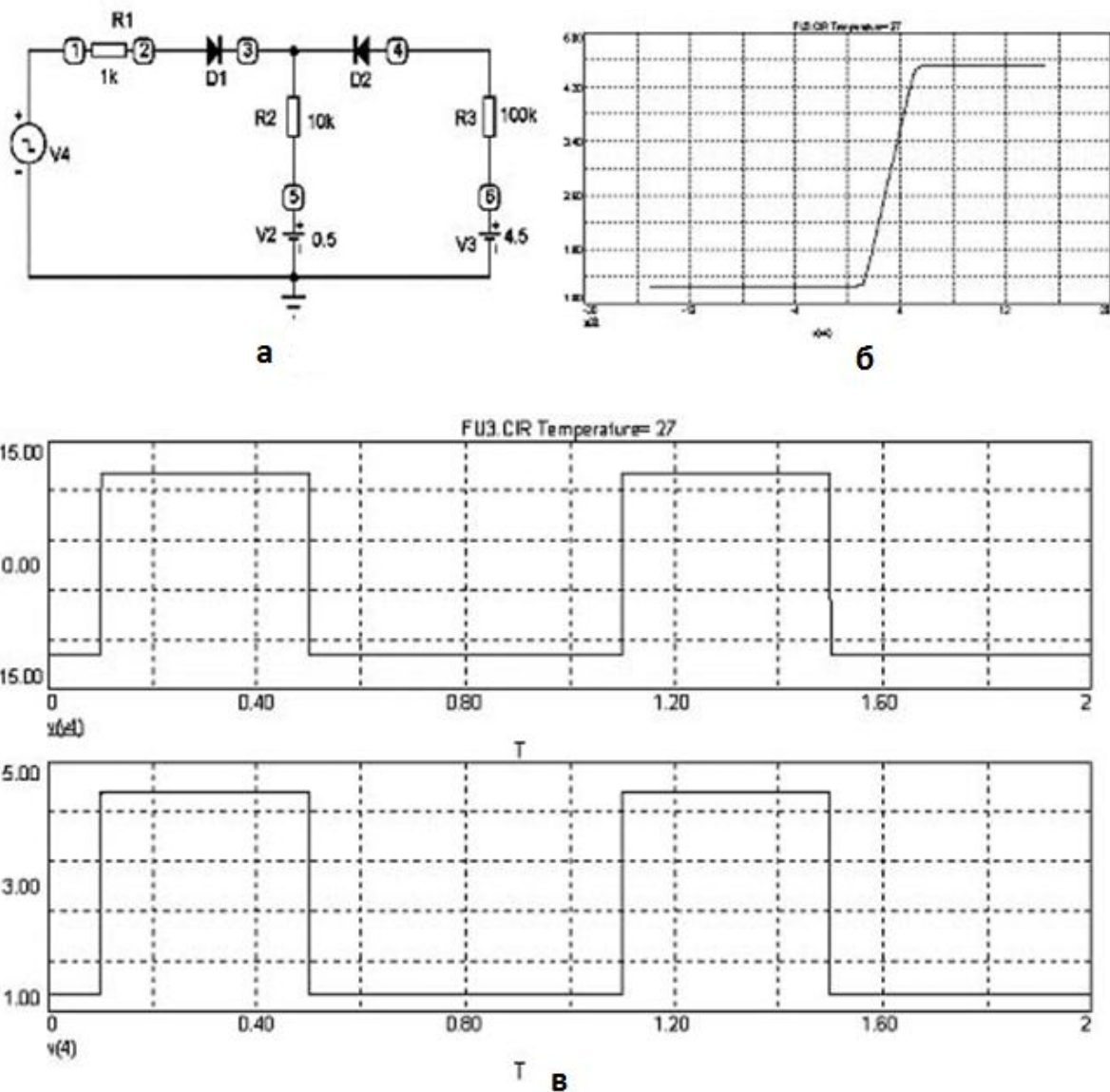


Рисунок 8.2 – ПРФ на послідовному двосторонньому діодному обмежнику:

а – схема; б – передатна характеристика;

в – вхідний і вихідний сигнали схеми

Приклад 3. Тут приведено ПФР, який реалізовано на паралельному діодному ключі (рисунок 8.4). Цей пристрій перетворює:

–напругу $U_{\text{ВХ}} = +U_{\text{НАС}}$ у напругу $U_{\text{ВИХ}} = U^1 = U_{\text{VD1.пр}} + E_{\text{ЕТ}}$;

–напругу $U_{\text{ВХ}} = -U_{\text{НАС}}$ у напругу $U_{\text{ВИХ}} = U^0 = -U_{\text{VD2.пр}}$.

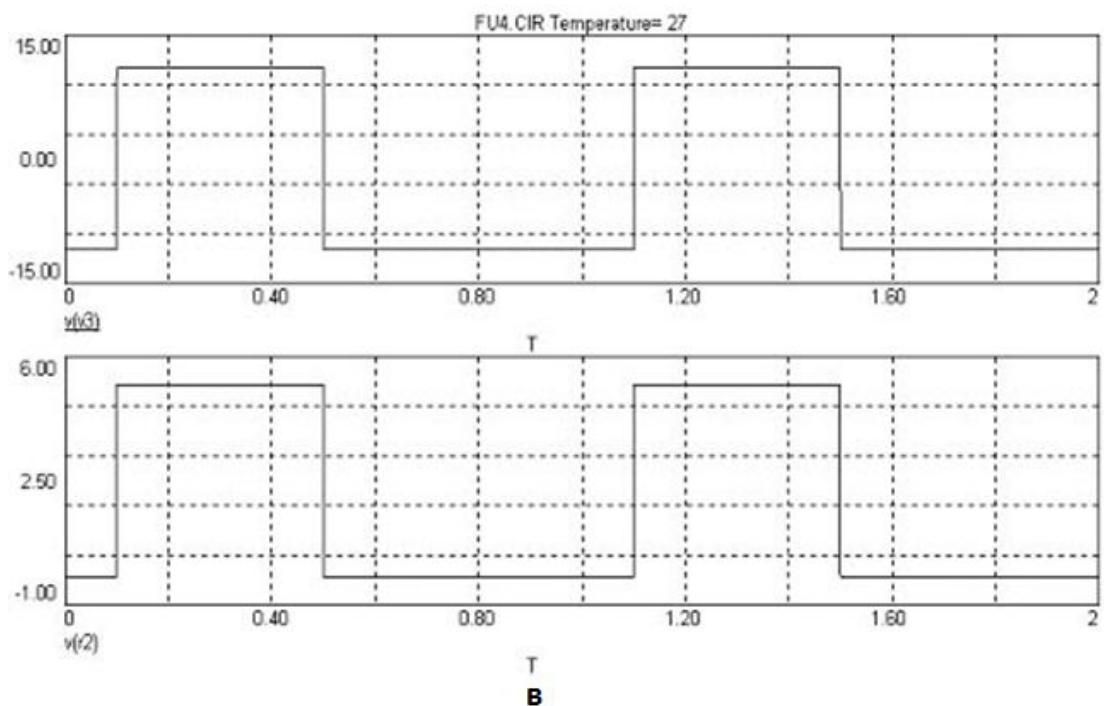
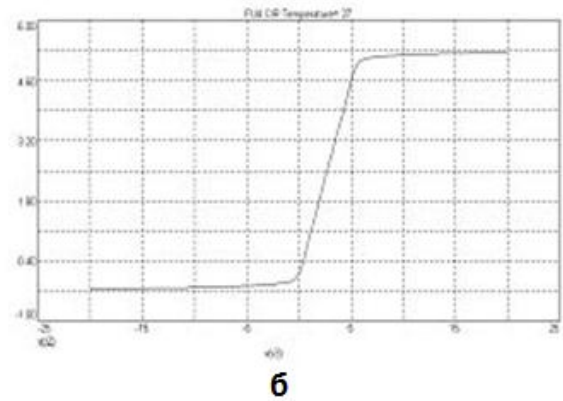
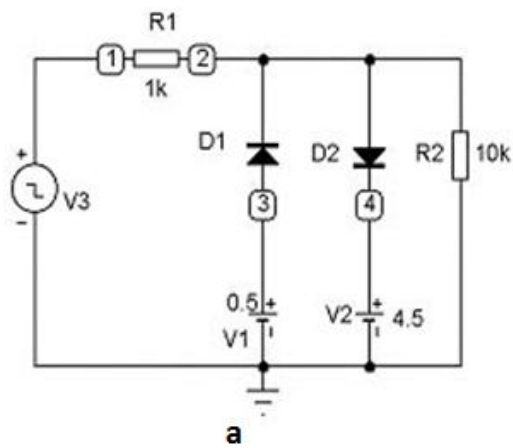


Рисунок 8.3 – ПРФ на паралельному двосторонньому діодному обмежнику:

а – схема; б – передатна характеристика;

в – вхідний і вихідний сигнали схеми

Приклад 4. У цьому прикладі розглянуто ПФР, який виконано на послідовному діодному ключі (рисунок 8.5). Цей пристрій перетворює:

- напругу $U_{\text{ВХ}} = +U_{\text{НАС}}$ у напругу $U_{\text{ВИХ}} = U^1 = U_{\text{VD2.ПР}} + E_{\text{ЕТ}}$;
- напругу $U_{\text{ВХ}} = -U_{\text{НАС}}$ у напругу $U_{\text{ВИХ}} = U^0 = I_{\text{K0.VD2}} \cdot R_{\text{Н}}$,

де $I_{K0,VD2}$ – зворотний струм насичення закритого діода VD2.

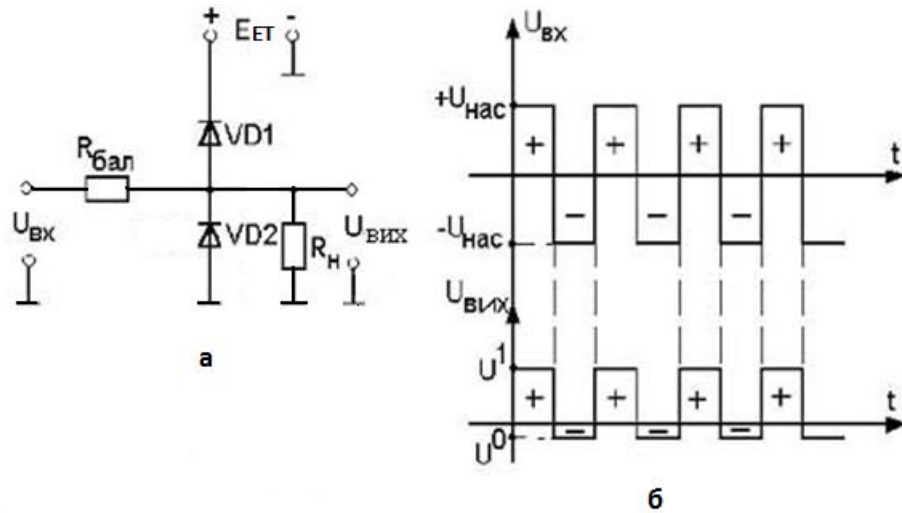


Рисунок 8.4 – ПФР на паралельному діодному ключі:

а – схема; б – часові діаграми роботи

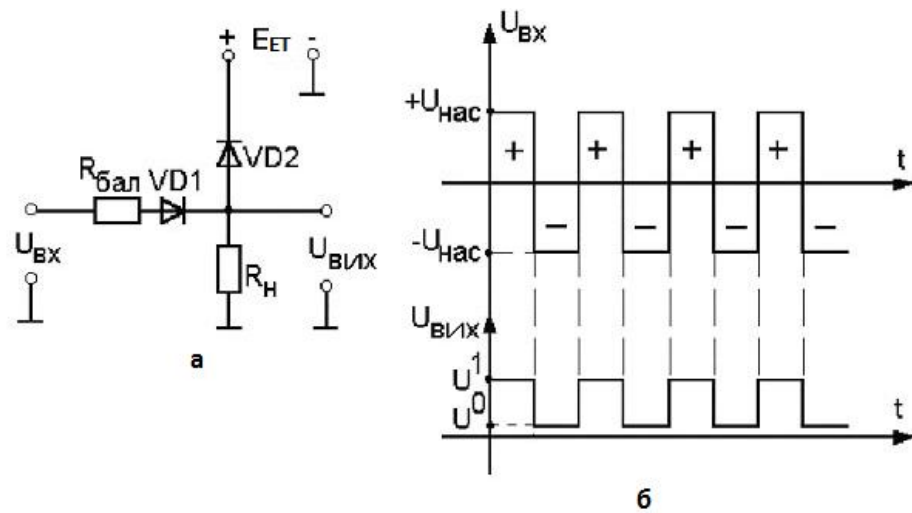


Рисунок 8.5 – ПФР на послідовному діодному ключі:

а – схема; б – часові діаграми роботи

ПИТАННЯ ДЛЯ САМОКОНТРОЛЮ

- 1) Яку задачу вирішують пристрої формування рівнів?
- 2) Наведіть приклади принципових електричних схем пристроїв формування рівнів та поясніть їх роботу.

ЛІТЕРАТУРА

[1, 2, 4...13, 29]

9 ГЕНЕРАТОРИ ПРЯМОКУТНИХ ІМПУЛЬСІВ

В імпульсній техніці широко застосовуються генератори прямокутних імпульсів, що відносяться до класу релаксаційних генераторів. Коливання, в яких повільні зміни чергуються зі стрибкоподібними, називають релаксаційними. Такими коливаннями є, зокрема, прямокутні і пилкоподібні імпульси.

Подібно генераторам синусоїдальних (гармонійних) напруг, релаксаційні генератори перетворюють енергію джерела постійного струму в енергію електричних коливань.

Підсилювальний елемент працює в даному випадку в ключовому режимі, переключаючи конденсатор із зарядження на розрядження і у зворотному напрямі.

Релаксаційні генератори можуть працювати в автоколивальному режимі та у режимі очікування.

Генератор в автоколивальному режимі після включення живлення генерує коливання безперервно (рисунок 9.1, а).

Генератор, що чекає, (загальмований, одновібратор – ОВ) формує на виході одиночний імпульс заданої тривалості при подачі на вхід короткого імпульсу, що запускає (рисунок 9.1, б, в).

Генератор прямокутних імпульсів часто називають мультивібратором (МВ), тому що спектр вихідних сигналів містить багато гармонік. МВ застосовується для отримання одиночних імпульсів прямокутної форми і як генератори послідовності прямокутних імпульсів для різних пристроїв промислової електроніки.

Існує декілька варіантів схемного виконання МВ:

- на дискретних елементах;
- на логічних елементах;
- на інтегральній мікросхемі операційного підсилювача

(ІМС ОП);

– у вигляді спеціалізованої ІМС.

Нижче більш докладно зупинимося на МВ, які виконано на ІМС ОП.

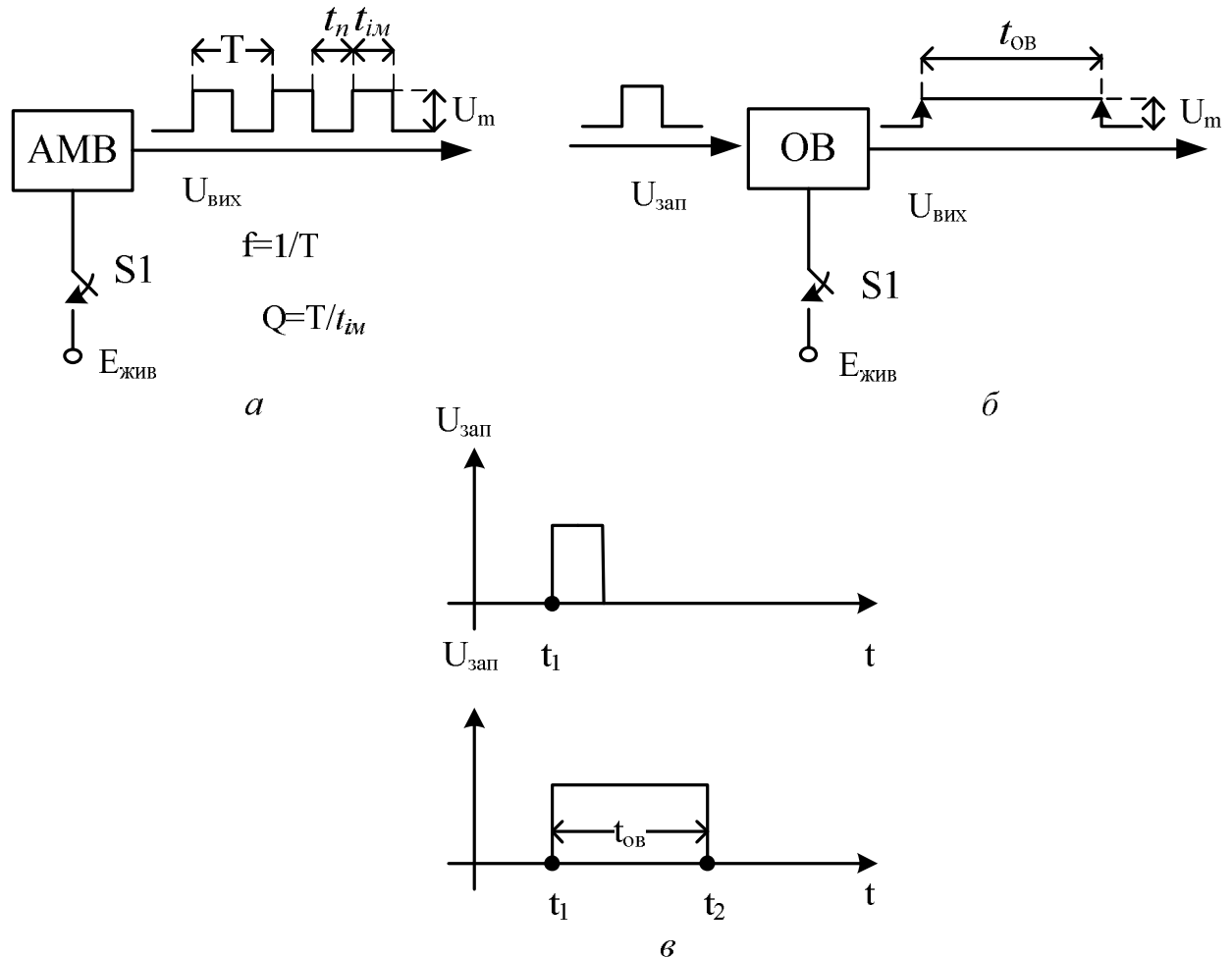


Рисунок 9.1 – Мультивібратори: а – АВМ (автоколивальний);

б – ОВ (одновібратор); в – часові діаграми роботи ОВ

9.1 Мультивібратори на інтегральних мікросхемах операційних підсилювачів

Роботу найпростіших МВ на інтегральних мікросхемах операційних підсилювачів (ІМС ОП) засновано на спільному використанні додатного (ДЗЗ) і від'ємного (ВЗЗ) зворотних зв'язків. При цьому ДЗЗ повинен бути більш сильним (глибоким), ніж ВЗЗ. Ланцюг ДЗЗ забезпечує

лавиноподібний перехід МВ з одного стану квазірівноваги у другий, а ланцюг ВЗЗ – для задання тривалості квазістійких станів (тривалості вихідних імпульсів). На ІМС ОП можуть виконуватися автоколивальні та МВ, які очікують.

9.2 Автоколивальний мультивібратор на інтегральній мікросхемі операційного підсилювача

МВ (рисунок 9.2) є автогенератором і працює без подачі вхідного сигналу.

Конденсатор С1 и резистори R1, R2 є ВЗЗ і утворюють інтегруючий RC – ланцюг, джерелом вхідної напруги для якого є напруга $U_{ВІХ}$ ІМС ОП. Операційний підсилювач у даній схемі працює у нелінійному режимі і його вихідна напруга приймає одне з двох постійних значень: $+U_{НАС}$ чи $(-U_{НАС})$, рисунок 9.2, б.

Якщо $U_{ВІХ} = +U_{НАС}$, відкрито VD1 і конденсатор С1 заряджається через резистор R1. При $U_{ВІХ} = -U_{НАС}$ відкрито VD2 і конденсатор С1 перезаряджається через R2. На прямий вхід ІМС ОП, що не інвертує, надходить напруга ДЗЗ $U_{ПР}(U_H)$, що знімається з подільника вихідної напруги, який виконано на резисторах R3, R4.

У залежності від величини вихідної напруги ІМС ОП, напруга $U_{ПР}(U_H)$ приймає значення

$$U_{H1} = U_{ПР1} = \frac{+U_{НАС} \cdot R4}{R3 + R4}, \quad (9.1)$$

якщо $U_{ВІХ} = +U_{НАС}$;

$$U_{H2} = U_{ПР2} = \frac{-U_{НАС} \cdot R4}{R3 + R4}, \quad (9.2)$$

якщо $U_{ВІХ} = -U_{НАС}$.

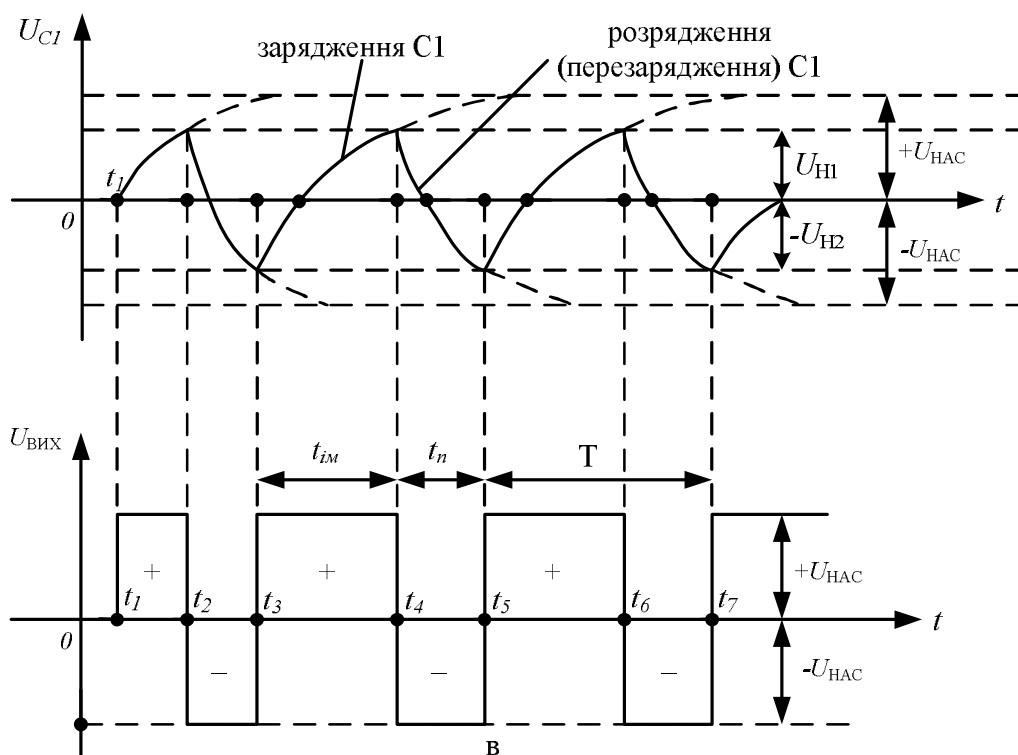
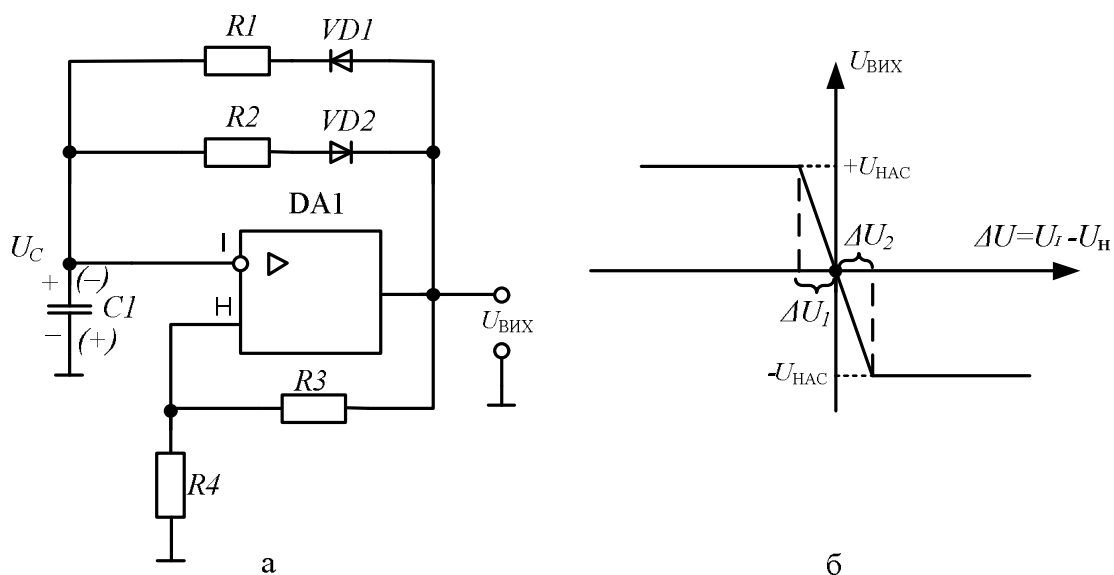


Рисунок 9.2 – Автоколивальний МВ на ІМС ОП: а – схема; б – передатна характеристика ІМС ОП; в – часові діаграми роботи

При високому значенні коефіцієнта підсилення напруги ІМС ОП ($K_{U.ІМСОП}$) величини ΔU_1 , ΔU_2 (рисунок 9.2, б) наближаються до нуля.

Тому при $\Delta U = U_I - U_H \approx 0$ вихідна напруга підсилювача за рахунок виконання умови виникнення стрибків: балансу фаз (ДЗЗ) і

балансу амплітуд швидко (лавиноподібно) змінює своє значення від $+U_{HAC}$ до $-U_{HAC}$ і навпаки. Отже, ІМС ОП порівнює напруги на вході, що інвертує (І), та на вході, що не інвертує (Н), і при їхній приблизній рівності стрибкоподібно змінює своє вихідне значення.

Розглянемо роботу МВ. При відключеній напрузі живлення підсилювача конденсатор С1 розряджений. При включеній напрузі ІМС ОП ($t = t_1$) за рахунок асиметрії схеми підсилювача і наявності ДЗЗ випадковим чином на виході встановиться значення $+U_{HAC}$ чи $-U_{HAC}$. Припустимо, $U_{ВИХ} = +U_{HAC}$. Діод VD1 відкривається, а VD2 – закритий. Конденсатор заряджається цією напругою через резистор R1. Наростаюча за експонентою напруга U_{C1} зі сталою часу $\tau_{зар} = R1 \cdot C1$ подається на вхід ІМС ОП, що інвертує. Через ланцюг R3, R4 на вхід, що не інвертує, подається напруга U_{H1} . У момент $t = t_2$ напруга $U_{C1} = U_{H1}$, відбувається переключення підсилювача і на його виході встановлюється напруга $U_{ВИХ} = -U_{HAC}$. Діод VD2 – відкривається, а VD1 – закривається. Через резистор R2 конденсатор С1 перезаряджається напругою: $-U_{HAC}$ зі сталою часу $\tau_{пер} = R2 \cdot C1$.

У момент часу $t = t_3$ модуль від'ємної напруги U_{C1} дорівнює модулю від'ємної напруги U_{H2} . Підсилювач знову переключається і на його виході встановлюється напруга $+U_{HAC}$. Далі описаний процес повторюється.

Інтервал $t_3 \dots t_4$ визначає тривалість вихідного імпульсу МВ (t_{iM}), а інтервал $t_4 \dots t_5$ – тривалість паузи (t_n).

Виведення співвідношень, що визначають тривалості імпульсу t_{iM}

та паузи t_n , наведено у підрозділі 9.4.

9.3 Регулювання параметрів схеми

Для регулювання частоти слідування вихідних імпульсів при незмінній шпаруватості варто змінювати співвідношення резисторів R_3 , R_4 . Наприклад, якщо $R_3 = \text{const}$, а R_4 збільшується, то частота f зменшується (див. підрозділ 9.4).

Для регулювання шпаруватості вихідних імпульсів при незмінній частоті можна скористатися схемою, яку зображено на рисунку 9.3, а.

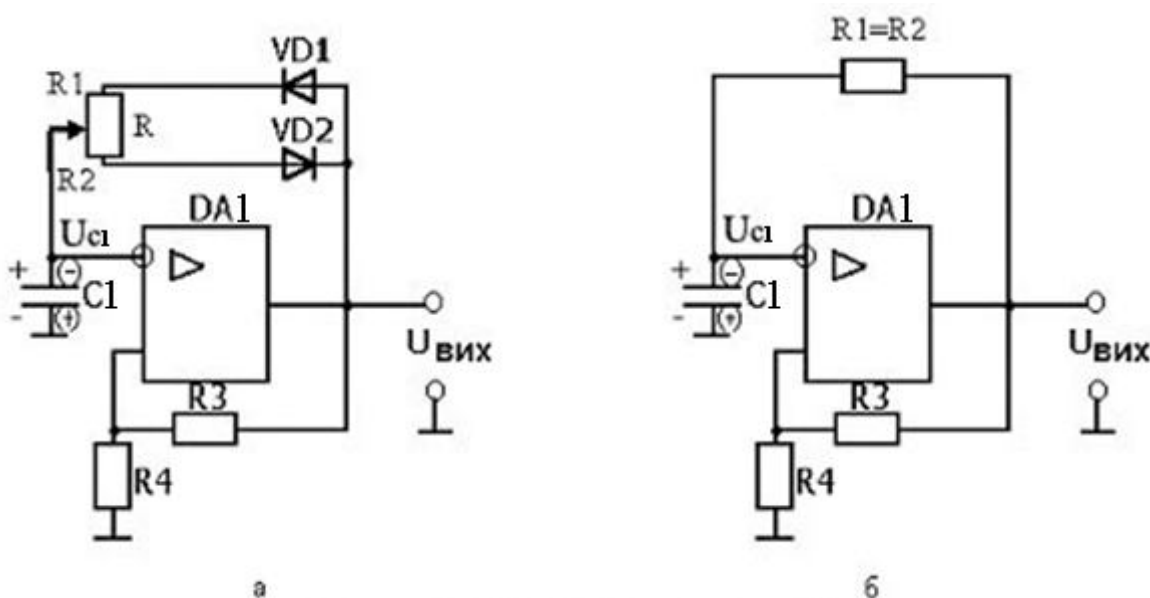


Рисунок 9.3 – Автоколивальний МВ на ІМС ОП: а – з резистором для регулювання шпаруватості; б – зі шпаруватістю $Q=2$

Пересуванням повзуна змінного резистора R змінюється значення резистора R_1 , що впливає на шпаруватість Q , а сума $R_1 + R_2 = R = \text{const}$, тобто період T і частота не змінюються (див. підрозділ 9.4).

Для формування на виході розглянутого МВ послідовності імпульсів зі шпаруватістю $Q=2$ значення резисторів у ланцюзі ВЗЗ повинні бути однакові ($R_1 = R_2$). У цьому випадку діоди VD_1 , VD_2 не потрібні і схема МВ має вид, який приведено на рисунку 9.3, б.

9.4 Виведення співвідношень, що визначають тривалість імпульсу t_{im} та паузи t_n мультівібраторів

Скористаємося відомостями з дисципліни ТЕМК, що описують роботу пасивного RC – ланцюга (рисунок 9.4) :

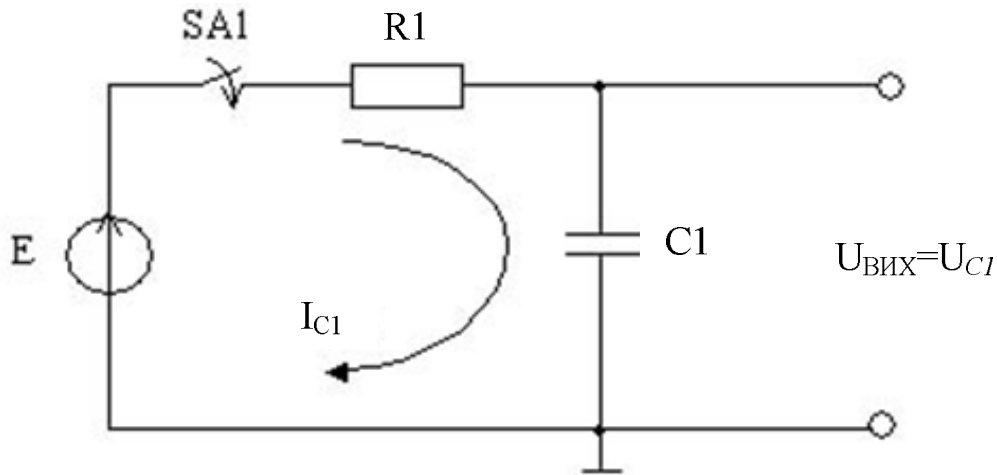


Рисунок 9.4 – Пасивний RC – ланцюг

$$I_{C1} = C1 \cdot \frac{dU_{C1}}{dt},$$

$$R1 \cdot C1 \cdot \frac{dU_{C1}}{dt} + U_{C1} = E. \quad (9.3)$$

Розв'язання останнього диференціального рівняння можна представити у вигляді

$$U_{C1}(t) = E - [E - U_{C1}(0)]e^{-t/\tau_{im}}, \quad (9.4)$$

де $\tau_{im} = R1 \cdot C1$ – стала часу інтегруючого ланцюга; $U_c(0)$ – початкова напруга на конденсаторі у момент замикання ключа SA1.

У розглянутій вище схемі МВ (рисунок 9.2) у момент $t = t_3$ (початок формування імпульсу):

$$U_{C1}(0) = U_{C1}(t_3) = -U_{H2} = \frac{-U_{HAC} \cdot R4}{R3 + R4}, \quad (9.5)$$

$$E = +U_{HAC}, \tau_{im} = R1 \cdot C1.$$

У момент закінчення формування імпульсу ($t = t_4$)

$$U_{c1}(t_4) = U_{H1} = \frac{U_{HAC} \cdot R4}{R3 + R4}. \quad (9.6)$$

Якщо в рівняння (9.4) замість t підставити $t = t_4 - t_3 = t_{im}$, то

$U_{c1}(t_{im}) = U_{H1}$, а (9.4) прийме вид:

$$U_{c1}(t_{im}) = U_{H1} = U_{HAC} - [U_{HAC} - (-U_{H2})] e^{-t_{im}/\tau_{im}}. \quad (9.7)$$

Підставимо в (9.7) значення U_{H1} і U_{H2} з (9.5), (9.6) отримаємо

$$\frac{U_{HAC} \cdot R4}{R3 + R4} = U_{HAC} - (U_{HAC} + \frac{U_{HAC} \cdot R4}{R3 + R4}) e^{-t_{im}/\tau_{im}}. \quad (9.8)$$

Розділивши ліву і праву частини (9.8) на U_{HAC} , запишемо

$$\begin{aligned} \frac{R4}{R3 + R4} &= 1 - (1 + \frac{R4}{R3 + R4}) \cdot e^{-t_{im}/\tau_{im}}; \\ -\frac{R3}{R3 + R4} &= -\left(\frac{R3 + 2R4}{R3 + R4}\right) \cdot e^{-t_{im}/\tau_{im}}; \\ R3 &= (R3 + 2R4) \cdot e^{-t_{im}/\tau_{im}}; \\ 1 &= (1 + \frac{2R4}{R3}) \cdot e^{-t_{im}/\tau_{im}}; \\ 1 &= (1 + \frac{2R4}{R3}) \cdot \frac{1}{e^{t_{im}/\tau_{im}}}; \\ e^{t_{im}/\tau_{im}} &= (1 + 2R4 / R3). \end{aligned} \quad (9.9)$$

Логарифмуючи ліву і праву частини (9.9) отримаємо вираз для визначення тривалості імпульсу

$$t_{im} = \tau_{im} \cdot \ln(1 + \frac{2R4}{R3}) = R1 \cdot C1 \cdot \ln(1 + \frac{2R4}{R3}). \quad (9.10)$$

Аналогічно виведемо вираз для визначення тривалості паузи

$$t_n = t_5 - t_4.$$

У момент початку формування паузи ($t = t_4$)

$$U_{c1}(0) = U_{c1}(t_4) = U_{H1} = \frac{U_{HAC} \cdot R4}{R3 + R4}, \quad (9.11)$$

$$E = -U_{HAC}, \tau_{им} = R2 \cdot C1.$$

У момент закінчення формування паузи ($t = t_5$)

$$U_{c1}(t_5) = -U_{H2} = -\frac{U_{HAC} \cdot R4}{R3 + R4}. \quad (9.12)$$

Якщо в рівняння (9.4) замість t підставити $t = t_5 - t_4 = t_n$, то

$U_{c1}(t_n) = -U_{H2}$, а (9.4) прийме вид

$$U_{c1}(t_n) = -U_{H2} = -U_{HAC} - (-U_{HAC} - U_{H1}) \cdot e^{-t_n/\tau_{им}}. \quad (9.13)$$

Підставивши в (9.13) значення U_{H1} і U_{H2} з (9.11) і (9.12) отримаємо

$$-\frac{U_{HAC} \cdot R4}{R3 + R4} = -U_{HAC} - (-U_{HAC} - \frac{U_{HAC} \cdot R4}{R3 + R4}) \cdot e^{-t_n/\tau_{им}}. \quad (9.14)$$

Розділивши ліву і праву частини (9.14) на U_{HAC} , запишемо

$$-\frac{R4}{R3 + R4} = -1 - (-1 - \frac{R4}{R3 + R4}) \cdot e^{-t_n/\tau_{им}};$$

$$-\frac{R4}{R3 + R4} = -1 + (1 + \frac{R4}{R3 + R4}) \cdot e^{-t_n/\tau_{им}};$$

$$-\frac{R4}{R3 + R4} = -1 + (\frac{R3 + 2R4}{R3 + R4}) \cdot e^{-t_n/\tau_{им}};$$

$$1 - \frac{R4}{R3 + R4} = (\frac{R3 + 2R4}{R3 + R4}) \cdot e^{-t_n/\tau_{им}};$$

$$\frac{R3}{R3 + R4} = (\frac{R3 + 2R4}{R3 + R4}) \cdot e^{-t_n/\tau_{им}};$$

$$1 = (1 + \frac{2R4}{R3}) \cdot e^{-t_n/\tau_{им}};$$

$$e^{t_n/\tau_{im}} = (1 + \frac{2R4}{R3}). \quad (9.15)$$

Логарифмуючи ліву і праву частини (9.15) отримаємо вираз для визначення тривалості паузи:

$$t_n = \tau_{im} \cdot \ln(1 + \frac{2R4}{R3}) = R2 \cdot C1 \cdot \ln(1 + \frac{2R4}{R3}). \quad (9.16)$$

Період слідування вихідних імпульсів

$$T = t_{im} + t_n = (R1 + R2) \cdot C1 \cdot \ln(1 + \frac{2R4}{R3}), \quad (9.17)$$

а шпаруватість

$$Q = \frac{T}{t_{im}} = \frac{R1 + R2}{R1}. \quad (9.18)$$

З виразів (9.10; 9.16...9.18) видно, що значення t_{im}, t_n, T, Q не залежать від параметрів ІМС ОП, якщо остання близька до ідеальної.

Отже, стабільність частоти f і шпаруватості Q вихідних імпульсів МВ визначається стабільністю параметрів резисторів і конденсатора.

В реальних схемах МВ на ІМС ОП потрібно враховувати те, що $+U_{HAC} \neq |-U_{HAC}|$; на виході підсилювача є напруга зсуву нуля; стрибкоподібна зміна вихідного сигналу відбувається не при нульовій різниці напруг між входами ІМС ОП, а трошки раніше і т. ін.

Усе це дещо знижує стабільність параметрів схеми.

9.5 Мультивібратор, що чекає, на ІМС ОП

МВ, який приведено на рисунку 9.5, а, називають таким, що чекає. Він формує на виході одиночний прямокутний імпульс заданої тривалості при надходженні на вхід короткого імпульсу, який його запускає.

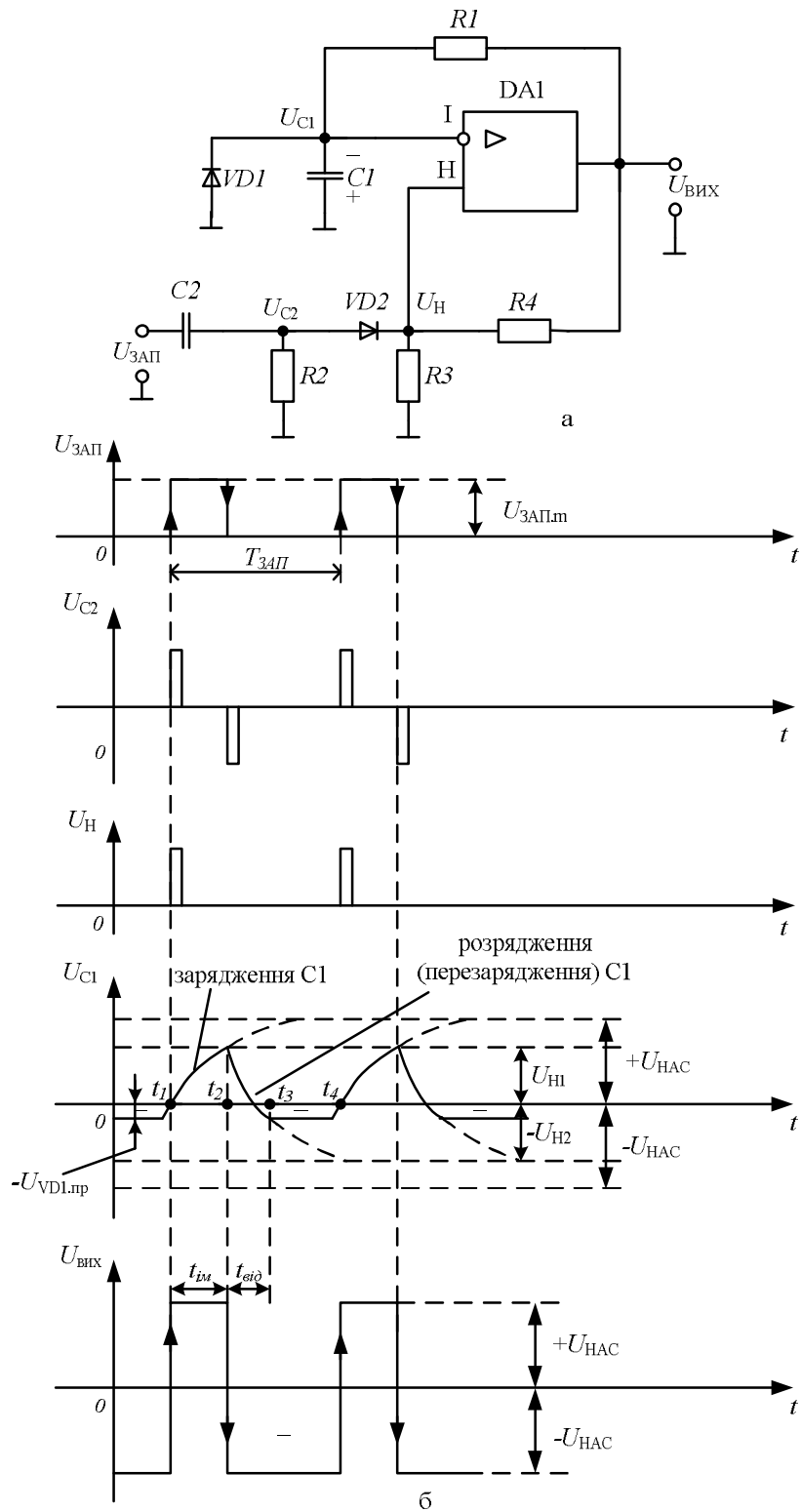


Рисунок 9.5 –МВ, що чекає, на ІМС ОП (одновібратор):

а – схема; б – часові діаграми роботи

При включенні напруги та відсутності вхідного імпульсу, який запускає, на виході схеми встановлюється напруга $U_{ВНХ} = -U_{НАС}$. Діод VD1 – відкритий і напруга на конденсаторі $U_{C1} = -U_{VD1.ПР}$.

Такий стан схеми є стійким. На рисунку 9.5, б приведено часові діаграми роботи пристрою при надходженні на його вхід імпульсів, що запускають.

У початковому стані $U_{ЗАП} = 0; U_{ВНХ} = -U_{НАС}; U_I = -U_{VD1.ПР} = -U_{C1}$. VD2 – відкритий, тому напруга на вході, який не інвертує :

$$U_{H2} = U_{ПР2} = -U_{НАС} \cdot \frac{\frac{R2 \cdot R3}{R2 + R3}}{R4 + \frac{R2 \cdot R3}{R2 + R3}}. \quad (9.19)$$

При надходженні вхідного додатного імпульсу, що запускає, амплітудою $U_{ЗАП.m} > |U_{ПР2}|$ потенціал входу ІМС ОП, який не інвертує, стає додатним. За рахунок дії ДЗЗ (резистори R3, R4) схема швидко (лавиноподібно) змінює свій стан і вихідна напруга стає рівною $+U_{НАС}$.

Діод VD2 закритий, а напруга на вході, який не інвертує :

$$U_{H1} = U_{ПР1} = U_{НАС} \cdot \frac{R3}{R3 + R4}. \quad (9.20)$$

Конденсатор C1 заряджається. Коли напруга на ньому досягне значення U_{H1} , схема швидко переключиться (повернеться) у вихідний стан ($U_{ВНХ} = -U_{НАС}$).

Ємність C1 перезаряджається. Коли від'ємна напруга на конденсаторі за модулем стає більше, ніж $|U_{VD1.ПР}|$, діод VD1 відкривається, зашунтовує C1 і його подальше перезарядження припиняється. Напруга на конденсаторі фіксується на рівні $U_{C1} = -U_{VD.ПР}$ (частки вольт). Таким чином, у відповідь на подачу вхідного короткого імпульсу, що запускає,

на виході МВ формується одиночний імпульс заданої тривалості $t_{im} = t_2 - t_1$.

Час перезарядження ємності С1 від величини $+U_{H1}$ до $-U_{VD1.ПР}$ називається часом відновлення $t_{vid} = t_3 - t_2$.

Ланцюжок С2, R2 (рисунок 9.5, а) є диференціюючим. Діод VD2 виконує функцію вентиля.

Період зовнішніх імпульсів, що запускають, $T_{зАП}$ повинний бути більше $(t_{im} + t_{vid})$:

$$T_{зАП} \geq (t_{im} + t_{vid}).$$

Виведення співвідношень, що визначають тривалості вихідного імпульсу t_{im} та часу відновлення t_{vid} , наведено у підрозділі 9.6.

9.6 Виведення виразів, що визначають тривалість вихідного імпульсу t_{im} і часу відновлення t_{vid} мультівібраторів, що чекають

При виведенні виразів для визначення t_{im} та t_{vid} скористаємося відомостями з дисципліни ТЕМК, які наведено у підрозділі 9.4.

Визначення t_{im}

У момент часу $t = t_1$ (початок формування вихідного імпульсу) вихідна напруга

$$U_{вих} = E = +U_{HAC}; U_{C1}(0) = U_{C1}(t_1) = -U_{VD1.ПР} \approx 0; \tau_{им} = R1 \cdot C1.$$

У момент закінчення формування вихідного імпульсу $(t = t_2)$

$$U_{C1}(t_2) = \frac{+U_{HAC} \cdot R4}{R3 + R4}.$$

Якщо в рівняння (9.4) замість t підставити $t = t_2 - t_1 = t_{im}$, то це рівняння буде мати вигляд

$$U_{c1}(t_{im}) = U_{H1} = U_{HAC} - (U_{HAC} - 0) \cdot e^{-t_{im}/\tau_{im}}. \quad (9.21)$$

Підставивши в (9.21) значення U_{H1} з 9.20 отримаємо

$$\frac{U_{HAC} \cdot R3}{R3 + R4} = U_{HAC} - (U_{HAC} - 0) \cdot e^{-t_{im}/\tau_{im}}. \quad (9.22)$$

Розділивши ліву і праву частини (9.22) на U_{HAC} , запишемо

$$\begin{aligned} \frac{R3}{R3 + R4} &= 1 - e^{-t_{im}/\tau_{im}}; \\ e^{-t_{im}/\tau_{im}} &= 1 - \frac{R3}{R3 + R4} = \frac{R4}{R3 + R4}; \\ e^{t_{im}/\tau_{im}} &= \frac{R3 + R4}{R4} = 1 + \frac{R3}{R4}. \end{aligned} \quad (9.23)$$

Логарифмуючи ліву і праву частини (9.23) отримаємо вираз для визначення тривалості імпульсу

$$t_{im} = \tau_{im} \cdot \ln\left(1 + \frac{R3}{R4}\right) = R1 \cdot C1 \cdot \ln\left(1 + \frac{R3}{R4}\right). \quad (9.24)$$

Визначення $t_{від}$

У момент часу $t = t_2$ (початок часу відновлення)

$$U_{вих} = E = -U_{HAC}; U_{C1}(0) = U_{H1} = \frac{U_{HAC} \cdot R3}{R3 + R4}; \tau_{им} = R1 \cdot C1.$$

Наприкінці часу відновлення ($t = t_3$) напруга на ємності $U_{C1}(t_3) = -U_{VD1.ПП} \approx 0$.

Якщо в рівняння (9.4) замість t підставити $t = t_3 - t_2 = t_{від}$, то це рівняння буде мати вигляд

$$U_{C1}(t_{від}) = 0 = -U_{HAC} - \left[-U_{HAC} - \frac{U_{HAC} \cdot R3}{R3 + R4} \right] \cdot e^{-t_{від}/\tau_{им}}. \quad (9.25)$$

Розділивши ліву і праву частини (9.25) на U_{HAC} , запишемо

$$0 = -1 + \left[1 + \frac{R3}{R3 + R4} \right] \cdot e^{-t_{від}/\tau_{им}};$$

$$1 = \left(\frac{2R3 + R4}{R3 + R4} \right) \cdot e^{-t_{від}/\tau_{им}};$$

$$e^{t_{від}/\tau_{им}} = \left(\frac{2R3 + R4}{R3 + R4} \right); \quad (9.26)$$

Логарифмуючи ліву і праву частини (9.26) отримаємо вираз для визначення часу відновлення

$$t_{від} = R1 \cdot C1 \cdot \ln \left(\frac{2R3 + R4}{R3 + R4} \right). \quad (9.28)$$

Регулювання тривалості імпульсу одновібратора $t_{им}$ може здійснюватися такими способами:

– змінням $R1$ чи $C1$ (останнє звичайно не застосовується, тому що конденсатор зі змінною ємністю має великі габарити і масу), при цьому змінюється швидкість зарядження конденсатора $C1$;

– зміною співвідношення $R3/R4$. При цьому змінюється напруга спрацьовування компаратора U_{H1} , а разом з ним і час, під час якого напруга на конденсаторі наростає до величини U_{H1} .

При використанні одновібратора не слід забувати, що схеми з ДЗЗ мають низьку завадостійкість. У вихідному стані напруга на прямому вході ІМС ОП $U_{пр} = U_{H2}$ повинна бути набагато більше рівня завад. Природно, що й амплітуда вхідного сигналу при цьому повинна бути великою, щоб забезпечити переключення компаратора на початку стадії формування імпульсу.

ПИТАННЯ ДЛЯ САМОКОНТРОЛЮ

- 1) Дайте визначення мультівібратору.
- 2) Опишіть принцип роботи автоколивального та мультівібратора, що чекає, на ІМС ОП.
- 3) Яким чином можна регулювати параметри автоколивального МВ на ІМС ОП?
- 4) У чому особливість роботи мультівібратора, що чекає, на ІМС ОП?
- 5) Як зміниться схема автоколивального МВ на ІМС ОП, якщо шпаруватість $Q=2$?
- 6) Наведіть вирази для визначення тривалості імпульсу та паузи автоколивального мультівібратора.
- 7) Назвіть способи зміни тривалості імпульсу одновібратора.

ЛІТЕРАТУРА

[1, 2, 4...13, 29]

10 ГЕНЕРАТОРИ НАПРУГИ, ЩО ЗМІНЮЄТЬСЯ ЛІНІЙНО

Генератори напруги, що змінюється лінійно (ГНЗЛ), формують на виході напругу, форма якої нагадує зуби пили (рисунок 10.1). Тому ці генератори часто називають генераторами пилоподібної напруги (ГПН). Фронт і зріз вихідного сигналу ГНЗЛ (ГПН) змінюється за законом, близьким до лінійного.

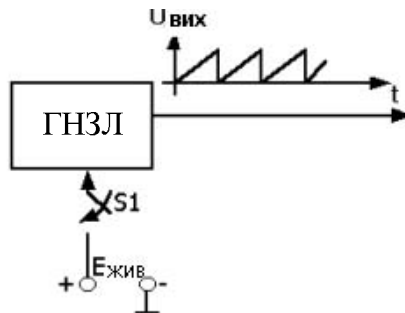


Рисунок 10.1 – Сигнал на виході автоколивального ГНЗЛ

Для створення лінійної (чи близької до лінійної) залежності напруги від часу часто використовують зарядження (чи розрядження) конденсатора постійним струмом. Найпростішу схему ГНЗЛ приведено на рисунку 10.2, а, часову діаграму – на рисунку 10.2, б.

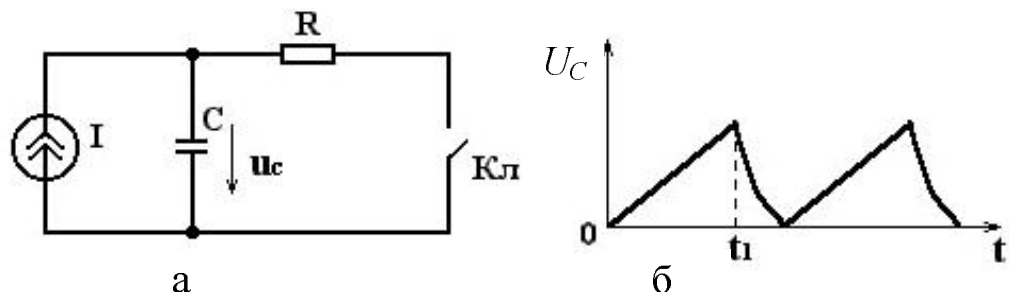


Рисунок 10.2 – Найпростіша схема для формування напруги, що змінюється лінійно

При розімкненому ключі $Kл$ конденсатор C заряджається від джерела постійного струму I і напруга на ньому наростає:

$$U_c = \frac{1}{C} \int_0^t I dt + U_c(0) = \frac{I t}{C} + U_c(0), \quad (10.1)$$

де $t = 0$ – момент початку зарядження.

У момент $t = t_1$ замикається ключ Кл і конденсатор експоненціально розряджається через ключ і резистор R, який введено у схему для обмеження розрядного струму. Після розрядження конденсатора до напруги $U_c(0) = 0$ ключ Кл може бути розімкнутим, тоді почнеться знову процес формування напруги, що лінійно наростає.

Відомі численні варіанти реалізації схеми, яку приведено на рисунку 10.2, що відрізняються способами побудови джерела струму I та ключового елемента [7, 9...13].

10.1 Генератори напруги, що змінюється лінійно, на біполярному транзисторі

На рисунку 10.3 приведено схему і часові діаграми роботи найпростішого ГНЗЛ на біполярному транзисторі (БТ).

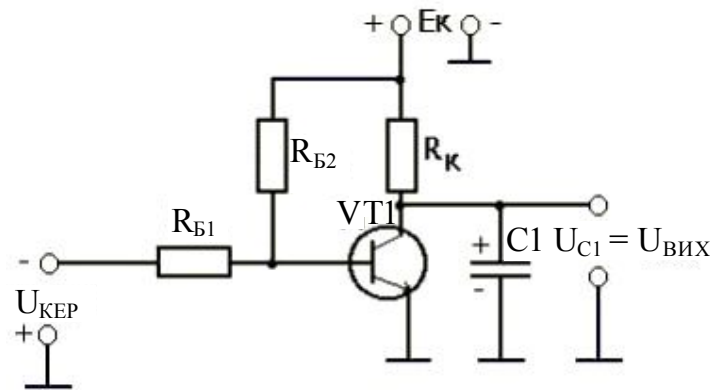
У початковому стані $U_{KEP} = 0$. Додатною напругою, що знімається з подільника напруги $+E_K(R_{B1}, R_{B2})$, транзистор VTI відкритий.

Конденсатор $C1$ майже цілком розряджений, а з виходу схеми знімається невелика напруга $U_{C1} = U_{ВИХ} = U_{KE.H}$.

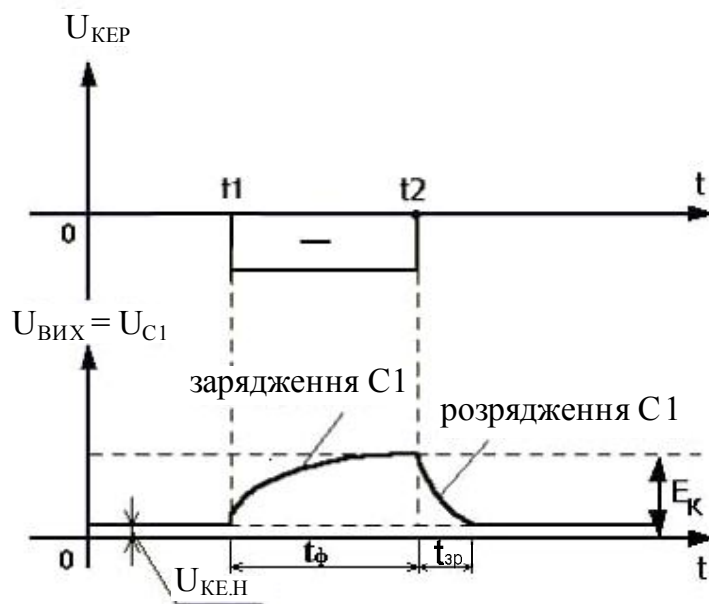
У момент часу $t = t_1$ на вхід схеми подається від'ємний імпульс, що закриває транзистор VTI . Конденсатор $C1$ заряджається за ланцюжком: $+E_K; R_K; C1; GND$ (земля).

У момент часу $t = t_2$ вхідний імпульс закінчується, знову $U_{KEP} = 0$ і VTI – відкривається. Конденсатор $C1$ розряджається через відкритий транзистор до напруги $U_{KE.H}$, за величиною близькою до нуля.

З виходу знімається експоненціальний імпульс, що лише в першому наближенні можна вважати лінійним. Тривалість фронту цього імпульсу значно більша тривалості зрізу ($t_{\phi} \gg t_{зр}$), тому що стала зарядження $C1$ значно більша сталої розрядження ($\tau_{зар} \gg \tau_{розр}$).



а



б

Рисунок 10.3 – Найпростіший ГНЗЛ із зовнішнім запуском на БТ:

а – схема; б – часові діаграми роботи

Великі техніко-економічні переваги мають схеми ГНЗЛ, які побудовано на ІМС. Серед них широке поширення отримали схеми на ІМС ОП.

10.2 Генератори напруги, що змінюється лінійно, на інтегральній мікросхемі операційного підсилювача

ГНЗЛ на ІМС ОП поділяються на два види:

- із зовнішнім запуском;
- автоколивальні.

10.2.1 Генератори напруги, що змінюється лінійно, на інтегральній мікросхемі операційного підсилювача з зовнішнім запуском

Схема ГНЗЛ на ІМС ОП із зовнішнім запуском (рисунок 10.4, а) містить аналоговий компаратор (АК) і активний інтегратор (АІ).

Зовнішні імпульси, що запускають, подаються на вхід АК, який не інвертує, та який виконано на ІМС ОП (DA1). На вході АК, що інвертує, постійно присутня додатна (еталонна) напруга $+E_{ET} = const$.

Коли імпульс, що запускає, відсутній, то $U_{AK} = -U_{HAC}$. При надходженні на вхід компаратора керуючого імпульсу з амплітудою $U_{KEP.m} > U_{ET}$ напруга на виході АК стрибком переключається і приймає значення $U_{AK} = +U_{HAC}$.

Таким чином, на вхід активного інтегратора, який виконано на ІМС ОП (DA2), надходять різнополярні імпульси, що знімаються з виходу АК.

Коли $U_{AK} = +U_{HAC}$, то діод VD1 – відкритий, а VD2 – закритий і інтегруючий ланцюг утворюють резистор R1 і конденсатор C1, який включено у ланцюг від'ємного зворотного зв'язку (B33) мікросхеми DA2.

Якщо $U_{AK} = -U_{HAC}$, то VD1 – закритий, VD2 – відкритий і до інтегруючого ланцюга входять резистор R2 і конденсатор C1.

Відомо, що при подачі на вхід АІ стрибка постійної напруги, його вихідний сигнал змінюється за законом, близьким до лінійного:

$$U_{ВИХ} = -\frac{1}{RC} \int_0^t U_{ВХ} dt + U_{ВИХ}(0) = -\frac{U_{ВХ} \cdot t}{RC} + U_{ВИХ}(0), \quad (10.2)$$

де $RC = \tau_{инт}$ – стала часу АІ;

$U_{ВХ}$ – значення постійної вхідної напруги; $U_{ВИХ}(0)$ – початкове значення постійного вихідного сигналу в момент подачі стрибка на вході.

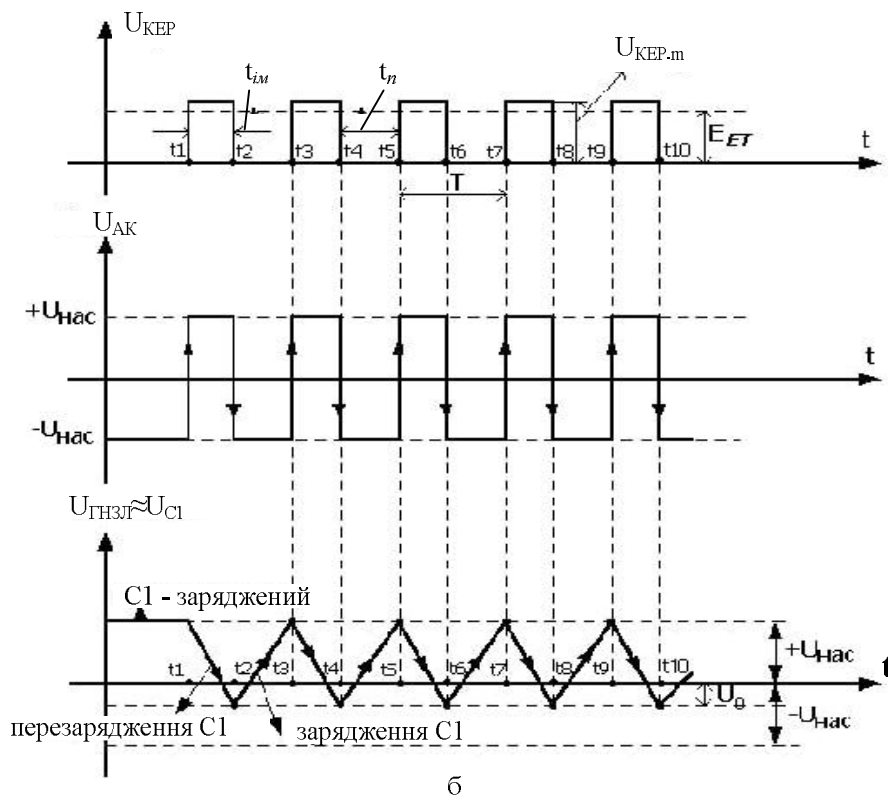
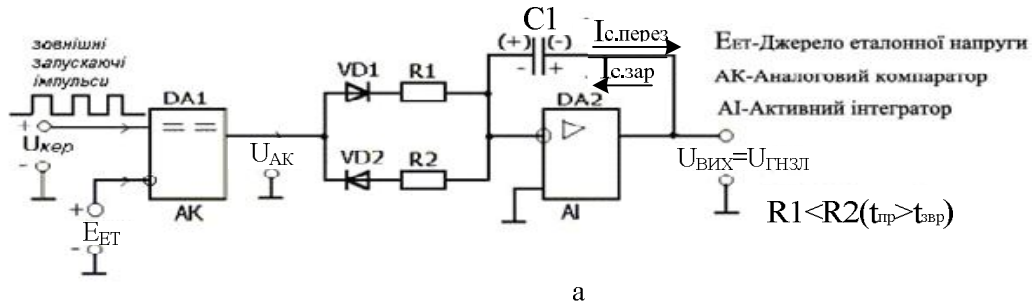


Рисунок 10.4 –ГНЗЛ, який чекає: а – схема; б – часові діаграми роботи

10.2.1.1 Виведення основних розрахункових співвідношень

У початковому стані $U_{КЕР} = 0; U_{АК} = -U_{НАС}; U_{ВИХ} = U_{ГНЗЛ} = +U_{НАС}$, конденсатор $C1$ заряджений за ланцюжком:

$$U_{ВНХ} = +U_{НАС}; C1; R2; VD2; GND.$$

Якщо $U_{КЕР} \neq 0; t = t_1; U_{КЕР} > 0$ (на вході – імпульс), то $U_{АК} = +U_{НАС}$. Конденсатор $C1$ перезаряджається (розряджається) за ланцюжком: $+U_{НАС}; VD1; R1; C1; GND$. Вихідна напруга змінюється за лінійним законом:

$$U_{ГНЗЛ} = -\frac{1}{R1 \cdot C1} \int_0^t U_{НАС} dt + U_{ВНХ}(0), \quad (10.3)$$

де $U_{ВНХ}(0) = +U_{НАС}$. Тоді

$$U_{ГНЗЛ} = -\frac{U_{НАС} \cdot t_{ім}}{R1 \cdot C1} + U_{НАС} = U_0, \quad (10.4)$$

де U_0 – напруга, до якої ємність $C1$ перезарядиться за час вхідного імпульсу $t_{ім}$ (рисунок 10.4, б).

Якщо $U_{КЕР} = 0(t = t_2)$, то $U_{АК} = -U_{НАС}$. Конденсатор $C1$ заряджається за ланцюжком: $U_{ВНХ}; C1; R2; VD2; GND$.

Вихідна напруга змінюється за лінійним законом:

$$U_{ГНЗЛ} = \frac{1}{R2 \cdot C1} \int_0^t U_{НАС} dt + U_{ВНХ}(0), \quad (10.5)$$

де $U_{ВНХ}(0) = U_0$. Тоді

$$U_{ГНЗЛ} = \frac{U_{НАС} \cdot t_n}{R2 \cdot C1} + U_0. \quad (10.6)$$

10.2.1.2 Умова нормальної роботи схеми

Для нормального функціонування цієї схеми необхідно, щоб зміна напруги на конденсаторі (вихідної напруги) за час вхідного керуючого імпульсу $(\Delta U_{C.розр})$ дорівнювала зміні напруги на конденсаторі (вихідної напруги) за час паузи вхідного сигналу $(\Delta U_{C.зар})$.

$$\Delta U_{C.розр}(\Delta t = t_{im}) = \Delta U_{C.зар}(\Delta t = t_n). \quad (10.7)$$

Якщо ввести поняття крутизни (швидкості зміни) вихідного сигналу

$$S = \frac{dU_{ГНЗЛ}}{dt}, \quad (10.8)$$

то вираз (10.7) можна записати у виді

$$\left. \begin{aligned} -t_{im} \cdot S_{спад} &= t_n \cdot S_{нар}; \\ -t_{im} \left(-\frac{U_{НАС}}{R1 \cdot C1} \right) &= t_n \cdot \frac{U_{НАС}}{R2 \cdot C1}. \end{aligned} \right\} \quad (10.9)$$

Звідкіля отримаємо умову нормального функціонування схеми

$$\frac{t_{im}}{t_n} = \frac{R1}{R2}. \quad (10.10)$$

10.2.1.3 Два основних варіанти співвідношення параметрів схеми генератора напруги, що змінюється лінійно, і вхідних керуючих імпульсів

1. Якщо забезпечити виконання співвідношень

$$t_{im} = R1 \cdot C1; t_n = R2 \cdot C1, \quad (10.11)$$

то з виразу (10.4) одержимо

$$U_{ГНЗЛ} = -\frac{U_{НАС} \cdot R1 \cdot C1}{R1 \cdot C1} + U_{НАС} = U_0 = 0. \quad (10.12)$$

Підставивши $t_n = R2 \cdot C1$ і $U_0 = 0$ у (10.6), одержимо:

$$U_{ГНЗЛ} = \frac{U_{НАС} \cdot R2 \cdot C1}{R2 \cdot C1} + 0 = U_{НАС}. \quad (10.13)$$

Форму зміни вихідного сигналу в цьому випадку приведено на рисунку 10.5.

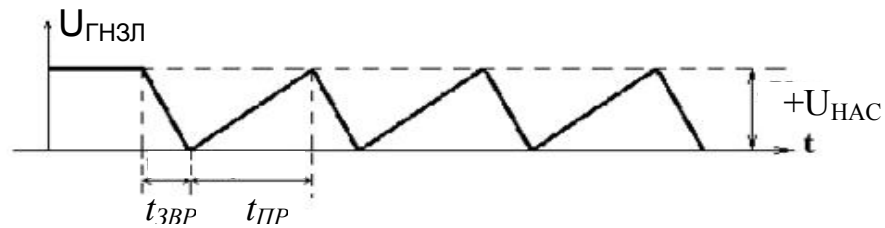


Рисунок 10.5 – Форма зміни вихідного сигналу

На рисунку 10.5 прийнято позначення:

t_{np} – тривалість наростаючої ділянки пили (прямого ходу);

$t_{звр}$ – тривалість спадаючої ділянки пили (зворотного ходу).

Очевидно, що якщо $t_{np} = t_n$, а $t_{звр} = t_{im}$, то $R2 > R1$, тому що $t_{np}(t_n) > t_{звр}(t_{im})$.

2. Якщо забезпечити виконання співвідношень

$$t_{im} = 2R1 \cdot C1; t_n = 2R2 \cdot C1, \quad (10.14)$$

то з виразу 10.8 отримаємо

$$U_{ГНЗЛ} = -\frac{U_{НАС} \cdot 2R1 \cdot C1}{R1 \cdot C1} + U_{НАС} = -U_{НАС} = U_0. \quad (10.15)$$

Підставивши $t_n = 2R2 \cdot C1$ і $U_0 = -U_{НАС}$ у (10.6), отримаємо

$$U_{ГНЗЛ} = \frac{U_{НАС} \cdot 2R2 \cdot C1}{R2 \cdot C1} - U_{НАС} = U_{НАС}. \quad (10.16)$$

Форму зміни вихідного сигналу в цьому випадку приведено на рисунку 10.6.

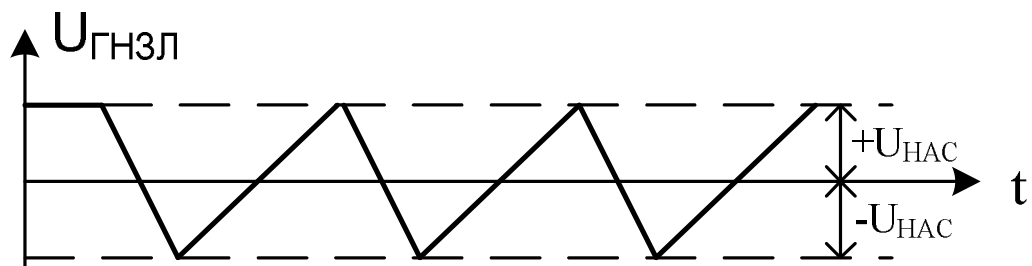


Рисунок 10.6 – Форма зміни вихідного сигналу

10.2.1.4 Генератори напруги, що змінюється лінійно, із зовнішнім запуском і стабілітронами у зворотному зв'язку

З огляду на можливу нестабільність крутизни і тривалості t_{im} і t_n , орієнтуватися на виконання умови (10.10) у схемі (рисунок 10.4, а) не реально. У практичних схемах максимальне і мінімальне значення напруги $U_{ГНЗЛ}$ обмежуються. У схемі на рисунку 10.7, а для обмеження $U_{ГНЗЛ}$ введено стабілітрони $VD3$ і $VD4$.

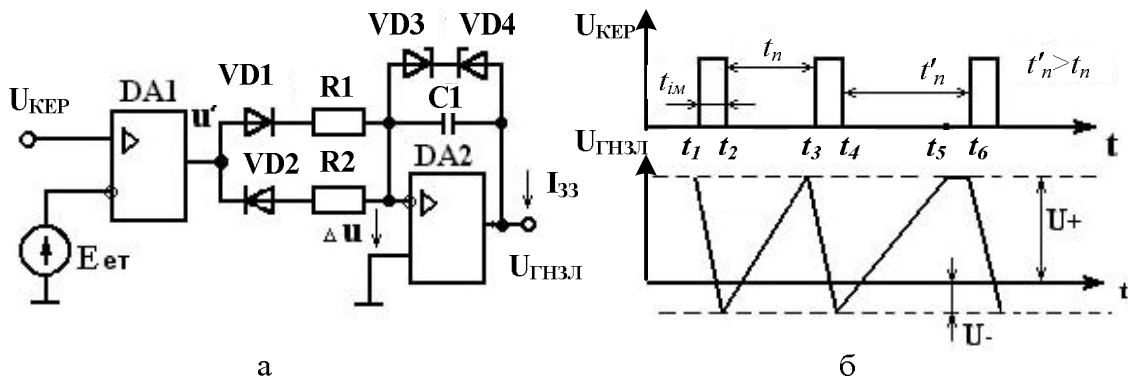


Рисунок 10.7 – ГНЗЛ з зовнішнім запуском і стабілітронами в ланцюзі ВЗЗ:

а – схема; б – часові діаграми роботи

Як показано раніше, напруга між входами ОП інтегратора $\Delta U \approx 0$. При $0 < U_{ГНЗЛ} < U_+$ на стабілітроні $VD4$ діє пряма напруга ($U_{VD4} > 0$), а стабілітрон $VD3$ зміщено у зворотному напрямку і через ланцюг стабілітронів проходить малий струм $I_0 \approx 0$. Таким чином, стабілітрони в цьому випадку практично не впливають на процес зарядження конденсатора. При досягненні $U_{ГНЗЛ} = U_+ = |U_{CT.VD3}|$ ($U_{CT.VD3}$ – напруга стабілізації $VD3$, який працює в режимі електричного пробою), зарядження конденсатора $C1$ припиняється і струм $I_{зз} = U'/R2$ переходить з конденсатора на ланцюжок стабілітронів. Таким чином, напругу $U_{ГНЗЛ}$

зверху обмежено значенням U_+ . Аналогічно знизу напругу $U_{ГНЗЛ}$ обмежено значенням $U_- = |U_{CT.VD4}|$, де $U_{CT.VD4}$ – напруга стабілізації VD4.

На рисунку 10.7, б показано роботу обмежувача на стабілітронах в момент t_5 . Інтервал паузи $t_4 \dots t_6$ задано досить великим ($t'_n > t_n$), тому в момент t_5 напруга ГНЗЛ досягає значення U_+ і до моменту $t = t_6$ утримується на цьому рівні. З приходом чергового імпульсу $U_{КЕР}$ починається процес формування спаду $U_{ГНЗЛ}$.

10.2.2 Автоколивальний генератор напруги, що змінюється лінійно, на інтегральній мікросхемі операційного підсилювача

Крім ГНЗЛ із зовнішнім керуванням часто застосовуються ГНЗЛ, що працюють в автоколивальному режимі (режимі автогенератора), тобто без керуючого сигналу (рисунок 10.8). Ця схема відрізняється від ГНЗЛ, який розглянуто вище (рисунок 10.4), наявністю ланцюга зворотного зв'язку (33), що зв'язує прямий вхід компаратора з виходами компаратора та інтегратора.

Напруга зворотного зв'язку U_{33} порівнюється з еталонною напругою E_{ET} , що подається на вхід АК, який інвертує. Спрацьовування компаратора відбувається, коли $U_{33} \approx E_{ET}$ (рисунок 10.8, б). При цьому на виході АК з'являється стрибок напруги, рівний $2U_{НАС}$, що приводить до стрибка напруги на прямому вході АК

$$U_{33} = \frac{2U_{НАС} \cdot R3}{R3 + R4}. \quad (10.17)$$

Оскільки напруга U_{33} залежить від двох сигналів: $U_{АК}$ і $U_{ВИХ} = U_{ГНЗЛ}$, то її значення може бути визначено за методом суперпозиції (накладення)

$$U_{33} = \frac{U_{AK} \cdot R4}{R3 + R4} + \frac{U_{ГНЗЛ} \cdot R3}{R3 + R4}. \quad (10.18)$$

Виведення основних розрахункових співвідношень автоколивального генератора напруги, що змінюється лінійно, на інтегральній мікросхемі операційного підсилювача наведено у підрозділах 10.2.2.1 та 10.2.2.2.

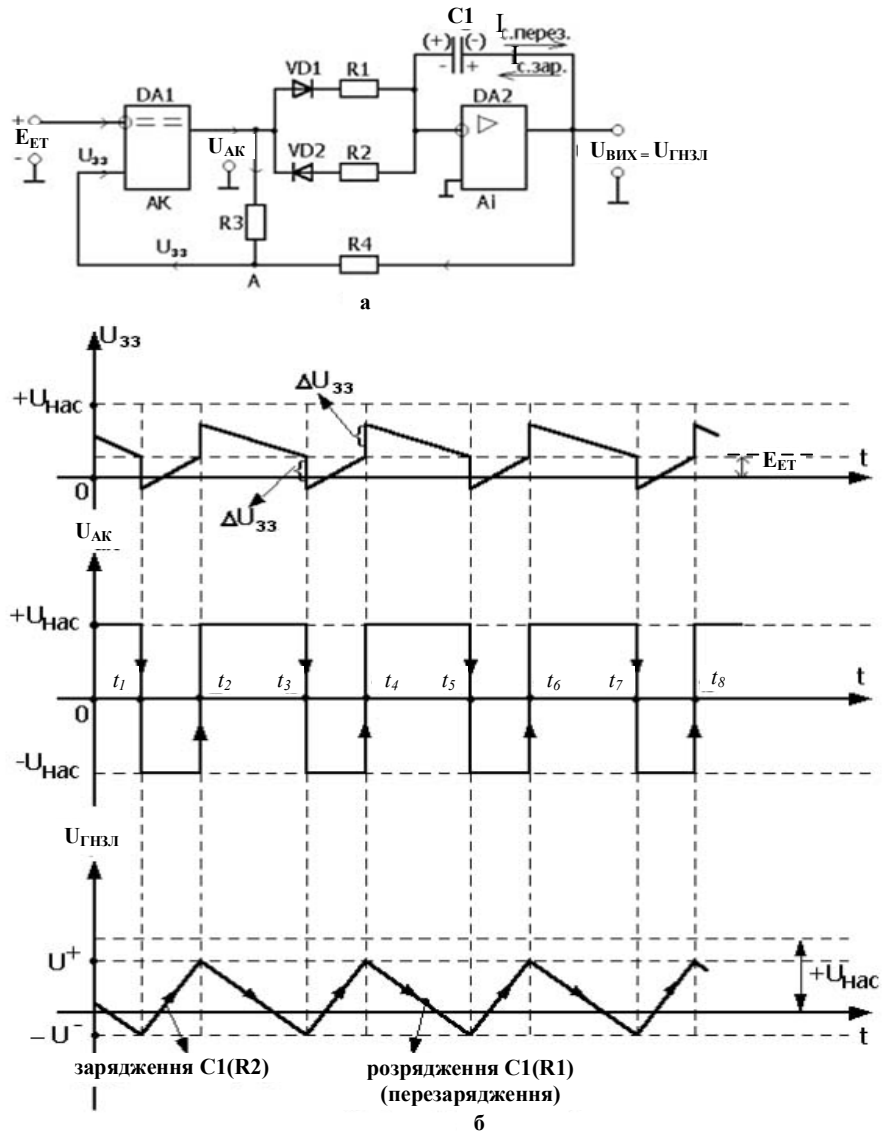


Рисунок 10.8 – Автоколивальний ГНЗЛ: а – схема;
б – часові діаграми роботи

10.2.2.1 Виведення основних розрахункових співвідношень автоколивального генератора напруги, що змінюється лінійно, на інтегральній мікросхемі операційного підсилювача

Схему, часові діаграми роботи та основні розрахункові співвідношення наведено у підрозділі 10.2.2. У момент часу $t = t_2$ (рисунок 10.8) наприкінці зарядження $C1$ до переключення компаратора $U_{AK} = -U_{HAC}$, а $U_{ГНЗЛ} = U^+$. З огляду на те, що в момент переключення $U_{33} \approx E_{ET}$, а також скориставшись виразом (10.18) запишемо

$$U_{33}(t_2) = -\frac{U_{HAC} \cdot R4}{R3 + R4} + U^+ \cdot \frac{R3}{R3 + R4} = E_{ET}. \quad (10.19)$$

У момент часу $t = t_3$ наприкінці перезарядження $C1$ до переключення компаратора $U_{AK} = +U_{HAC}$, $U_{ГНЗЛ} = -U^-$. З огляду на те, що в момент переключення $U_{33} \approx E_{ET}$, а також скориставшись виразом (10.18) запишемо

$$U_{33}(t_3) = \frac{U_{HAC} \cdot R4}{R3 + R4} - U^- \cdot \frac{R3}{R3 + R4} = E_{ET}. \quad (10.20)$$

10.2.2.2 Вплив параметрів схеми на форму вихідного сигналу

Припустимо, що необхідно сформувати вихідну напругу за формою, яку представлено на рисунку 10.9. Напруга на виході такого ГНЗЛ змінюється від $U^- = 0$ до $U^+ = +U_{HAC}$.

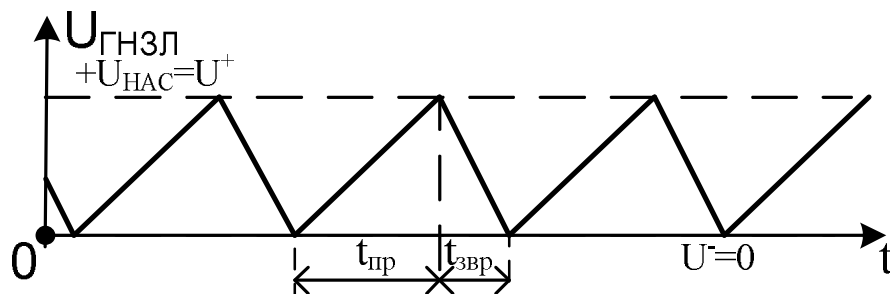


Рисунок 10.9 – Напруга на виході ГНЗЛ, у якого $U^- = 0$, а $U^+ =$

$+U_{HAC}$

Якщо у вираз 10.20 підставити $U^- = 0$, то отримаємо

$$\frac{U_{HAC} \cdot R4}{R3 + R4} = E_{ET}. \quad (10.21)$$

Якщо у вираз 10.19 підставити E_{ET} з 10.21, то отримаємо

$$\frac{U_{HAC} \cdot R4}{R3 + R4} = -\frac{U_{HAC} \cdot R4}{R3 + R4} + \frac{U^+ \cdot R3}{R3 + R4}, \quad (10.22)$$

звідки

$$U^+ = \frac{2U_{HAC} \cdot R4}{R3}. \quad (10.23)$$

Якщо $R3=2R4$, то $U^+ = U_{HAC}$, а $U^- = 0$, тобто вихідна напруга має вид, який представлено на рисунку 10.9.

10.2.2.3 Зв'язок параметрів вихідного сигналу генератора напруги, що змінюється лінійно: $t_{np}, t_{звр}$ зі значеннями резисторів $R1, R2$

Аналогічно ГНЗЛ, який чекає, та який розглянуто вище, величина зміни вихідної напруги в процесі розрядження конденсатора в автоколивальному ГНЗЛ (рисунок 10.8) повинна дорівнювати зміні $U_{ГНЗЛ}$ у процесі зарядження CI

$$-S_{спаду} \cdot t_{звр} = S_{нар} \cdot t_{np}. \quad (10.24)$$

При розрядженні CI на вхід АІ подається напруга $+U_{HAC}$. Тоді

$$U_{ГНЗЛ} = -\frac{1}{R1 \cdot C1} \int_0^t U_{HAC} dt + U^+.$$

Крутизна на падаючій ділянці

$$S_{спаду} = \frac{dU_{ГНЗЛ}}{dt} = -\frac{U_{HAC}}{R1 \cdot C1}. \quad (10.25)$$

При зарядженні C1 на вхід АІ надходить напруга: $-U_{\text{HAC}}$.

$$\text{Тоді } U_{\text{ГНЗЛ}} = -\frac{1}{R2 \cdot C1} \int_0^t (-U_{\text{HAC}}) dt - U^-.$$

Крутизна на наростаючій ділянці

$$S_{\text{нар}} = \frac{dU_{\text{ГНЗЛ}}}{dt} = \frac{U_{\text{HAC}}}{R2 \cdot C1}. \quad (10.26)$$

Підставивши (10.25), (10.26) у (10.24) отримаємо

$$-\left(-\frac{U_{\text{HAC}}}{R1 \cdot C1}\right) \cdot t_{\text{ЗВР}} = \frac{U_{\text{HAC}}}{R2 \cdot C1} \cdot t_{\text{ПР}}, \quad (10.27)$$

звідки

$$\frac{t_{\text{ПР}}}{t_{\text{ЗВР}}} = \frac{R2}{R1}. \quad (10.28)$$

10.3 Застосування генераторів напруги, що змінюється лінійно

Схему, яку приведено на рисунку 10.7, можна використати також і як автоколивальний мультивібратор. У цьому випадку вихідна напруга знімається з виходу компаратора.

ГНЗЛ широко застосовується в техніці. На їхній основі будуються системи розгортки електронно-променевих трубок. ГНЗЛ використовуються в широтно-імпульсних тиристорних перетворювачах і т. ін. Дуже велику роль у сучасній техніці відіграють перетворювачі різних фізичних величин в електричні сигнали, наприклад, перетворювачі напруги в часовий інтервал, у число імпульсів, у зсув за фазою.

Як приклад подібних пристроїв розглянемо імпульсний пристрій, структурну схему якого приведено на рисунку 10.10, а; а часові діаграми роботи приведено на рисунку 10.10, б. Пристрій складається з ГНЗЛ, який

зв'язано з входом компаратора АК, який інвертує. На другий вхід АК подається вхідний (перетворюваний) сигнал U_{BX} . Компаратор через діод VD1 зв'язано з першим виходом схеми (R_{H1}) і з керуючим ланцюгом ключа Кл, що підключає мультивібратор МВ до другого виходу (R_{H2}).

Компаратор АК фіксує рівність $U_{ГНЗЛ}(t) = U_{BX}(t)$. У момент t_2 (рисунок 10.10, б) $U_{ГНЗЛ} = S_H(t_2 - t_1) = U_{BX}$, де $(t_2 - t_1) = t_{im}$, S_H – крутість наростаючої ділянки $U_{ГНЗЛ}$, звідси $t_{im} = U_{BX} / S_H$.

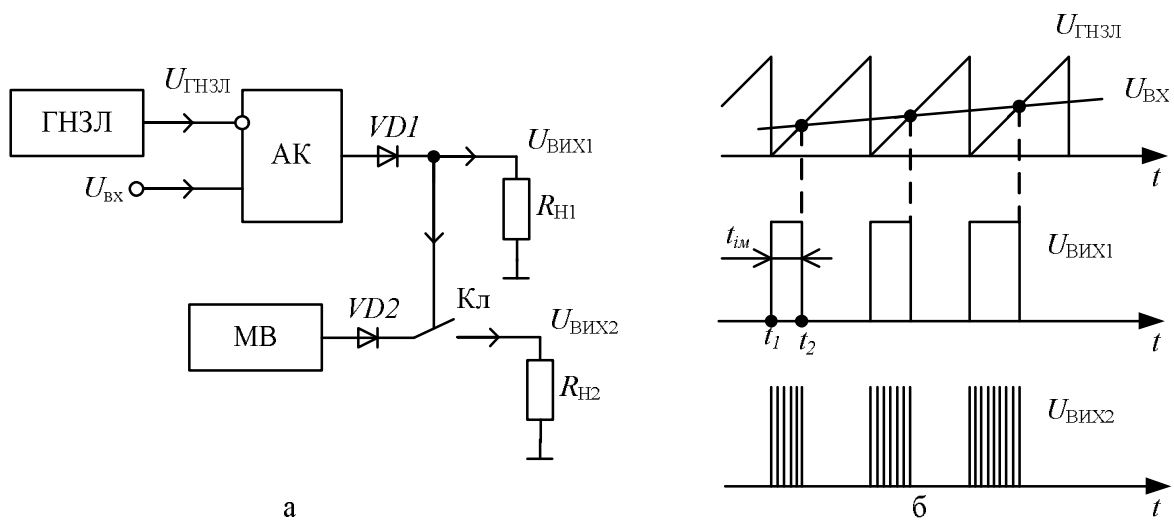


Рисунок 10.10 – Перетворювач напруги в ширину та число імпульсів:

а – структурна схема; б – часові діаграми роботи

При переключеннях компаратора на його виході формуються прямокутні імпульси, тривалість яких прямо пропорційна поточному значенню U_{BX} . При $U_{ВИХ1} > 0$ замикається ключ Кл і в навантаження R_{H2} надходить пачка імпульсів з виходу мультивібратора, число яких прямо пропорційне тривалості t_{im} і, отже, напрузі U_{BX} . Таким чином, пристрій є перетворювачем напруги в ширину та число імпульсів.

ПИТАННЯ ДЛЯ САМОКОНТРОЛЮ

- 1) Запишіть формулу для обчислення вихідної напруги ГНЗЛ на ІМС ОП із зовнішнім запуском.
- 2) Поясніть умову нормального функціонування ГНЗЛ, що чекає, та автоколивального ГНЗЛ.
- 3) Поясніть часові діаграми роботи ГНЗЛ на біполярному транзисторі.
- 4) Як параметри схеми ГНЗЛ впливають на форму вихідної напруги?
- 5) Поясніть роботу ГНЗЛ із стабілітронами у ланцюзі ВЗЗ.
- 6) Наведіть схему перетворювача напруги в ширину та число імпульсів,
- 7) та поясніть її роботу.
- 8) Наведіть вирази для визначення тривалості вихідного імпульсу та часу відновлення МВ, що чекає .
- 9) Які вимоги пред'являються до періоду зовнішніх імпульсів запуску МВ, що чекає ?
- 10) Які вузли входять до складу ГНЗЛ на ІМС ОП?
- 11) Поясніть принцип формування пилкоподібної напруги.
- 12) Поясніть роботу ГНЗЛ, що чекає, та автоколивального ГНЗЛ?

ЛІТЕРАТУРА

[1, 2, 4...13, 29]

11 ЦИФРО-АНАЛОГОВІ ПЕРЕТВОРЮВАЧІ

11.1 Структура типової локальної мікропроцесорної системи керування (ЛМПСК)

Розглянемо приклад типової локальної мікропроцесорної системи керування (ЛМПСК), структурну схему якої приведено на рисунку 11.1.

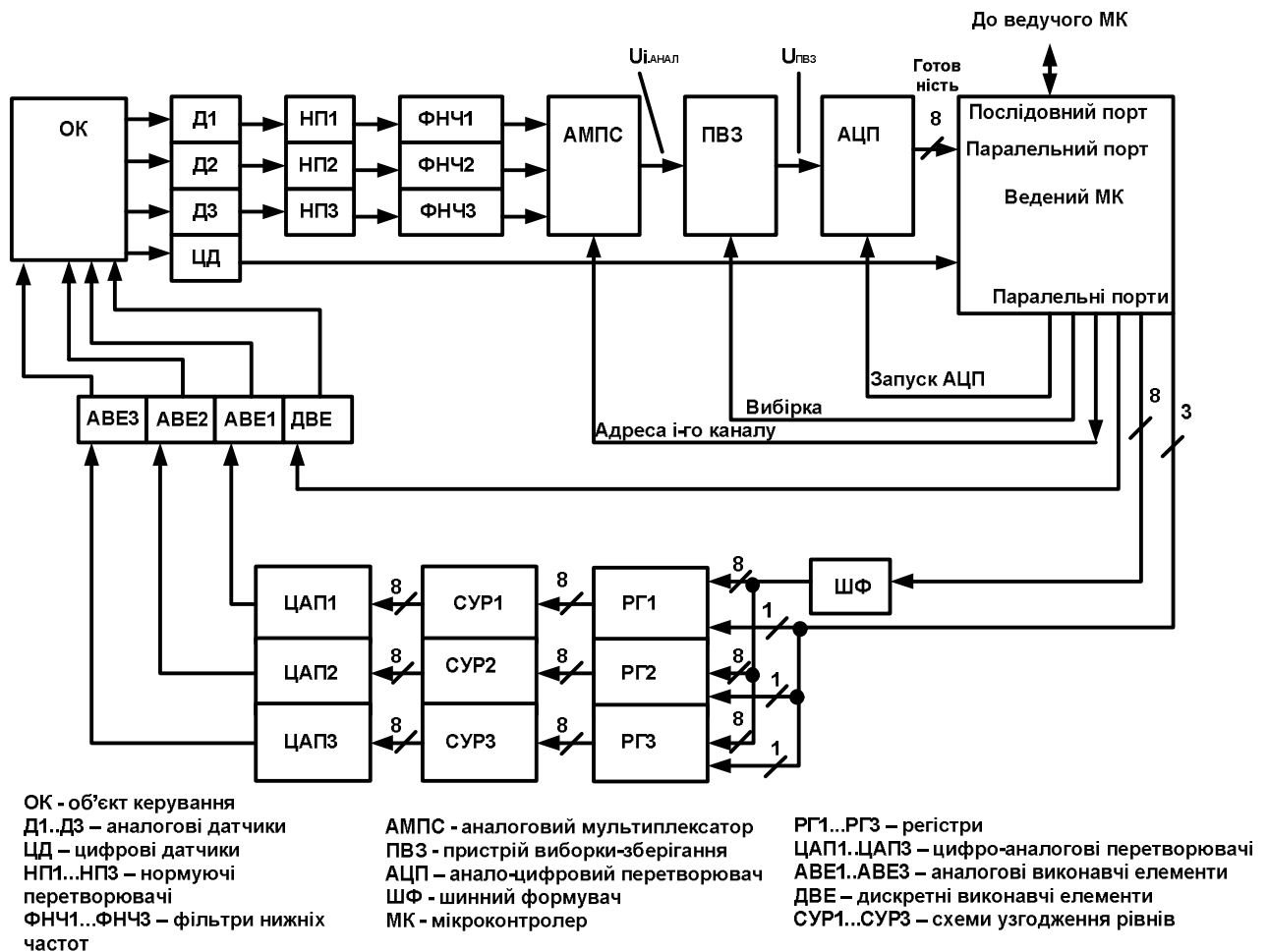


Рисунок 11.1 – Структурна схема локальної мікропроцесорної системи керування

ЛМПСК керує визначеним об'єктом керування (агрегатом) за декількома параметрами, наприклад, температура, тиск, кут повороту, переміщення і т. ін. Система названа локальною, тому що керування

виробляється і здійснюється на нижньому (локальному) рівні складної ієрархічної системи керування, що включає групу різних агрегатів (об'єктів керування). Основним елементом ЛМПСК є мікроконтролер (МК) який, називається веденим, тому що передбачається, що в складній системі мається група подібних ведених МК, які керують окремими агрегатами на локальному рівні. На більш високому рівні ієрархії системи керування може знаходитися ведучий МК, що на основі інформації про стан окремих агрегатів виробляє необхідні значення заданих керуючих впливів для ведених МК. Ведучий і ведений МК можуть бути зв'язані між собою, наприклад, спільним моноканалом [44].

ЛМПСК підтримує кожний з конкретних параметрів на заданому рівні. Інформація про поточне значення параметрів контролю знімається з аналогових датчиків (Д1...Д3) і проходить через нормуючі перетворювачі (НП1...НП3), які перетворюють діапазон зміни електричних сигналів, що знімаються з датчиків, до діапазону, що відповідає обраному аналого-цифровому перетворювачу (АЦП). Оскільки інформаційні сигнали в більшості систем керування – низькочастотні, то для придушення високочастотних завад використовуються фільтри нижніх частот (ФНЧ). Аналоговий мультиплексор по черзі підключає до АЦП один з декількох аналогових електричних сигналів, які відображають поточні значення контрольованих параметрів. У випадку, якщо за час перетворення АЦП, зміна вхідного сигналу відповідає зміні вихідного двійкового коду більше, ніж на одиницю молодшого значущого розряду (МЗР), то для зменшення так званої “апертурної” похибки, яка виникає при цьому, у систему включають пристрій вибірки-зберігання (ПВЗ). ПВЗ запам'ятовує миттєві значення вхідних аналогових сигналів у момент вибірки і підтримує їх постійними на вході АЦП протягом часу перетворення останнього. З виходу АЦП інформація в паралельному двійковому коді надходить у ведений МК, що порівнює поточне значення контрольованого параметру з

заданим значенням і виробляє керуючий вплив відповідно до сигналу неузгодженості та обраним законом керування (П, ПІ, ПД і т. ін.). Сигнали керування, що знімаються з виходу одного з паралельних портів МК, запам'ятовуються в зовнішніх регістрах РГ1...РГ3. Для підвищення навантажувальної здатності виходів МК, у системі використано шинний формувач (ШФ). Виходи РГ1...РГ3 через схеми узгодження рівнів СУР1...СУР3 зв'язано зі входами цифро-аналогових перетворювачів ЦАП1...ЦАП3, що формують аналогові керуючі впливи, які спрямовано на усунення сигналу неузгодженості і відпрацьовування аналоговими виконавчими елементами (АВЕ1...АВЕ3). СУР1...СУР3 необхідні в тих випадках, коли рівні одиничних логічних сигналів, що знімаються з виходів регістрів, не відповідають необхідним рівням одиничних сигналів на входах ЦАП. У якості СУР, як правило, використовують логічні елементи з відкритим колектором.

У загальному випадку, ЛМПСК крім аналогових датчиків і виконавчих елементів можуть містити цифрові датчики і дискретні виконавчі елементи (рисунки 11.1).

Нижче більш докладно розглядається ЦАП. Інші вузли структури ЛМПСК буде розглянуто у розділі 19.

11.2 Цифро-аналогові перетворювачі

Цифро-аналогові перетворювачі (ЦАП) призначені для перетворення цифрових сигналів в аналогові і служать для сполучення цифрових і аналогових пристроїв. Вони широко використовуються для керування аналоговими пристроями за допомогою мікроконтролерів у таких галузях техніки, як системи керування технологічними процесами (виконавчі пристрої програмованих верстатів, роботів і т. ін.); дискретна автоматика; вимірювальна автоматика; і т. ін. [14,16,18,20].

За принципом перетворення коду в напругу сучасні ЦАП поділяються на три види:

- на основі резистивної матриці R-2R з підсумовуванням струмів;
- на основі резистивної матриці R-2R з підсумовуванням напруг;
- ЦАП на конденсаторах, що переключаються.

11.2.1 Опис роботи і розрахунок цифро-аналогових перетворювачів на основі резистивної матриці R-2R з підсумовуванням струмів

11.2.1.1 Принцип дії цифро-аналогових перетворювачів на матриці R-2R з підсумовуванням струмів

Серед різних схемних виконань ЦАП широке застосування знаходить перетворювач з резистивною матрицею (РМ) R-2R із підсумовуванням струмів [14,16,20,40].

Його спрощену структуру приведено на рисунку 11.2.

На вході, що інвертує, операційного підсилювача (ОП) відповідно до заданого значення вхідного двійкового коду підсумовуються струми, зважені за двійковим законом і пропорційні значенню опорної напруги $U_{оп}$. Вхідний струм матриці І задається джерелом зовнішньої опорної напруги і послідовно поділяється в вузлах РМ R-2R за двійковим законом.

На входи $a_0, a_1, \dots, a_{n-1}$ надходять цифрові сигнали, що відповідають значенню відповідного і-го розряду вхідного двійкового коду (ДВК). Якщо на вході і-го розряду присутня логічна одиниця, то ключ $Кл_i$ переключається у верхнє положення і струм даної гілки резистивної матриці надходить на вхід, що інвертує, операційного підсилювача.

Якщо на вхід і-го розряду надходить логічний нуль, то ключ переключається в нижнє положення, і дана гілка матриці R-2R підключається до спільної шини.

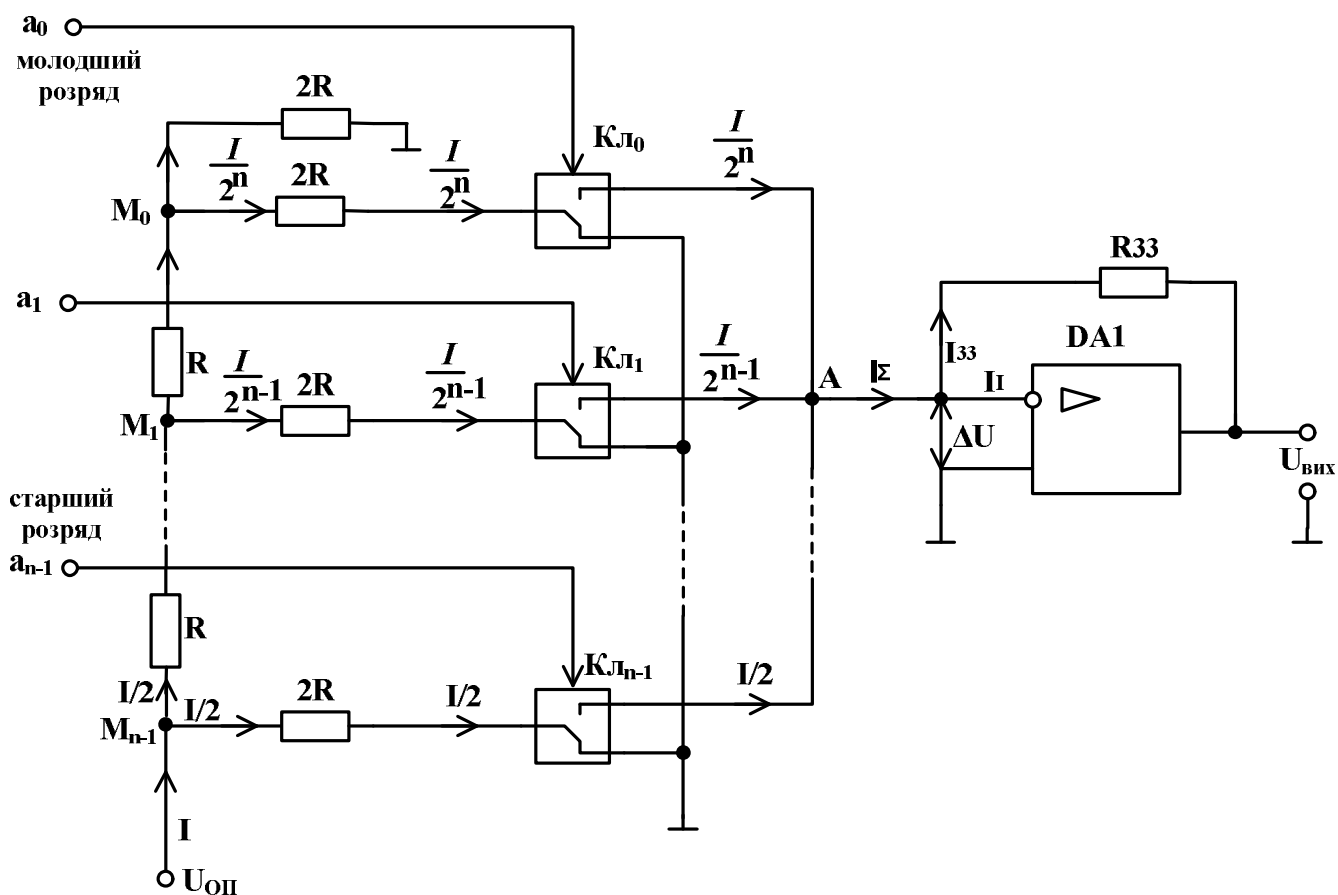


Рисунок 11.2 – Спрощена структура ЦАП з підсумовуванням струмів

Оскільки матриця резисторів є лінійним ланцюгом, її роботу можна проаналізувати методом суперпозиції, тобто внесок у вихідну напругу від кожного джерела (розряду) розрахувати незалежно один від іншого. Внески від кожного розряду підсумовуються на вході ОП і на виході з'являється результат у вигляді напруги.

11.2.1.2 Розрахунок цифро-аналогових перетворювачів на матриці R-2R з підсумовуванням струмів

Розглянемо роботу ЦАП, якщо в старшому розряді ДВК присутня логічна одиниця, а в інших розрядах – логічні нулі. Отже, ключ $K_{лn-1}$

знаходиться у верхньому положенні і підключає гілку РМ із резистором $2R$ до входу, що інвертує, ІМС ОП, а інші ключі знаходяться в нижньому положенні і підключають інші гілки матриці до спільної шини. Еквівалентну схему ЦАП для цього випадку приведено на рисунку 11.3, а. Очевидно, що еквівалентний опір РМ вище вузла M_{n-1} дорівнює $2R$. Оскільки потенціал входу, що інвертує, ОП близький до нуля, то вхідний струм I у вузлі M_{n-1} поділяється на два рівних струми $I/2$.

Для виведення виразу, що визначає вихідну напругу, прийmemo, що ІМС ОП (DA1) близька до ідеальної, тобто $K_{\text{У.ІМС ОП}} \rightarrow \infty$; $R_{\text{ВХ}} \rightarrow \infty$, тоді $\Delta U \rightarrow 0$, $I_I \rightarrow 0$. Вихідна напруга

$$U_{\text{ВІХ}(n-1)} = -I_{33} R_{33} = -\frac{I}{2} R_{33}. \quad (11.1)$$

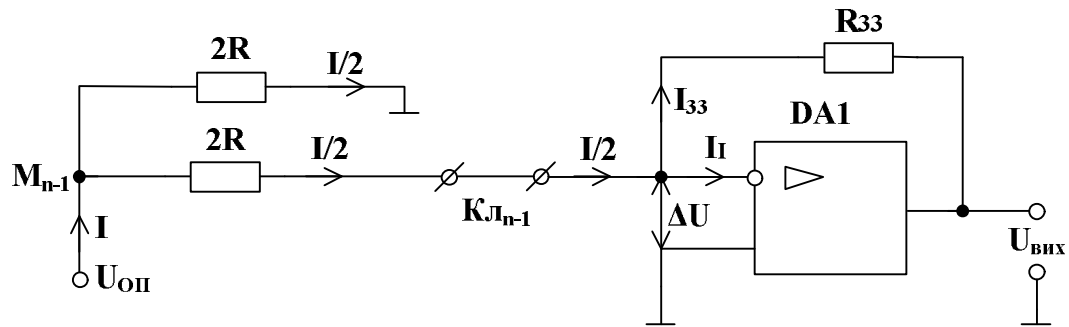
З огляду на те, що джерело опорної напруги $U_{\text{ОП}}$ навантажене опором $R_H = 2R \parallel 2R = R$, то $I = \frac{U_{\text{ОП}}}{R}$, а співвідношення (11.1) можна записати у вигляді

$$U_{\text{ВІХ}(n-1)} = -\left(\frac{U_{\text{ОП}}}{2}\right) \cdot \left(\frac{R_{33}}{R}\right). \quad (11.2)$$

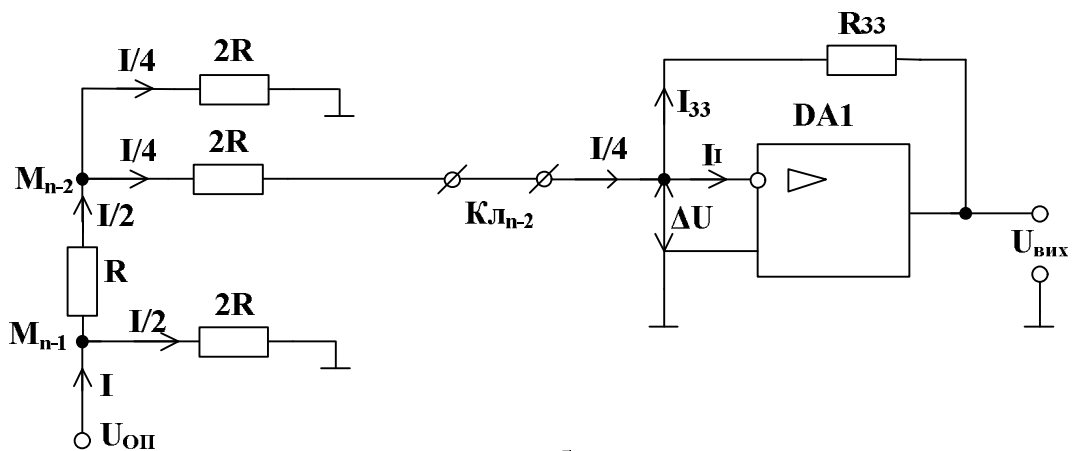
Розглянемо роботу ЦАП, якщо на вхід схеми надходить комбінація ДВК: 010...00 В. У цьому випадку ключ $K_{l_{n-2}}$ переключено у верхнє положення, а інші ключі – у нижнє. Еквівалентна схема ЦАП прийме вигляд, який представлено на рисунку 11.3, б. Струм $I/2$ у вузлі M_{n-2} знову поділяється навпіл, тому вихідна напруга, яку обумовлено розрядом $(n-2)$ дорівнює:

$$U_{\text{ВІХ}}(n-2) = -\frac{R_{33} I}{4} = -\left(\frac{U_{\text{ОП}}}{4}\right) \left(\frac{R_{33}}{R}\right). \quad (11.3)$$

Теж саме відбувається при надходженні одиниці в інших розрядах ЦАП.



а



б

Рисунок 11.3 – Еквівалентні схеми матриці R-2R:

а – при перетворенні коду 100...00B; б – при перетворенні коду 010...00B

Вираз для визначення сумарної вихідної напруги від дії одиниць у всіх розрядах вхідного ДВК прийме вигляд:

$$U_{\text{вих}} = -U_{\text{оп}} \cdot \frac{R_{33}}{R} \left(\frac{1}{2} + \frac{1}{4} + \dots + \frac{1}{2^{n-1}} + \frac{1}{2^n} \right) = -U_{\text{оп}} \cdot \frac{R_{33}}{R} \cdot \frac{1}{2^n} \sum_{i=0}^{n-1} 2^i. \quad (11.4)$$

Якщо позначити значення i-х розрядів вхідного ДВК – a_i , де a_i дорівнює 0 чи 1, то вираз (11.4) прийме вигляд:

$$U_{\text{вих}} = -U_{\text{оп}} \cdot \frac{R_{33}}{R} \cdot \frac{1}{2^n} \cdot \sum_{i=0}^{n-1} a_i \cdot 2^i. \quad (11.5)$$

Співмножник $\sum_{i=0}^{n-1} a_i \cdot 2^i$ є десятковим еквівалентом вхідного двійкового коду (представляє значення вхідного цифрового коду).

Розглянутий перетворювач називають таким, що помножує, тому що вихідна напруга пропорційна добутку з відповідним коефіцієнтом значення опорного сигналу $U_{\text{оп}}$ на значення вхідного двійкового коду.

Максимальне значення вихідної напруги (напруга в кінцевій точці шкали (діапазону) при $a_i = 1$ у всіх розрядах вхідного ДВК визначається з виразу:

$$U_{\text{вих max}} = -(1 - 2^{-n}) \cdot \left(\frac{U_{\text{оп}} \cdot R_{33}}{R} \right). \quad (11.6)$$

Мінімальна напруга на виході ЦАП при $a_i = 0$ у всіх розрядах коду дорівнює:

$$U_{\text{вих min}} = 0. \quad (11.7)$$

Коефіцієнт передачі (значення кроку квантування за рівнем), тобто розрахункове збільшення вихідної напруги при зміні вхідного коду на одиницю молодшого розряду (ціна молодшого значущого розряду (МЗР)) складає:

$$K_{\text{ЦАП}} = -\frac{U_{\text{оп}} R_{33}}{R \cdot 2^n}. \quad (11.8)$$

11.2.2 Опис роботи і розрахунок цифро-аналогових перетворювачів на основі резистивної матриці R-2R з підсумовуванням напруг

Крім ЦАП з підсумовуванням струмів існує перетворювач, що використовує режим роботи підсумовуючого елемента, близький до

холостого ходу (операційний підсилювач підсумовує напруги, рисунок 11.4).

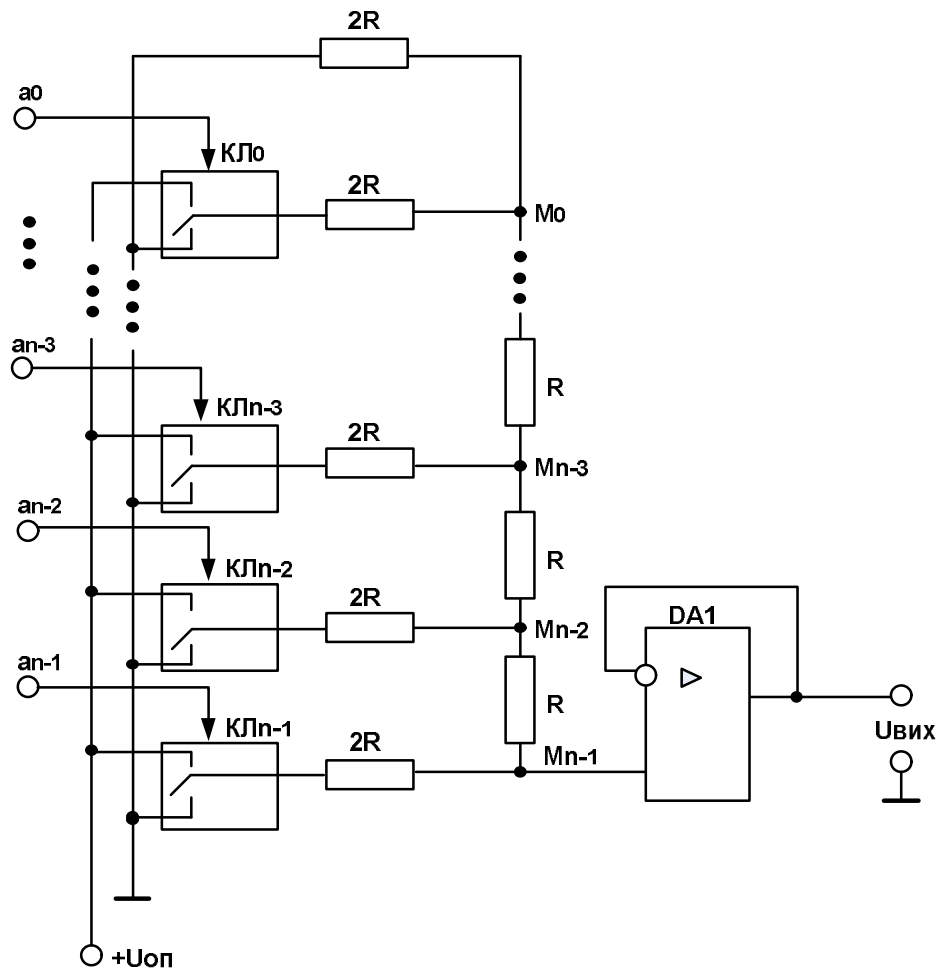


Рисунок 11.4 – n-розрядний ЦАП з матрицею R-2R та з підсумовуванням напруг

11.2.2.1 Принцип дії цифро-аналогових перетворювачів на матриці R-2R з підсумовуванням напруг

ЦАП, з підсумовуванням напруг, використовує зворотнє включення входу і виходу матриці R-2R (рисунок 11.4). На входи $a_0, a_1, a_2 \dots a_{n-1}$ надходять цифрові сигнали, які відповідають значенню i-го розряду вхідного двійкового коду. Якщо на вході i-го розряду присутня логічна одиниця, то відповідний ключ $КЛ_i$ переключається у верхнє положення та опорна напруга $U_{оп}$ через резистори матриці R-2R з

визначеним коефіцієнтом ділення подається на вхід, що не інвертує, операційного підсилювача (ОП) DA1, де відбувається підсумовування напруг.

Якщо на вхід i -го розряду надходить логічний нуль, то ключ переключається в нижнє положення, і дана гілка матриці R-2R підключається до спільної шини.

Оскільки матриця резисторів є лінійним ланцюгом, її роботу можна проаналізувати методом суперпозиції, тобто внесок у вихідну напругу від кожного джерела (розряду) розрахувати незалежно один від одного. Внески від кожного розряду підсумовуються на вході, що не інвертує, ОП і на виході отримуємо результат у вигляді напруги.

11.2.2.2 Розрахунок цифро-аналогових перетворювачів на матриці R-2R з підсумовуванням напруг

Розглянемо роботу ЦАП, якщо в старшому розряді вхідного ДВК присутня логічна одиниця, а в інших розрядах – логічні нулі. Отже, ключ $K_{l_{n-1}}$ знаходиться у верхньому положенні і підключає гілку резистивної матриці (РМ) з резистором $2R$ до джерела опорної напруги $U_{оп}$. Інші ключі знаходяться в нижньому положенні і підключають інші гілки РМ (резистори $2R$) до спільної шини. Еквівалентну схему ЦАП для цього випадку наведено на рисунку 11.5, а.

Очевидно, що еквівалентний опір РМ вище вузла M_{n-1} дорівнює $2R$. Так як вхідний опір ОП великий і останній працює в режимі, близькому до холостого ходу, то струм, створюваний джерелом $U_{оп}$ протікає через два однакових резистори $2R$, що утворюють подільник напруги $U_{оп}$. У цьому випадку напруга на виході подільника визначається з виразу:

$$U_{\text{под}} = U_{\text{н}} = \frac{U_{\text{оп}} \cdot 2R}{2R + 2R} = \frac{U_{\text{оп}}}{2}. \quad (11.9)$$

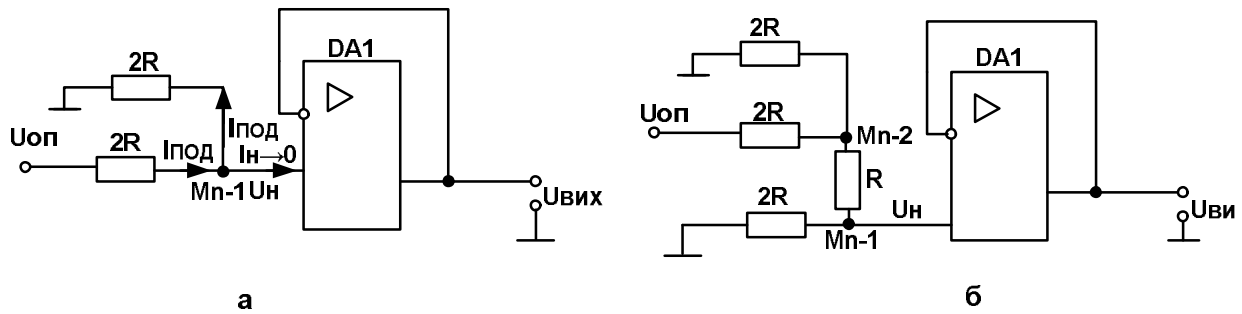


Рисунок 11.5 – Еквівалентні схеми ЦАП: а – при перетворенні коду 100...0В;
б – при перетворенні коду 010...0В

Розглянемо роботу ЦАП, якщо на вхід схеми надходить комбінація ДВК: 010...0В. У цьому випадку ключ K_{n-2} увімкнений у верхнє положення, а інші ключі – у нижнє. Еквівалентна схема ЦАП, прийме вигляд, який представлено на рисунку 11.5, б.

Розглядаючи резистори R і $2R$, розташовані нижче вузла M_{n-2} , як включені послідовно ($R_{\text{BX.DA1}} \rightarrow \infty$), заміняємо їх еквівалентним опором:

$$R + 2R = 3R. \quad (11.10)$$

Тоді напруга в точці M_{n-2} визначається виразом:

$$U_{M_{n-2}} = \frac{U_{\text{оп}} \cdot 2R \parallel 3R}{2R + 2R \parallel 3R} = \frac{U_{\text{оп}} \cdot \frac{6}{5} \cdot R}{2R + \frac{6}{5} \cdot R} = \frac{U_{\text{оп}} \cdot 3}{8}. \quad (11.11)$$

Знаючи напругу в точці M_{n-2} , можна визначити сигнал у вузлі M_{n-1}

$$U_{M_{n-1}} = U_{\text{н}} = \frac{U_{M_{n-2}} \cdot 2R}{R + 2R} = \frac{U_{\text{оп}}}{4}. \quad (11.12)$$

Аналогічним чином можна довести, що при подачі на вхід ЦАП ДВК: 001...0В напруга на вході, що не інвертує, ОП буде дорівнювати:

$$U_H = \frac{U_{\text{ОП}}}{8}. \quad (11.13)$$

І, нарешті, при надходженні коду: 00...01 В напруга

$$U_H = \frac{U_{\text{ОП}}}{2^n}. \quad (11.14)$$

Оскільки коефіцієнт передачі розглянутого підсумовуючого операційного підсилювача $K_{\text{У.ІМС ОП}} = 1$, то вираз для визначення сумарної вихідної напруги від дії одиниць у всіх розрядах вхідного ДВК прийме вигляд:

$$U_{\text{Вих max}} = U_{\text{ОП}} \left(\frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \dots + \frac{1}{2^n} \right) = \frac{U_{\text{ОП}}}{2^n} \sum_{i=0}^{n-1} 2^i. \quad (11.15)$$

Якщо позначити значення i -х розрядів вхідного ДВК як a_i , де a_i дорівнює 0 чи 1, то останній вираз перетвориться до вигляду:

$$U_{\text{Вих}} = \frac{U_{\text{ОП}}}{2^n} \sum_{i=0}^{n-1} a_i \cdot 2^i. \quad (11.16)$$

Співмножник $\sum_{i=0}^{n-1} a_i \cdot 2^i$ є десятковим еквівалентом вхідного двійкового коду (представляє десяткове значення вхідного цифрового коду).

Розглянутий перетворювач називають таким, що помножує, тому що вихідна напруга пропорційна добутку значення опорного сигналу $U_{\text{ОП}}$ на значення вхідного цифрового коду з відповідним коефіцієнтом.

Коефіцієнт передачі, тобто розрахункове збільшення вихідної напруги при зміні вхідного коду на одиницю молодшого розряду (ціна молодшого значущого розряду (МЗР)) складає:

$$K_{\text{ЦАП}} = \frac{U_{\text{оп}}}{2^n} \left[\frac{B}{MЗР} \right]. \quad (11.17)$$

11.2.3 Опис і розрахунок ЦАП на базі мікросхем цифро-аналогових перетворювачів, що реалізують розглянуті вище принципи перетворення

11.2.3.1 Цифро – аналоговий перетворювач на базі мікросхеми К572 ПА1

11.2.3.1.1 Опис мікросхеми К572 ПА1

Мікросхема ЦАП типу К572 ПА1 (рисунок 11.6) є універсальною структурною ланкою для побудови мікроелектронних ЦАП. Вона знаходить широке застосування в різній апаратурі завдяки малій споживаній потужності, досить високій швидкодії, невеликим габаритам і т. ін. [14,15,18].

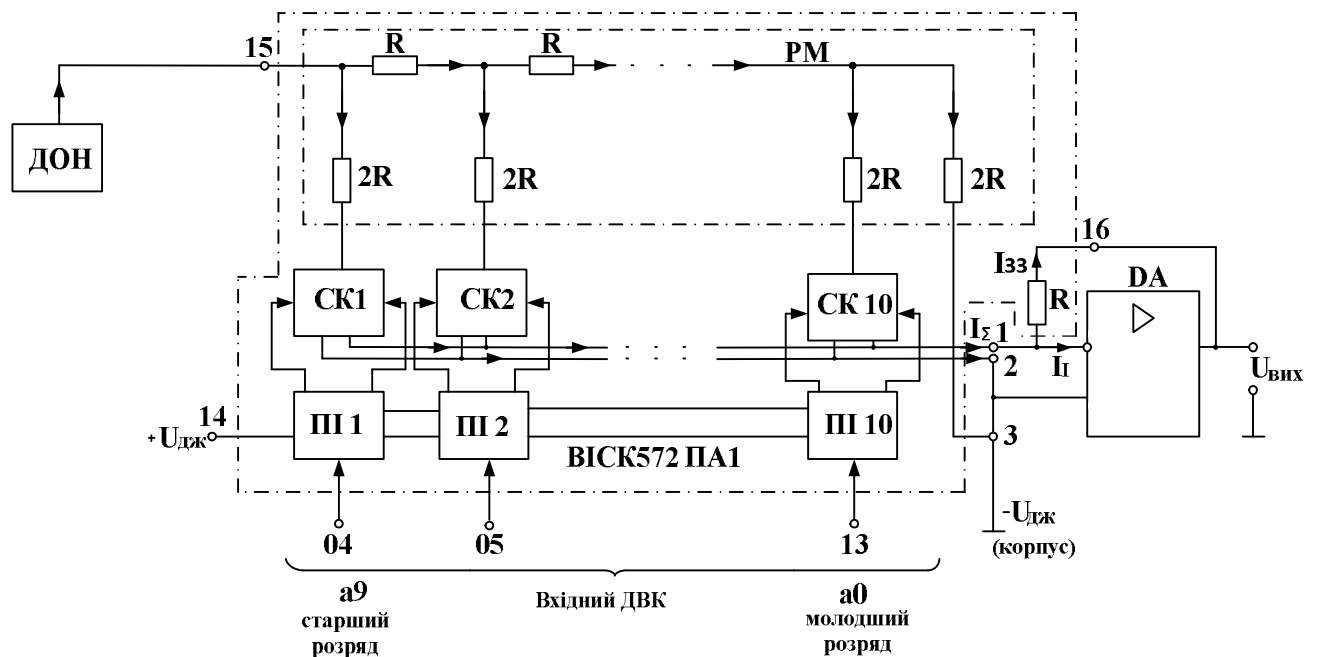


Рисунок 11.6 – Структура і схема включення ЦАП К572 ПА1

Мікросхему призначено для перетворення 10-розрядного паралельного двійкового коду на цифрових входах у струм на аналоговому виході, що пропорційний значенням коду й опорної напруги. Вона виконана за КМОН – технологією з полікремнієвими затворами [14,18].

Нумерація і призначення виводів мікросхеми:

- 1 – аналоговий вихід;
- 2 – аналоговий вихід;
- 3 – спільний вивід;
- 4 – цифровий вхід (старший 9-й розряд ДВК);
- 5...12 – цифрові входи (розряди 8...1);
- 13 – цифровий вхід (молодший 0-й розряд ДВК);
- 14 – напруга джерела живлення;
- 15 – опорна напруга;
- 16 – вивід резистора зворотного зв'язку (33).

До складу ІС ЦАП К572 ПА1 (рисунок 11.6) входять: прецизійна полікремнієва резистивна матриця (РМ) типу R-2R, підсилювачі-інвертори (ПІ) для керування двопозиційними струмовими ключами (СК), які виконано на КМОН-транзисторах. При надходженні в одному з розрядів вхідного ДВК логічної одиниці підсилювач-інвертор формує керуючі сигнали, під дією яких струмовий ключ з'єднує резистор 2R із правим нижнім виходом ключа. Якщо подається логічний нуль, то резистор 2R з'єднується з лівим нижнім виходом ключа. Для роботи з виходом за напругою до ІС ЦАП К572 ПА1 підключається операційний підсилювач, що здійснює перетворення суми струмів на вході у вихідну напругу (включення ОП за схемою, що інвертує).

Основні параметри ЦАП :

- час встановлення вихідного струму: $\leq 5\text{мкс}$;
- напруги живлення: $U_{\text{дж}} = +5... + 17\text{В}$, $U_{\text{оп}} = -17... + 17\text{В}$;

–вхідна напруга логічного нуля: $(0 \leq U_{BX} \leq +0,8B)$;

–вхідна напруга логічної одиниці: $(+3,6 \leq U_{BX} \leq U_{ДЖ})$.

Основну схему включення ЦАП показано на рисунку 11.7.

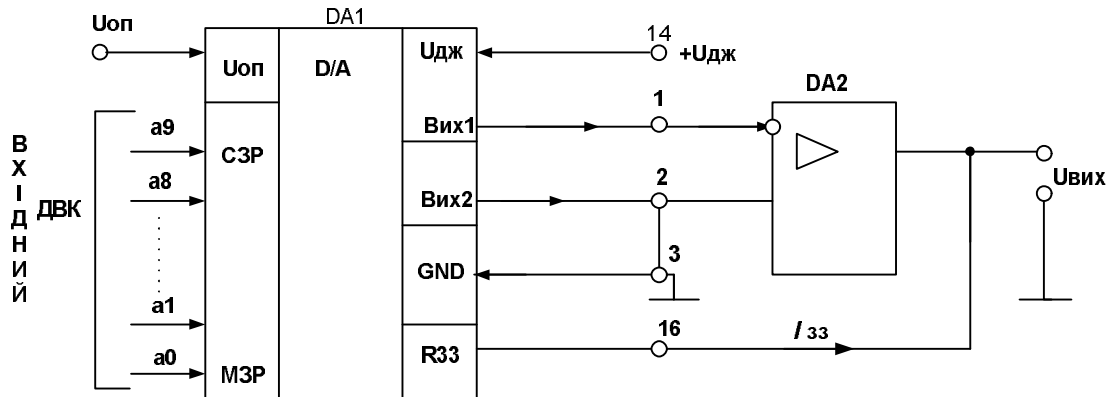


Рисунок 11.7 – Основна схема включення ЦАП К572 ПА1

Якщо $U_{ДЖ} = +15B \pm 10\%$ і $U_{ОП} = \pm 10,24B$, то зазначені в довідниках параметри витримуються досить точно. Якщо на вхід ЦАП надходять цифрові сигнали з виходу ТТЛ–схем, то схема включення ЦАП К572 ПА1 має вид, який приведено на рисунку 11.8.

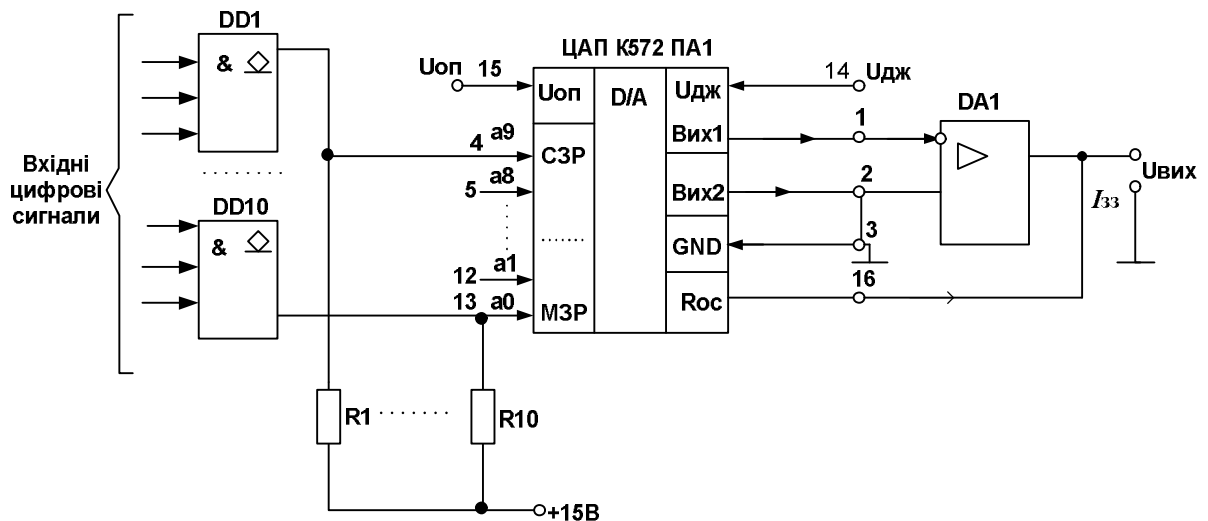


Рисунок 11.8 – Схема сполучення ІС К572 ПА1 із ТТЛ-схемами

Якщо $U_{дж} = +5B$, то виходи ТТЛ-схем можуть з'єднуватися з цифровими входами ЦАП прямо без елементів які погоджують. Але при цьому довідкові параметри схеми погіршуються.

Не задіяні цифрові входи ЦАП необхідно заземлювати.

11.2.3.1.2 Розрахунок цифро-аналогового перетворювача на базі мікросхеми К572 ПА1

У мікросхемі ЦАП К572 ПА1 виконується умова:

$$R = R_{зз} \text{ та } n = 10. \quad (11.18)$$

Тому вирази (11.16, 11.15) приймають вигляд:

$$U_{вих} = -\frac{U_{оп}}{2^{10}} \sum_{i=0}^9 a_i \cdot 2^i, \quad (11.19)$$

$$U_{вих \max} = -U_{оп} (1 - 2^{-10}). \quad (11.20)$$

Коефіцієнт передачі ЦАП:

$$K_{цАП} = -\frac{U_{оп}}{2^{10}} \left[\frac{мВ}{МЗР} \right]. \quad (11.21)$$

При $U_{оп} = -10,24B$

$$U_{вих \max} = \frac{10,24 \cdot 1023}{1024} = 10,23 B, \quad (11.22)$$

$$K_{цАП} = \frac{10240}{1024} = 10 \left[\frac{мВ}{МЗР} \right]. \quad (11.23)$$

Якщо на вхід даного ЦАП надходить 8-розрядний двійковий код, то можливі кілька варіантів використання мікросхеми:

- 1-й – дані подаються на 8 входів, що відповідають молодшим розрядам вхідного ДВК, а інші старші два входи заземлюються. У цьому випадку коефіцієнт передачі дорівнює 10 мВ/МЗР, а діапазон зміни вихідної напруги: від 0 до 2,55 В.

- 2-й – заземлюються два входи, що відповідають молодшим розрядам вхідного ДВК, а на інші входи подаються вхідні цифрові

сигнали. У цьому випадку коефіцієнт передачі дорівнює 40 мВ/МЗР, а діапазон зміни вихідної напруги: від 0 до

$$\left(40 \left[\frac{мВ}{МЗР} \right] \cdot 255 [МЗР] \right) = 10200 мВ = 10,2 В.$$

11.2.3.2 Цифро-аналоговий перетворювач на базі мікросхеми MAX506

На сьогоднішньому ринку мікросхем представлено широкий спектр НВІС ЦАП, серед яких розповсюдженими є мікросхеми фірми «MAXIM».

Нижче розглянуто одну із сучасних НВІС ЦАП фірми «MAXIM» – MAX506, яку виконано за КМОН–технологією. Вона являє собою чотириканальний 8 - бітовий ЦАП, а також виконує функції шинного формувача, регістрів і схеми узгодження рівнів (див. рисунок 11.1).

11.2.3.2.1 Опис мікросхеми MAX506

MAX506 може працювати як від джерела живлення +5В, так і від двохполярного джерела $\pm 5В$.

Споживаний вхідний струм: 1мА при логічних КМОН–рівнях на цифрових входах і 2мА - при ТТЛ–рівнях.

Швидкість зміни вихідного сигналу: 0.7 В/мкс.

Час установлення вихідного сигналу: 6мкс.

Діапазон робочих температур: від -40°C до +85°C.

Сумарна похибка перетворення: 1МЗР.

Зовнішній вигляд мікросхеми і її функціональну схему наведено відповідно на рисунках 11.9 і 11.10.

Адресні входи А0 і А1 відповідно до таблиці 11.1 вибирають (визначають) який з чотирьох ЦАП одержує інформацію із шини даних D0...D7 і здійснює перетворення в даний момент часу. Коли на вході WR (запис) присутній логічний нуль (активний сигнал) вхідна інформація запам'ятовується в одному з чотирьох регістрів – заціпок, де зберігається

до наступного запису. Таблицю 11.1 у схемі MAX506 реалізовано за допомогою вхідної логіки, що включає три інвертори і чотири кон'юнктори, які мають три входи.

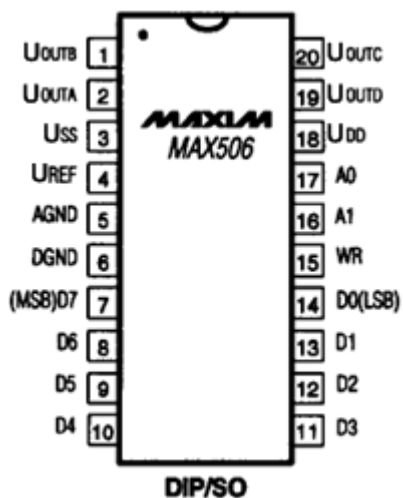


Рисунок 11.9 – Зовнішній вигляд мікросхеми MAX506

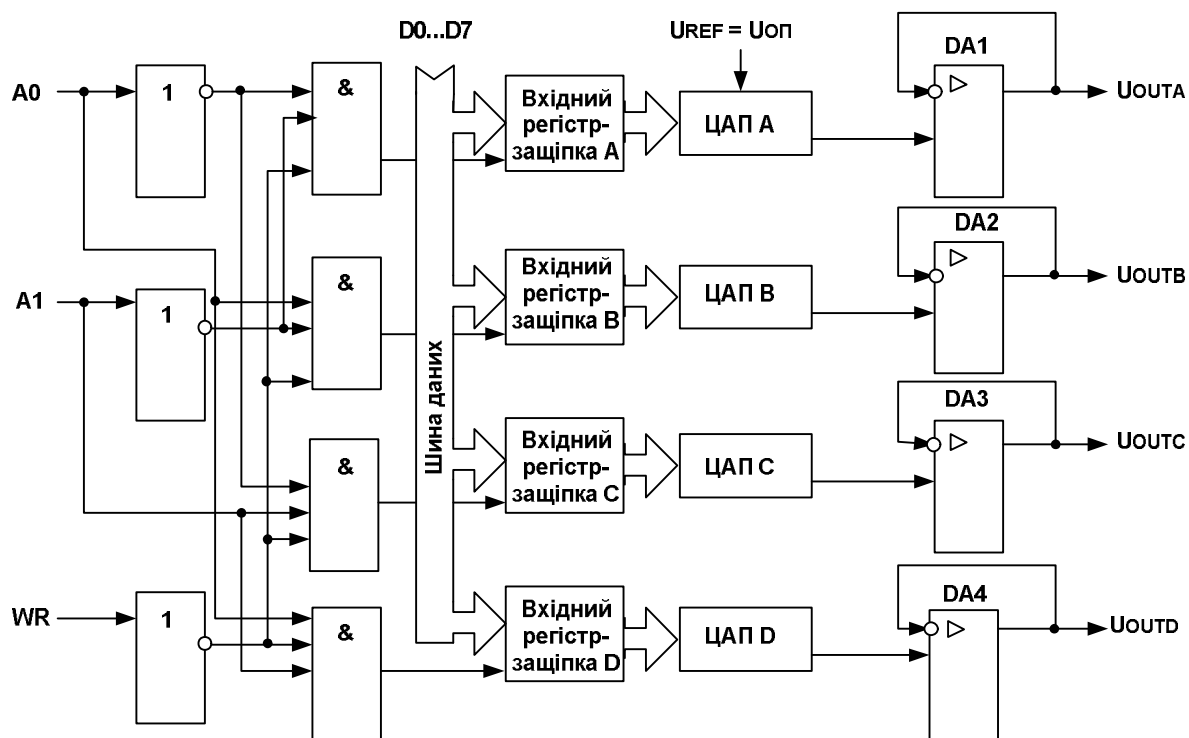


Рисунок 11.10 – Функціональна схема MAX506

Схема MAX506 містить 4-ри безпосередніх ЦАП з виходом за напругою, що включають зворотну R-2R матрицю з підсумовуванням напруг (рисунк 11.4).

За допомогою матриці резисторів цифрове 8-розрядне слово, яке записано в резистор-защіпку, перетворюється в еквівалентну аналогову напругу, пропорційну прикладеній еталонній напрузі U_{REF} (див. 11.2.2.2).

Таблиця 11.1 – Адресація ЦАП MAX506

WR	A1	A0	Стан защіпки
H	X	X	Вхідні дані ізольовані від защіпок
L	L	L	Вхідна защіпка А ЦАП прозора
L	L	H	Вхідна защіпка В ЦАП прозора
L	H	L	Вхідна защіпка С ЦАП прозора
L	H	H	Вхідна защіпка D ЦАП прозора

H – високий стан, L – низький стан, X – не враховується

Нижче приводиться опис виводів MAX506 (таблиця 11.2).

Часові діаграми роботи мікросхеми MAX506 наведено на рисунку 11.11.

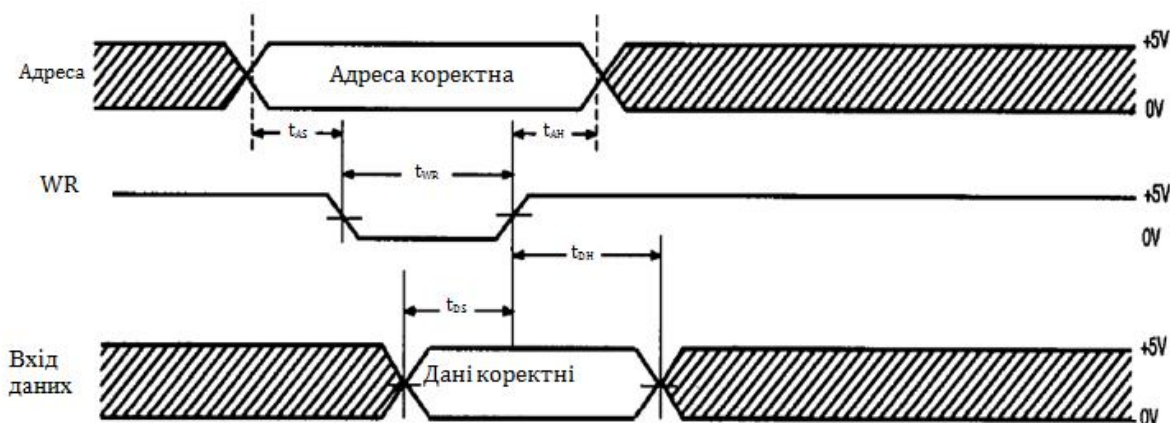


Рисунок 11.11 – Часові діаграми роботи ЦАП MAX506

Розглянута мікросхема може працювати як в однополярному (таблиця 11.3), так і в біполярному режимі (таблиця 11.4).

Таблиця 11.2 – Опис виводів мікросхеми MAX506

Номер виводу	Ім'я	Призначення
1	U _{OUTB}	Аналоговий вихід В
2	U _{OUTA}	Аналоговий вихід А
3	U _{SS}	Від'ємне живлення -5.5В до 0В
4	U _{REF}	Опорна напруга
5	AGND	Земля для аналогових сигналів
6	DGND	Земля для цифрових сигналів
7	D7	Біт 7 вхідного двійкового коду
8	D6	Біт 6 вхідного двійкового коду
9	D5	Біт 5 вхідного двійкового коду
10	D4	Біт 4 вхідного двійкового коду
11	D3	Біт 3 вхідного двійкового коду
12	D2	Біт 2 вхідного двійкового коду
13	D1	Біт 1 вхідного двійкового коду
14	D0	Біт 0 вхідного двійкового коду
15	WR	Використовується для запису даних у вхідний регістр-защіпку перетворювача, який обрано сигналами A0 і A1
16	A1	Біт 1 адреси вибору ЦАП
17	A0	Біт 0 адреси вибору ЦАП
18	U _{DD}	Додатне живлення +4.5В....+5.5В
19	U _{OUTD}	Аналоговий вихід D
20	U _{OUTC}	Аналоговий вихід С

Таблиця 11.3 – Однополярна кодова таблиця MAX506

Вміст ЦАП		Аналоговий вихід
Старші біти	Молодші біти	
1111	1111	$+U_{REF}\left(\frac{255}{256}\right)$
...	...	
1000	0001	$+U_{REF}\left(\frac{129}{256}\right)$
1000	0000	$+U_{REF}\left(\frac{128}{256}\right) = +\frac{U_{REF}}{2}$
0111	1111	$+U_{REF}\left(\frac{127}{256}\right)$
...	...	
0000	0001	$+U_{REF}\left(\frac{1}{256}\right)$
0000	0000	0В

Таблиця 11.4 – Біполярна кодова таблиця MAX506

Вміст ЦАП		Аналоговий вихід
Старші біти	Молодші біти	
1111	1111	$U_{REF}(127/128)$
...	...	...
1000	0001	$U_{REF}(1/128)$
1000	0000	0В
0111	1111	$-U_{REF}(1/128)$
...	...	...
0000	0001	$-U_{REF}(127/128)$
0000	0000	$-U_{REF}(128/128) = -U_{REF}$

11.2.3.2.2 Розрахунок цифро-аналогового перетворювача на базі мікросхеми MAX506

Для розрахунку ЦАП на базі мікросхеми MAX506, який має 8 розрядів, вирази (11.15), (11.16), (11.17) приймуть вигляд:

$$U_{\text{вих.мах}} = \frac{U_{\text{оп}}}{2^8} \sum_{i=0}^7 2^i, \quad (11.24)$$

$$U_{\text{вих}} = \frac{U_{\text{оп}}}{2^8} \cdot N_B, \quad (11.25)$$

$$K_{\text{ЦАП}} = \frac{U_{\text{оп}}}{2^8} \left[\frac{V}{\text{МЗР}} \right], \quad (11.26)$$

де $N_B = \sum_{i=0}^7 a_i \cdot 2^i$ - цифрове значення вхідного ДВК.

Якщо $U_{\text{оп}} = 5,12 \text{ В}$, тоді $K_{\text{ЦАП}} = 20 \text{ мВ/МЗР}$.

11.2.4 ЦАП на конденсаторах, що переключаються

11.2.4.1 Загальні відомості

Існує два види ЦАП на конденсаторах, що переключаються:

–паралельний;

–послідовний.

Нижче розглянуті названі ЦАП.

11.2.4.2 Паралельний цифро-аналоговий перетворювач на конденсаторах, що переключаються

Основою цього ЦАП є матриця конденсаторів (рисунок 11.12), ємності яких співвідносяться як цілі степені двох:

$$C_0, C_1=2^1 \cdot C_0, C_2=2^2 \cdot C_0, \dots, C_{N-2}=2^{N-2} \cdot C_0, C_{N-1}=2^{N-1} \cdot C_0.$$

Ємність k-го конденсатора ($k=0,1,2, \dots, N-2, N-1$, де N – число розрядів вхідного двійкового коду) визначається співвідношенням

$$C_k = 2^k \cdot C_0. \quad (11.27)$$

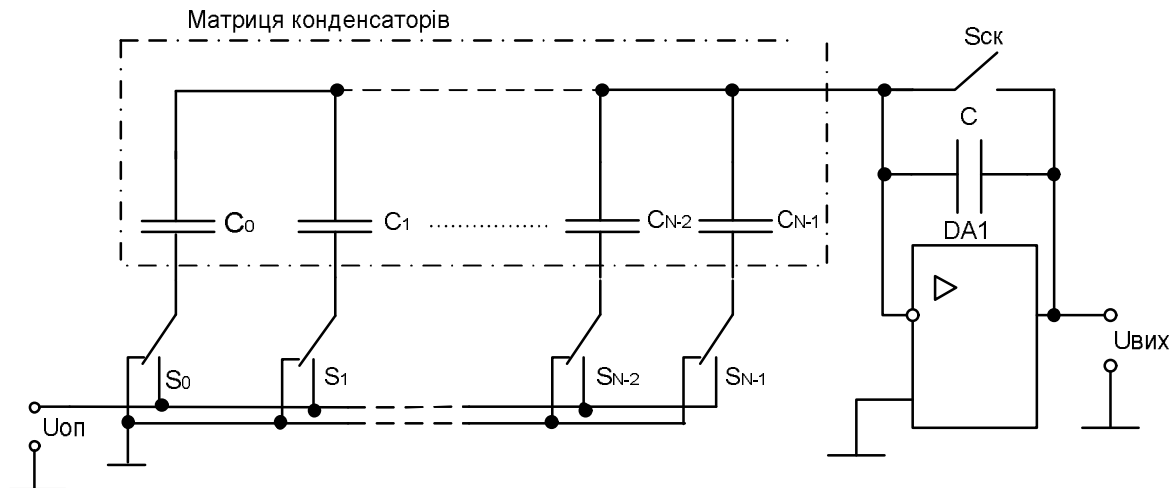


Рисунок 11.12 – Паралельний ЦАП на конденсаторах, що переключаються

Цикл перетворення складається з 2-х фаз:

1 фаза: Ключі $S_0, S_1, \dots, S_{N-1}$ перебувають у лівій позиції. Ключ скидання $S_{СК}$ замкнений. При цьому всі конденсатори схеми розряджені.

2 фаза: Ключ $S_{СК}$ розімкнутий. На вхід схеми надходить N-розрядний паралельний двійковий код (ДВК), що керує ключами $S_0, S_1, \dots, S_{N-1}$. Якщо k-й біт вхідного ДВК дорівнює одиниці ($a_k=1$), то відповідний ключ S_k переключається в праву позицію, підключаючи нижній вивід відповідного конденсатора до джерела опорної напруги $U_{оп}$. Якщо k-й біт дорівнює нулю, то ключ залишиться в лівій позиції, підключаючи нижній вивід ємності до землі.

Напруга на виході ЦАП визначається виразом

$$U_{вих} = -U_{оп} \cdot \frac{C_0}{C} \cdot \sum_{k=1}^{N-1} a_k \cdot 2^k = -U_{оп} \cdot \frac{C_0}{C} \cdot D, \quad (11.28)$$

де $D = \sum_{k=0}^{N-1} a_k \cdot 2^k$ – десятковий еквівалент вхідного ДВК.

Виведення формули (11.28)

Припустимо, що на вхід ЦАП надходить комбінація ДВК, у якій: $a_0=1$, $a_1=a_2=\dots a_{N-1}=0$. Еквівалентну схему заміщення для цього випадку наведено на рисунку 11.13.

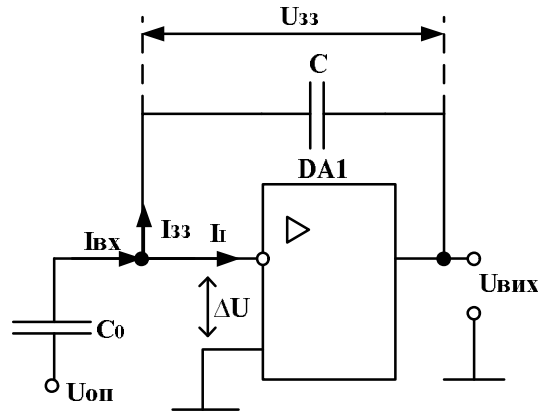


Рисунок 11.13 – Еквівалентна схема заміщення ЦАП при вхідній комбінації ДВК: $a_0=1$, $a_1=a_2=\dots a_{N-1}=0$

Якщо інтегральну мікросхему операційного підсилювача (ІМС ОП) DA1 вважати ідеальною, тоді: $K_{\text{ІМС ОП}} \rightarrow \infty$, $R_{\text{ВХ}} \rightarrow \infty$, $R_{\text{ВИХ}} \rightarrow 0$. У свою чергу $\Delta U = \frac{U_{\text{ВИХ}}}{K_{\text{ІМС ОП}}} \rightarrow 0$, а $I_{\text{г}} \rightarrow 0$ ($R_{\text{ВХ}} \rightarrow \infty$).

Тоді можна записати $\Delta U = U_{\text{зз}} + U_{\text{ВИХ}}$. Звідки $U_{\text{ВИХ}} = -U_{\text{зз}}$.

$$I_{\text{ВХ}} = I_{\text{зз}} + I_{\text{г}} = I_{\text{зз}} \quad (I_{\text{г}} \rightarrow 0).$$

Заряди ємностей C_0 і C під дією $U_{\text{ОП}}$ однакові: $q_{C_0} = q_C$. Позначимо

$q_{C_0} = q_{\text{ЕКВ}}$. Тоді $q_C = q_{\text{ЕКВ}}$. Напруга $U_{\text{зз}} = \frac{q_C}{C} = \frac{q_{\text{ЕКВ}}}{C}$. Напруга

$$U_{\text{ОП}} = \frac{q_{C_0}}{C_0} = \frac{q_{\text{ЕКВ}}}{C_0}. \text{ Тоді } q_{\text{ЕКВ}} = U_{\text{ОП}} \cdot C_0. \text{ Отже, } U_{\text{зз}} = U_{\text{ОП}} \cdot \frac{C_0}{C}, \text{ а } U_{\text{ВИХ}} = -U_{\text{ОП}} \cdot \frac{C_0}{C}.$$

Нехай на вхід ЦАП надходить комбінація ДВК, у якій: $a_0=a_1=1$, а інші розряди містять нулі. Еквівалентна схема заміщення в цьому випадку має вигляд, представлений на рисунку 11.14.

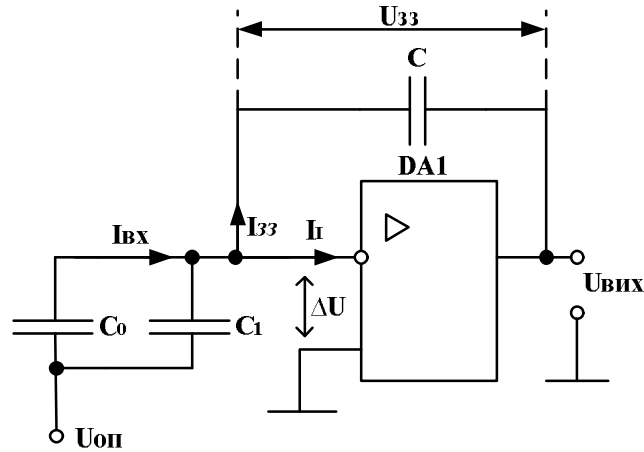


Рисунок 11.14 – Еквівалентна схема заміщення ЦАП при вхідній комбінації ДВК: $a_0 = a_1 = 1, a_2 = a_3 = \dots = a_{N-1} = 0$

Якщо порівняти дві останні схеми, то можна помітити, що вони відрізняються величиною $q_{\text{ЕКВ}}$, що для останньої схеми дорівнює:

$$q_{\text{ЕКВ}} = q_{C_0} + q_{C_1} = U_{\text{оп}} \cdot (C_0 + 2C_0).$$

Тоді вихідна напруга

$$U_{\text{вих}} = -\frac{q_{\text{ЕКВ}}}{C} = -\frac{U_{\text{оп}}(C_0 + 2C_0)}{C}.$$

За умови, що на вході комбінація ДВК: $a_0 = a_1 = a_2 = \dots = a_{N-1} = 1$, то $q_{\text{ЕКВ}} = (C_0 + 2C_0 + 4C_0 + \dots + 2^{N-1}C_0) \cdot U_{\text{оп}} = U_{\text{оп}} \cdot C_0 (2^0 + 2^1 + 2^2 + \dots + 2^{N-1}) = U_{\text{оп}} \cdot C_0 \cdot \sum_{k=0}^{N-1} 2^k$.

Тоді одержимо вираз для визначення максимальної напруги на виході ЦАП:

$$U_{\text{вих.макс}} = -\frac{U_{\text{оп}} \cdot C_0}{C} \sum_{k=0}^{N-1} 2^k. \quad (11.29)$$

Якщо в останній вираз ввести значення k -го розряду вхідного ДВК:

$a_k = 0/1$, то одержимо

$$U_{\text{вих}} = -\frac{U_{\text{оп}} \cdot C_0}{C} \sum_{k=0}^{N-1} a_k \cdot 2^k, \quad (11.30)$$

де $\sum_{k=0}^{N-1} a_k \cdot 2^k = D$ – десятковий еквівалент вхідного ДВК.

Коефіцієнт передачі ЦАП:

$$K_{\text{ЦАП}} = \frac{U_{\text{вих}}}{D} = -\frac{U_{\text{оп}} \cdot C_0}{C}. \quad (11.31)$$

11.2.4.3 Послідовний цифро-аналоговий перетворювач на конденсаторах, що переключаються

Спрощену схему послідовного ЦАП наведено на рисунку 11.15.

У цій схемі ємності конденсаторів C_1 і C_2 однакові. Перед початком циклу перетворення конденсатори C_1 , C_2 розряджаються шляхом замикання ключів S_2 , S_4 .

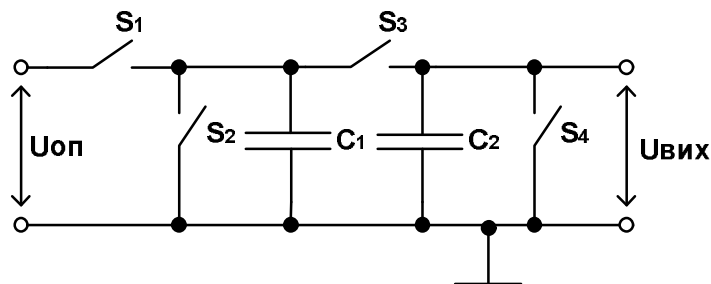


Рисунок 11.15— Схема послідовного ЦАП на конденсаторах, що переключаються

Вхідна інформація надходить на вхід пристрою у вигляді N -розрядного послідовного двійкового коду. Його перетворення в аналогову вихідну напругу здійснюється послідовно за N -тактів, починаючи з молодшого розряду a_0 . Кожен такт перетворення складається з 2-х напівтактів. У першому напівтакті першого такту при розімкнутих ключах S_2 , S_3 та S_4 при $a_0=1$ за допомогою замикання ключа S_1 конденсатор C_1 заряджається до величини $q_{C1} = U_{\text{оп}} \cdot C_1$ або при $a_0=0$ шляхом замикання ключа S_2 розряджається до нуля. У другому напівтакті першого такту при розімкнутих S_1 , S_2 та S_4 , замикається ключ S_3 , що викликає розподіл заряду навпіл між ємностями C_1 і C_2 . При цьому заряд конденсатора C_2

$$q_{C2} = \frac{q_{C1}}{2} = \frac{U_{\text{оп}} \cdot C_1}{2}. \text{ Вихідна напруга } U_{\text{вих}}(a_0=1) = \frac{q_{C2}}{C_2} = \frac{U_{\text{оп}} \cdot C_1}{C_2 \cdot 2} = \frac{U_{\text{оп}} \cdot C_1}{C_1 \cdot 2} = \frac{U_{\text{оп}}}{2}.$$

Поки на конденсаторі C_2 зберігається заряд, у першому напівтакті другого такту, повторюється процедура заряду конденсатора C_1 . Якщо в наступному розряді вхідного коду $a_1=1$: $q_{C1}=U_{\text{оп}} \cdot C_1$. При замиканні ключа S_3 у другому напівтакті другого такту перетворення заряд ємності C_2 складе:

$$q'_{C2} = \frac{q_{C1} + q_{C2}}{2} = \frac{U_{\text{оп}}(C_1 + \frac{C_1}{2})}{2} = \frac{U_{\text{оп}}(2C_1 + C_1)}{4} = \frac{U_{\text{оп}} \cdot 3C_1}{4}.$$

Вихідна напруга:

$$U_{\text{вих}}(a_0=1, a_1=1) = \frac{q'_{C2}}{C_2} = \frac{U_{\text{оп}} \cdot 3C_1}{4 \cdot C_2} = \frac{U_{\text{оп}} \cdot 3C_1}{4 \cdot C_1} = \frac{U_{\text{оп}} \cdot 3}{4} = \frac{U_{\text{оп}}(2^0 + 2^1)}{2^2}.$$

Так само виконуються перетворення для інших розрядів вхідного коду.

У результаті для N -розрядного ЦАП максимальна вихідна напруга при $a_0=a_1=a_2=\dots=a_{N-1}=1$ дорівнює

$$U_{\text{вих.max}} = -\frac{U_{\text{оп}}}{2^N} \sum_{k=0}^{N-1} 2^k. \quad (11.32)$$

Якщо в останній вираз ввести значення k -го розряду вхідного ДВК:

$a_k=0/1$, то одержимо

$$U_{\text{вих}} = \frac{U_{\text{оп}}}{2^N} \sum_{k=0}^{N-1} a_k \cdot 2^k = \frac{U_{\text{оп}}}{2^N} \cdot D. \quad (11.33)$$

Коефіцієнт передачі

$$K_{\text{ЦАП}} = \frac{U_{\text{вих}}}{D} = \frac{U_{\text{оп}}}{2^N}. \quad (11.34)$$

ПИТАННЯ ДЛЯ САМОКОНТРОЛЮ

- 1) Наведіть структурну схему типової локальної мікропроцесорної системи керування та поясніть принцип її роботи.
- 2) Який електронний прилад називається цифро – аналоговим перетворювачем (ЦАП)?
- 3) Назвіть два види ЦАП за принципом перетворення коду в напругу.
- 4) Наведіть принципову електричну схему ЦАП на матриці R-2R з підсумовуванням струмів. Поясніть принцип її роботи.
- 5) Виведіть вираз для визначення сумарної вихідної напруги від дії одиниць у всіх розрядах вхідного двійкового коду (ДВК) для вищевказаного ЦАП.
- 6) Наведіть принципову електричну схему ЦАП на матриці R-2R з підсумовуванням напруг. Поясніть принцип її роботи.
- 7) Виведіть вираз для визначення сумарної вихідної напруги від дії одиниць у всіх розрядах вхідного ДВК для ЦАП на матриці R-2R з підсумовуванням напруг.
- 8) Приведіть структурну схему та схему включення ЦАП К572 ПА1. Поясніть принцип роботи даного ЦАП.
- 9) Запишіть вирази для знаходження вихідної напруги та коефіцієнту передачі ЦАП К572 ПА1.
- 10) Наведіть та опишіть функціональну схему мікросхеми MAX506.
- 11) Наведіть вирази для знаходження вихідної напруги та коефіцієнту передачі ЦАП MAX506.
- 12) Наведіть принципову електричну схему паралельного ЦАП на конденсаторах, що переключаються, та опишіть її роботу.
- 13) Наведіть еквівалентну схему заміщення паралельного ЦАП на конденсаторах, що переключаються, при вхідній комбінації ДВК: $a_0=1, a_1= a_2= \dots = a_{N-1}=0$. Виведіть вираз для вихідної напруги.

- 14) Наведіть схему послідовного ЦАП на конденсаторах, що переключаються, та опишіть відповідні цикли перетворення.
- 15) Наведіть схему включення мікросхеми ЦАП К572 ПА1, розрахуйте її коефіцієнти передачі та максимальне значення вихідної напруги, якщо:
- число розрядів вхідного ДВК дорівнює 8, які подаються на входи, що відповідають восьми старшим розрядам ДВК;
 - число розрядів вхідного ДВК дорівнює 9, які подаються на входи $a_1, a_2, \dots, a_9$;
 - число розрядів вхідного ДВК дорівнює 7, які подаються на входи $a_2, a_3, \dots, a_8$.

ЛІТЕРАТУРА

[14...16, 18, 20]

12 ОСНОВНІ ПОНЯТТЯ ТА ЗАДАЧІ ЦИФРОВОЇ ЕЛЕКТРОНІКИ

Однією з основних задач комп'ютеризованих систем керування й автоматики (інформаційно-керуючих систем) є передача, перетворення й обробка інформації. Головна ланка подібних систем – джерело інформації, від якого надходять повідомлення про контрольований об'єкт (інформація). Остання передається у вигляді повідомлень, що подаються послідовністю чисел у тій або іншій системі числення. Такий процес відображення інформації називається кодуванням, а повідомлення, подані тим або іншим кодом, називаються дискретними повідомленнями.

Оскільки основним елементом сучасних інформаційно-керуючих систем є комп'ютер (мікропроцесор, однокристальна мікро-ЕОМ, мікроконтролер, персональна ЕОМ), то обробка інформації ведеться у цифровому вигляді і дискретні повідомлення звичайно подаються двійковим кодом (ДВК). Код – це правила, відповідно до яких дискретне повідомлення подається у вигляді чисел у визначеній системі числення. У цифровій електроніці крім ДВК використовуються десяткові, вісімкові і шістнадцяткові коди.

Назва коду визначається системою числення, яка використовувалась для представлення повідомлень. Докладно основні системи числення, що застосовуються в цифровій електроніці і мікропроцесорній техніці, розглядаються в [3,17,22,25,42]. Нижче зупинимося на декількох основних термінах, що будуть використовуватися нами надалі.

Система числення (СЧ) – спосіб запису чисел за допомогою визначених знаків, частіше усього арабських цифр, але іноді і латинських літер, наприклад, шістнадцяткова система числення.

Основа СЧ – визначається числом символів, використовуваних у системі числення. Наприклад, двійкова система числення має основу два, десяткова – десять і т.д.

Розрядність чисел. Кожне число характеризується кількістю розрядів. Розряд – це місце, що займає цифра (літера) у числі. Крайній правий розряд у числі називають нульовим (початковим, молодшим або молодшим значущим розрядом (МЗР)). Якщо кількість розрядів дорівнює N , то крайній лівий розряд називають $(N-1)$ -м (старшим або старшим значущим розрядом (СЗР)).

Вага розряду – дорівнює основі СЧ, зведений в степінь, рівний номерам розрядів, що нумеруються від 0 до $(N-1)$. Наприклад, якщо розглянути 3-х розрядне десяткове число, то ваги його розрядів складають:

- нульового – $10^0=1$;
- першого – $10^1=10$;
- другого – $10^2=100$.

Аналогічно ваги 3-х розрядного двійкового числа складають:

- нульового – $2^0=1$;
- першого – $2^1=2$;
- другого – $2^2=4$.

Ваги використовуються для визначення десяткового еквівалента чисел. Наприклад, десятковий еквівалент двійкового числа 1 0 1 1 0 дорівнює:

$$1 * 2^4 + 0 * 2^3 + 1 * 2^2 + 1 * 2^1 + 0 * 2^0 = 22.$$

Числа, подані в двійковій системі числення (двійковим кодом) повинні містити справа від МЗР латинську літеру В, у десятковій системі – D, шістнадцятковій – H. Якщо літера відсутня, то за умовчанням комп'ютер (мікропроцесор) вважає число, поданим у десятковій системі числення.

Для передачі повідомлень використовуються визначені фізичні процеси (сигнали), що однозначно відображають передане повідомлення з заданою точністю. У цифровій (комп'ютерній) електроніці використовуються цифрові сигнали, що приймають один із двох рівнів (значень): низький і високий. Низький рівень сигналу називають нульовим (нулем), а високий – одиничним (одиницею). Таке представлення сигналів має місце в “додатній логіці”. Іноді використовується “від’ємна логіка”, у якої низький рівень сигналу називають одиницею, а високий – нулем.

ПИТАННЯ ДЛЯ САМОКОНТРОЛЮ

- 1) Назвіть основні задачі комп'ютерної електроніки.
- 2) Дайте визначення поняттям: система числення, основа системи числення, розрядність чисел, вага розряду.

ЛІТЕРАТУРА

[2, 3, 11...13, 21, 22, 25...27]

13 ДИСКРЕТИЗАЦІЯ АНАЛОГОВИХ СИГНАЛІВ

У інформаційно–керуючих системах часто виникає задача обробки аналогових повідомлень, знятих з аналогових датчиків. Для введення такої інформації в комп'ютер, що веде обробку в цифровому вигляді, здійснюється дискретизація (квантування) аналогових сигналів.

Розрізняють 3 види дискретизації:

- за рівнем;
- за часом;
- за рівнем і часом (комбінована).

Розглянемо кожний з названих видів квантування більш докладно.

13.1 Квантування за рівнем

Припустимо, що інформація відображається аналоговою (безперервною) напругою $U(t)$, що повільно змінюється за законом, поданим на рисунку 13.1.

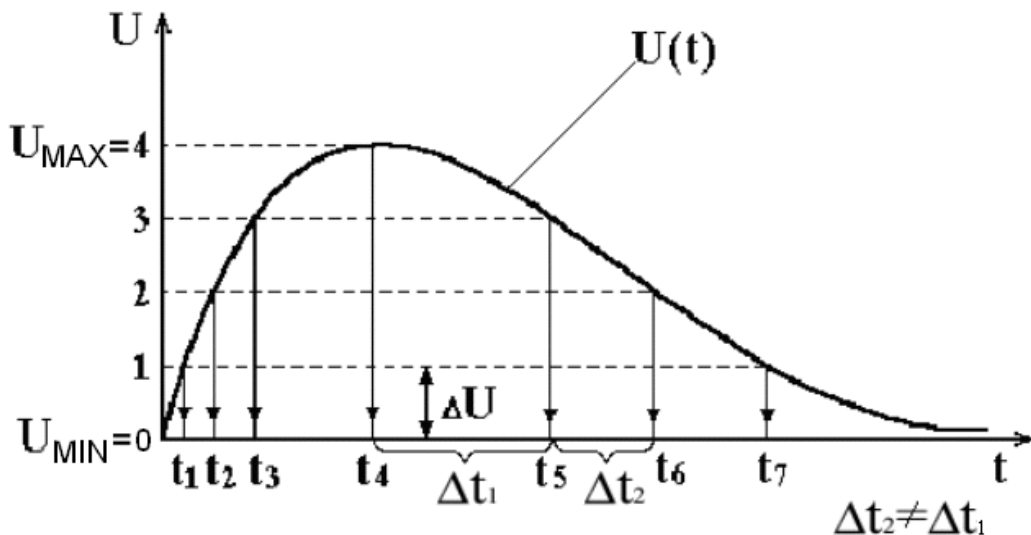


Рисунок 13.1 – Квантування за рівнем

Миттєві значення цієї напруги лежать у діапазоні $((U_{\text{MIN}}=0)...U_{\text{MAX}})$. При виконанні операції квантування за рівнем діапазон

зміни значень безперервної величини розбивається на ряд рівнів N_p , включаючи нульовий. Число N_p визначається з виразу

$$N_p = \frac{(U_{\text{MAX}} - U_{\text{MIN}})}{\Delta U} + 1, \quad (13.1)$$

де ΔU – величина кроку квантування за рівнем. Остання є постійною величиною ($\Delta U = \text{const}$), і визначається необхідною похибкою дискретизації. У нашому прикладі $N_p = 5$. Кожний рівень пронумерований у десятковій системі числення. Робота квантувача зводиться до наступного: він визначає моменти часу, коли вхідний аналоговий сигнал досягає чергового дискретного рівня. Ці моменти позначені $t_1, t_2, t_3, \dots$. Очевидно, що при нелінійному вхідному сигналі інтервал між сусідніми часовими відліками є змінною величиною ($\Delta t = \text{var}$). Прикладом пристроїв, у яких здійснюється квантування за рівнем є релейні (порогові) пристрої.

13.2 Квантування за часом

При виконанні операції квантування за часом (рисунок 13.2) аналоговий вхідний сигнал замінюється дискретним, що знімається з виходу квантувача в дискретні моменти часу $t_1, t_2, t_3, \dots$

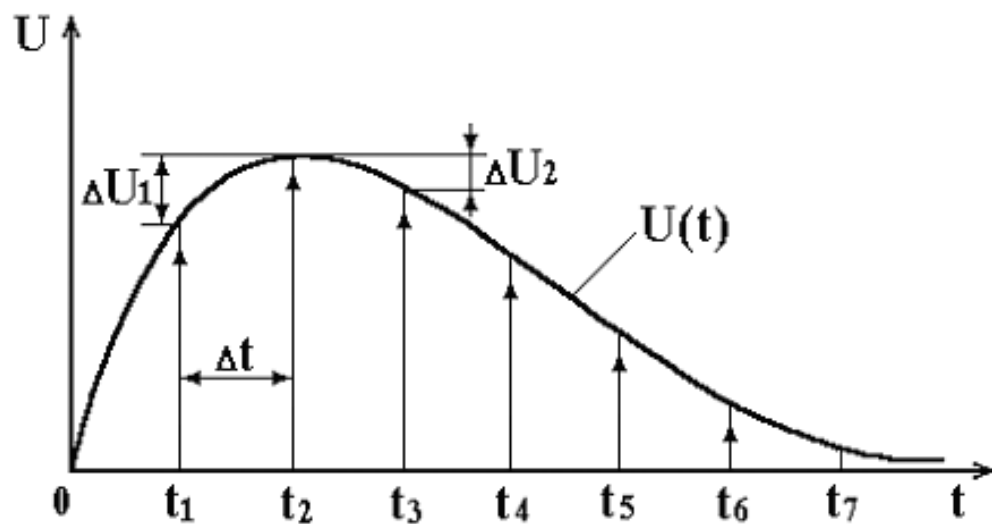


Рисунок 13.2 – Квантування за часом

Інтервал між сусідніми моментами часу $\Delta t = t_1 - t_0 = t_2 - t_1 = \dots = \text{const}$.
Очевидно, що різниця сусідніх значень вхідного сигналу при нелінійному законі зміни вхідної напруги є змінною величиною ($\Delta U = \text{var}$).

Прикладом пристроїв, у яких здійснюється квантування за часом є імпульсні системи автоматичного керування.

13.3 Квантування за рівнем і за часом

Робота такого перетворювача (рисунок 13.3) зводиться до того, що з безперервного сигналу періодично проводяться вибірки миттєвих значень. Часовий інтервал між сусідніми вибірками $\Delta t = \text{const}$. Кожна вибірка округляється перетворювачем до найближчого рівня квантування, отриманого від дискретизації за рівнем. Інтервал між сусідніми рівнями $\Delta U = \text{const}$. Значення рівня представляється в десятковій або двійковій системі числення (десятковим або двійковим кодом).

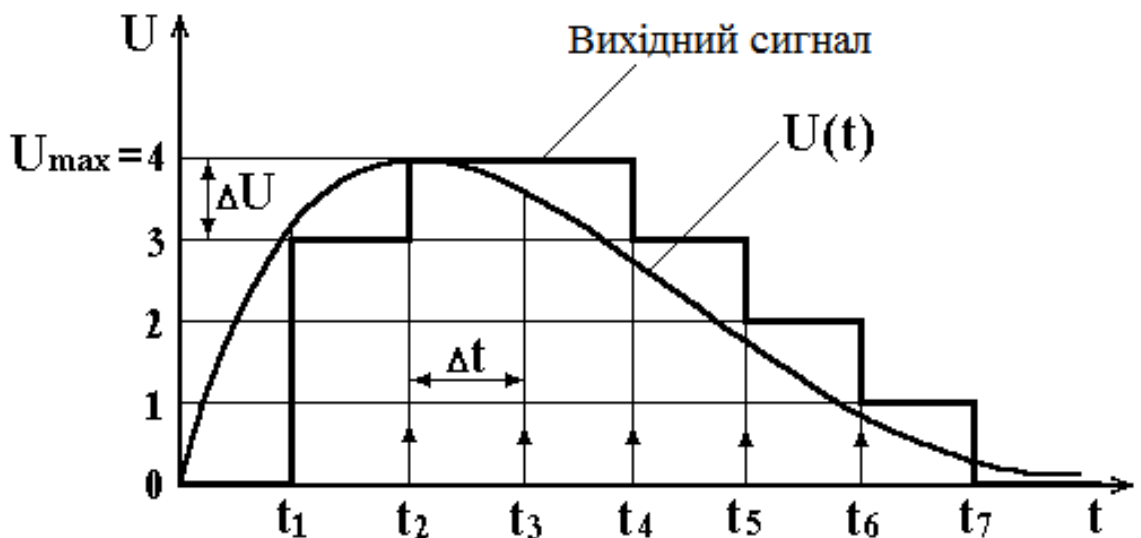


Рисунок 13.3 – Квантування за рівнем і за часом

Код рівня в свою чергу представляється цифровим сигналом. Вихідний сигнал має східчасту форму і з визначеним ступенем точності відповідає перетворюваній аналоговій напрузі. За таким принципом працюють електронні аналого-цифрові перетворювачі (АЦП) [10,16,20].

13.3.1 Розрахунок похибки АЦП

Абсолютна похибка, що з'являється при квантуванні за рівнем

$$\delta_{\text{АБС}} = \frac{\Delta U}{2}, \quad (13.2)$$

а відносна похибка

$$\delta_{\text{ВІДН}} = \frac{50}{N_{\text{д}} - 1} \%, \quad (13.3)$$

де $N_{\text{д}}$ – кількість дискретних значень вихідної величини (рівнів квантування). У формулі (13.3) від $N_{\text{д}}$ віднімається одиниця, тому що одним з дискретних значень (рівнів) є нульове (рисунок 13.3).

Необхідна кількість рівнів дискретизації визначається з виразу

$$N_{\text{р}} = \frac{50}{\delta_{\text{ВІДН}}} + 1. \quad (13.4)$$

13.3.2 Вибір величини кроку квантування за часом

Величина кроку квантування за часом Δt , що визначає необхідну швидкодію АЦП, розраховується відповідно до теореми взяття відліків (теореми Котельникова) [1, 15, 16]:

$$\Delta t = \frac{1}{2 f_{\text{МАХ}}}, \quad (13.5)$$

де $f_{\text{МАХ}}$ – частота вищої гармоніки частотного спектру вхідного аналогового сигналу. Іншими словами, при переході до дискретної величини для гармоніки вхідного сигналу, що має мінімальний період (максимальну частоту) необхідно взяти не менш двох відліків.

Будь-який АЦП є інерційним пристроєм, що має кінцевий час перетворення $t_{\text{ПРТ}}$, який повинен задовольняти необхідному значенню Δt .

При проектуванні комп'ютеризованих систем часто виникає зворотна задача: перетворення цифрового сигналу в аналоговий (безперервний). Для цього застосовують цифро-аналогові перетворювачі (ЦАП).

ПИТАННЯ ДЛЯ САМОКОНТРОЛЮ

- 1) Назвіть та поясніть види дискретизації (квантування) аналогових величин.
- 2) Як розраховуються абсолютна та відносна похибки АЦП від квантування за рівнем?
- 3) Як розраховується час квантування за рівнем?

ЛІТЕРАТУРА

[11...16, 20]

14 ЗАСТОСУВАННЯ АЛГЕБРИ ЛОГІКИ (БУЛЕВОЇ АЛГЕБРИ) ПРИ АНАЛІЗІ І СИНТЕЗІ ЦЕП

14.1 Визначення перемикальних функцій

У цифровій електроніці існують задачі логічного змісту, особливістю яких є те, що їхні умови і рішення можуть приймати одне з двох можливих значень. Одне виражає настання тієї або іншої події, а інше – ненастання її. Настання події позначають одиницею (логічною одиницею), а ненастання – нулем (логічним нулем). Пристрої, призначені для вирішення логічних задач називають логічними електронними пристроями (ЛЕП).

Математичним апаратом, що застосовується при аналізі і синтезі ЛЕП є алгебра логіки, розроблена в середині XIX сторіччя англійським математиком Дж. Булем і тому часто називана Булевою алгеброю (БА).

БА оперує з двійковими змінними, що приймають одне з двох значень: логічний нуль або логічну одиницю.

Функція двійкових змінних, що також дорівнює одному з двох значень (нулю або одиниці) – називається перемикальною (логічною) функцією (ПФ).

Логічні функції позначаються прописними латинськими літерами F або Y, а двійкові змінні – A, B, C, D, E, ..., або малою літерою x з індексом, наприклад, $x_1, x_2, x_3, \dots$

14.2 Способи опису перемикальних функцій

ПФ може бути описана (задана):

- словесно;
- алгебраїчним (булевим) виразом;
- таблицею істинності;
- діаграмою Вейча (картою Карно).

Приклад опису перемикальної функції “Кон’юнкція”:

- 1) словесно – функція двох змінних приймає значення логічної одиниці, якщо обидві змінні також дорівнюють одиниці, у іншому випадку, вона дорівнює нулю;
- 2) виразом: $F = A \wedge B$;
- 3) таблицею істинності (таблиця 14.1).

Таблиця 14.1 – Таблиця істинності

N набору	B	A	F
0	0	0	0
1	0	1	0
2	1	0	0
3	1	1	1

Таблиця істинності включає набори (комбінації) логічних змінних, що повинні бути упорядковані за зростанням або зменшенням їхніх десяткових еквівалентів, а також значення функції на кожному наборі. Якщо відповідний набір розглядати як двійкове число, то номер набору дорівнює десятковому еквіваленту двійкового числа, якщо набори упорядковані за зростанням їхніх десяткових еквівалентів. Якщо число змінних дорівнює N , то кількість наборів $N = 2^N$. Номери наборів змінюються від 0 до $(2^N - 1)$. Загальне число перемикальних функцій M :

$$M = 2^{2^N}, \quad (14.1)$$

де N – число змінних.

Зображення перемикальної функції діаграмою Вейча (картою Карно) буде розглянуто нижче при вивченні питання мінімізації ПФ.

14.3 Перемикальні функції однієї змінної ($N=1$)

Якщо $N = 1$, то число наборів $N = 2^1 = 2$, а кількість ПФ $M = 2^{2^1} = 4$ (таблиця 14.2).

Таблиця 14.2 – ПФ однієї змінної

N набору	A	F ₀	F ₁	F ₂	F ₃
0	0	0	1	0	1
1	1	0	0	1	1

Функція F_0 називається константою нуля, тому що на усіх наборах приймає нульове значення ($F_0 = 0$). Функція F_3 – константа одиниці, тому що завжди дорівнює одиниці ($F_3 = 1$). Функція $F_2 = A$ і називається повторенням, а $F_1 = \bar{A}$ – інверсією (запереченням – не A).

14.4 Перемикальні функції двох змінних (N=2)

Якщо $N = 2$, то число наборів $N = 2^2 = 4$, а кількість ПФ $M = 2^{2^2} = 16$ (таблиця 14.3).

Таблиця 14.3 – ПФ двох змінних

N набору	B	A	F ₀	F ₁	F ₂	F ₃	F ₄	F ₅	F ₆	F ₇	F ₈	F ₉	F ₁₀	F ₁₁	F ₁₂	F ₁₃	F ₁₄	F ₁₅
0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
1	0	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
2	1	0	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
3	1	1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

Відзначимо з цих шістнадцяти функцій 2-х змінних ті, що найбільш часто використовуються:

F_0 – константа нуля;

F_{15} – константа одиниці;

$F_8 = A \wedge B = A \cdot B$ – кон'юнкція (логічне множення (логічне “І”));

$F_{14} = A \vee B = A + B$ – диз'юнкція (логічне додавання (логічне “АБО”));

$F_6 = A \nabla B = A \oplus B$ – виключне або (сума за модулем два, нерівнозначність, нееквівалентність);

$F_9 = \overline{A \nabla B} = \overline{A \oplus B}$ – рівнозначність (еквівалентність);

$F_1 = \overline{A \vee B} = A \text{ БО } \text{НЕ}$;

$F_7 = \overline{A \wedge B} = I \text{ НЕ}$.

14.5 Базисні логічні функції

Будь-яку логічну функцію можна подати сукупністю елементарних логічних функцій: диз'юнкцією, кон'юнкцією, інверсією або їхньою суперпозицією. Набір елементарних функцій АБО, І, НЕ називають функціонально повним набором або базисним набором (базисом).

Існує декілька базисних (функціонально повних) наборів логічних елементів, на яких можна реалізовувати будь-яку перемикальну функцію (див. 15.2):

- 1) І, АБО, НЕ;
- 2) І–НЕ;
- 3) АБО–НЕ.

14.6 Принцип двоїстості булевої алгебри

Якщо у виразі $F_8 = A \wedge B$ кон'юнкцію замінити на диз'юнкцію і проінвертувати обидві змінні, то результат виявиться інверсією старого значення функції $\overline{F_8} = \overline{A} \vee \overline{B}$. Аналогічно, якщо у виразі $F_{14} = A \vee B$ диз'юнкцію замінити на кон'юнкцію і проінвертувати обидві змінні, то результат виявиться інверсією старого значення функції $\overline{F_{14}} = \overline{A} \wedge \overline{B}$.

Указані властивості логічних функцій відбивають *принцип двоїстості булевої алгебри*. [3,17,22,25,26,31].

14.7 Основні тотожності булевої алгебри

$$A + 0 = A; A + 1 = 1; A + A = A;$$

$$A + \bar{A} = 1; A \cdot 0 = 0; A \cdot 1 = A;$$

$$A \cdot A = A; A \cdot \bar{A} = 0; \bar{\bar{A}} = A.$$

14.8 Основні закони та теореми булевої алгебри

Закони:

Перемісний (властивість комутативності):

$$A+B=B+A; A \cdot B=B \cdot A.$$

Сполучний (властивість асоціативності):

$$(A+B)+C=A+(B+C); (A \cdot B) \cdot C=A \cdot (B \cdot C).$$

Розподільний (властивість дистрибутивності):

$$A \cdot (B+C)=A \cdot B+A \cdot C; A+B \cdot C=(A+B) \cdot (A+C).$$

Теореми:

Поглинання: $A+A \cdot B=A$; $A \cdot (A+B)=A$.

Склеювання: $A \cdot B + A \cdot \bar{B} = A$; $(A+B) \cdot (A+\bar{B}) = A$.

Заперечення: $\overline{\bar{A}+B} = \bar{A} \cdot \bar{B}$; $\overline{A \cdot B} = \bar{A} + \bar{B}$ (форма 1);

$A \cdot B = \overline{\bar{A} + \bar{B}}$; $A+B = \overline{\bar{A} \cdot \bar{B}}$ (форма 2).

Останні вирази впливають з принципу двоїстості булевої алгебри і називаються також *теоремою де Моргана*.

Теорема без назви: Існує ще одна теорема без назви, яку можна навести у наступному вигляді:

$$A + \bar{A} \cdot B = A + B; (A + \bar{B}) \cdot B = A \cdot B;$$

$$B + \bar{B} \cdot A = B + A; (B + \bar{A}) \cdot A = B \cdot A.$$

Два корисних вирази:

$$A \cdot \bar{B} + \bar{A} \cdot B = \overline{\bar{A} \cdot B} \cdot (A+B);$$

$$A \cdot \bar{B} + \bar{A} \cdot C = \overline{\bar{A} \cdot B} \cdot (A+C).$$

14.9 Досконала диз'юнктивна нормальна форма (ДДНФ) запису булевих виразів

Булеві вирази простих логічних функцій можна записати за їх словесним описом. У загальному випадку для одержання аналітичної форми використовують таблиці істинності.

Припустимо, логічну функцію трьох змінних задано таблицею істинності (таблиця 14.4).

Таблиця 14.4– Таблиця істинності трьох змінних

N набору	C	B	A	F
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	0
4	1	0	0	1
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

Ця функція має чотири конституенти одиниці K_1 , K_4 , K_5 і K_6 (конституента одиниці – це одиничне значення ПФ на одному з наборів). Усього для ПФ трьох змінних може бути вісім конститuent, якщо функція приймає одиничне значення на усіх наборах.

Для нашого приклада

$$K_1 = \bar{C} \cdot \bar{B} \cdot A; K_4 = C \cdot \bar{B} \cdot \bar{A}; K_5 = C \cdot \bar{B} \cdot A; K_6 = C \cdot B \cdot \bar{A}.$$

Булевий вираз ПФ у ДДНФ являє собою суму конститuent одиниць

$$F = \bar{C} \cdot \bar{B} \cdot A + C \cdot \bar{B} \cdot \bar{A} + C \cdot \bar{B} \cdot A + C \cdot B \cdot \bar{A}. \quad (14.2)$$

Оскільки конституенти одиниць записуються у вигляді кон'юнкцій, то ДДНФ являє собою суму кон'юнкцій, кожна з яких містить усі змінні в прямому або інверсному вигляді не більш одного разу. Очевидно, що логічна функція має єдиний булевий вираз у ДДНФ, що впливає з методики його одержання.

ДДНФ зветься диз'юнктивною (включає суму кон'юнкцій), досконалою (усі кон'юнкції містять кожен змінну у прямому або інверсному вигляді) та нормальною (дворівневою) – її реалізація потребує логічних елементів двох видів: кон'юнкторів та диз'юнкторів, при цьому вважається, що вхідні змінні задаються у прямому та інверсному вигляді.

14.9.1 Диз'юнктивна нормальна форма (ДНФ)

Якщо у виразі (14.2) усі кон'юнкції або деякі з них не містять усіх змінних у прямому або інверсному вигляді, а також деякі кон'юнкції взагалі відсутні, то така форма представлення булевого виразу називається диз'юнктивною нормальною формою (ДНФ).

Перемикальна функція може описуватися декількома булевими виразами в ДНФ, один з яких є мінімальним (містить мінімум кон'юнкцій і мінімум змінних, які входять у них).

14.10 Досконала кон'юнктивна нормальна форма (ДКНФ) запису булевих виразів

Булевий вираз ПФ у ДКНФ являє собою добуток конститuent нуля, що записуються у вигляді диз'юнкцій. Кожна з них містить усі змінні в прямому або інверсному вигляді не більш одного разу. Для ПФ, поданої таблицею 14.4, булевий вираз в ДКНФ має вигляд

$$F = (C + B + A) \cdot (C + \bar{B} + A) \cdot (C + \bar{B} + \bar{A}) \cdot (\bar{C} + \bar{B} + \bar{A}). \quad (14.3)$$

ДКНФ зветься кон'юнктивною (включає добуток диз'юнкцій), досконалою (усі диз'юнкції містять кожен змінну у прямому або інверсному вигляді) та нормальною (дворівневою) – її реалізація потребує

логічних елементів двох видів: кон'юнкторів та диз'юнкторів, при цьому вважається, що вхідні змінні задаються у прямому та інверсному вигляді.

Логічна функція має єдиний булевий вираз у ДКНФ.

14.10.1 Кон'юнктивна нормальна форма (КНФ)

Якщо у виразі (14.3) усі диз'юнкції або окремі з них не містять усіх змінних у прямому або інверсному вигляді, а також деякі диз'юнкції взагалі відсутні, то така форма представлення булевого виразу називається кон'юнктивною нормальною формою (КНФ).

Перемикальна функція може описуватися декількома булевими виразами в КНФ, один з яких є мінімальним (містить мінімум диз'юнкцій і мінімум змінних, які входять у кожну із них).

14.11 Мінімізація логічних (перемикальних) функцій

Мінімізацією називають процедуру спрощення перемикальних (логічних) функцій, спрямовану на те, щоб булевий вираз ПФ містив мінімальну кількість членів із мінімальною кількістю змінних.

Способи мінімізації:

- алгебраїчний;
- за допомогою діаграм Вейча (карт Карно).

14.11.1 Алгебраїчний спосіб мінімізації ПФ

У деяких простих випадках можна здійснити мінімізацію булевого виразу ПФ, використовуючи тотожності і теореми булевої алгебри (див. підрозділ 14.7, 14.8).

Приклад 1. Початковий булевий вираз:

$$F = C \cdot B \cdot \bar{A} + C \cdot \bar{B} \cdot A + C \cdot \bar{B} \cdot \bar{A} + \bar{C} \cdot \bar{B} \cdot A. \quad (14.4)$$

Використовуючи теорему склеювання (див. підрозділ 14.8) отримаємо булевий вираз

$$F = C \cdot \bar{A} + \bar{B} \cdot A, \quad (14.5)$$

який еквівалентний початковому, але значно простіше його.

Приклад 2. Початковий булевий вираз:

$$F = C \cdot B \cdot \bar{A} + C \cdot \bar{B} \cdot A + \bar{C} \cdot B \cdot A + C \cdot \bar{B} \cdot A . \quad (14.6)$$

Використовуючи тотожність $A=A+A$ і теорему склеювання (див. 14.7, 14.8) отримаємо більш простий вираз

$$F = C \cdot B + C \cdot A + B \cdot A . \quad (14.7)$$

Такі елементарні прийоми мінімізації вдається використовувати, якщо початковий булевий вираз містить малу кількість членів з невеликим числом змінних.

Більш наочною і зручною є мінімізація з використанням діаграм Вейча (карт Карно).

14.11.2 Мінімізація ПФ із використанням діаграм Вейча (карт Карно)

Діаграми Вейча (карти Карно) [3,11...13,17,22] побудовані так, що їхні сусідні клітини відображають члени початкової ПФ, які відрізняються значенням однієї змінної: один член містить цю змінну в прямій формі, а інший – у інверсній. Завдяки цьому виникає наочне уявлення про різноманітні варіанти склеювання суміжних членів.

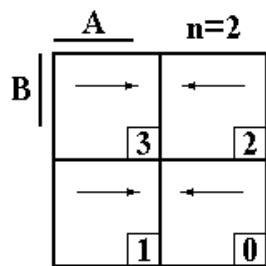
14.11.2.1 Мінімізація ПФ за допомогою діаграм Вейча

Початковим продуктом для застосування діаграм Вейча є представлення ПФ таблицею істинності (див. підрозділ 14.2), в якій можливі набори змінних упорядковано за зростанням або за зменшенням їхніх десяткових еквівалентів. Вигляд діаграм Вейча залежить від кількості змінних ПФ – N і від того, як упорядковані набори змінних у таблиці. Якщо набори упорядковані за зростанням їхніх десяткових еквівалентів, то діаграми Вейча для $N=2, 3, 4$ мають вигляд, який наведено на рисунку 14.1.

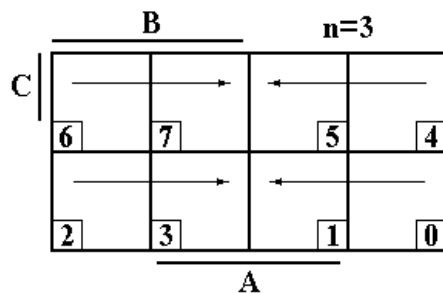
Кількість клітин діаграми дорівнює кількості наборів змінних

$$N_{\text{КЛ}} = N_{\text{НАБ}} = 2^N . \quad (14.8)$$

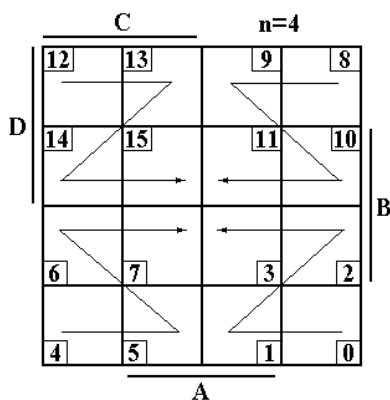
Якщо $N = 2$, то $N_{\text{КЛ}} = 2^2 = 4$; $N = 3$, $N_{\text{КЛ}} = 8$; $N = 4$, $N_{\text{КЛ}} = 16$.



а



б



в

Рисунок 14.1 – Діаграми Вейча для:

а – двозмінних; б – трьохзмінних; в – чотирьохзмінних ПФ

Кожна клітина відповідає окремому набору змінних і має номер, однаковий із номером набору.

Рядки і стовпці діаграми, що помічено рисою з написом імені змінної, визначають набори, у які ці змінні входять у прямій формі (приймають одиничне значення). Набори, що відповідають іншим рядкам і стовпцям, містять ті ж змінні в інверсній формі (приймають нульове значення). Наприклад, для $N = 3$ (рисунок 14.1, б) двом лівим стовпцям відповідає значення змінної B у прямій формі (B), а двом правим – у інверсній ($\bar{B}$).

В клітини записуються значення ПФ на відповідному наборі (нульове або одиничне). Якщо на якомусь наборі функція не визначена, то в клітині діаграми ставиться риска.

ПФ вважається невизначеною, якщо:

- відповідний набір змінних у реальному логічному пристрої неможливий;
- значення функції на даному наборі байдуже.

Після заповнення діаграми можна приступити безпосередньо до мінімізації, що роблять за одиницями або нулями.

У першому випадку результатом мінімізації буде булевий вираз у диз'юнктивній нормальній формі (ДНФ), а в другому – у кон'юнктивній нормальній формі (КНФ), див. підрозділ 14.9.1, 14.10.1.

14.11.2.1.1 Загальне правило мінімізації

1) Суміжні одиниці (нулі) діаграми умовно охоплюють (накривають) прямокутними контурами. Кожний контур може містити 1, 2, 4, 8, 16, ... одиниць (нулів).

2) Одним контуром (накриттям) необхідно об'єднати максимальну кількість суміжних клітин, що містять одиниці (нулі).

3) Необхідно, щоб кожна основна одиниця (нуль) накривалася хоча б один раз.

4) Та сама одиниця (нуль) може охоплюватися декілька разів різними контурами.

5) Верхній і нижній рядки діаграми вважаються суміжними – їх можна вважати такими, якщо умовно згорнути діаграму в горизонтальний циліндр.

6) Лівий і правий стовпці також вважаються суміжними – діаграму можна умовно згорнути у вертикальний циліндр.

7) Кутові клітини також вважаються суміжними – діаграму можна умовно згорнути в тор.

8) У клітини, що містять прочерки (на даних наборах ПФ невизначена), можна записувати додаткові одиниці (нулі), що сприяє одержанню більш простого кінцевого булевого виразу. При цьому варто пам'ятати, що хоча б один раз необхідно накрити лише основні одиниці (нулі). Додаткові одиниці (нулі) можуть збільшувати сумарну кількість одиниць (нулів), що входять у накриття, а отже, зменшувати кількість змінних у результуючих кон'юнкціях (диз'юнкціях).

9) Результатом мінімізації є булевий вираз в ДНФ або КНФ. Кількість кон'юнкцій у ДНФ (диз'юнкцій у КНФ) відповідає кількості контурів (накриттів).

10) У кожен кон'юнкцію (диз'юнкцію) увійдуть тільки ті змінні, значення яких у межах контуру не змінюється (змінна входить у накриття тільки в прямій або інверсній формі).

При мінімізації за одиницями у результуючі кон'юнкції змінні входять у прямій формі, якщо відповідні їм рядки і стовпці діаграми помічені рисою. Змінні, пов'язані з рядками і стовпцями не поміченими рисою, входять у кон'юнкції в інверсній формі.

При мінімізації за нулями у результуючі диз'юнкції змінні входять у прямій формі, якщо відповідні їм рядки і стовпці не помічені рисою, у протилежному випадку диз'юнкції містять змінні в інверсному вигляді.

Метою мінімізації є одержання мінімальної ДНФ або КНФ, що містить мінімум членів, які мають мінімальну кількість змінних. Для цього необхідно меншою кількістю контурів охопити хоча б один раз кожен основну одиницю (нуль). При цьому необхідно намагатися, щоб у кожне накриття входило як найбільше суміжних одиниць (нулів).

На рисунку 14.1 показано діаграми Вейча при числі логічних змінних $N=2, 3, 4$. Для $N > 4$ діаграми містяться у [11...13].

Якщо набори змінних початкової таблиці істинності упорядковані за зменшенням їхніх десяткових еквівалентів, то варто скористатися діаграмами Вейча, приведеними у [11...13].

14.11.2.2 Мінімізація ПФ за допомогою карт Карно

У картах Карно кожний рядок і стовпець позначаються значенням конкретної змінної або комбінацією змінних [25]. На рисунку 14.2 показано приклад карти Карно для ПФ чотирьох змінних.

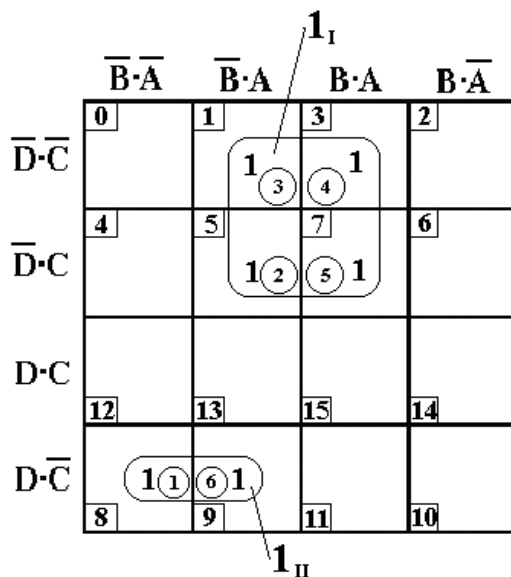


Рисунок 14.2 – Приклад карти Карно для ПФ чотирьох змінних

Карти Карно зручно використовувати, якщо ПФ задано у вигляді булевого виразу у досконалій диз'юнктивній нормальній формі (ДДНФ), див. підрозділ 14.9.

Наприклад,

$$F = \underbrace{D \cdot \bar{C} \cdot \bar{B} \cdot \bar{A}}_{(1)} + \underbrace{\bar{D} \cdot C \cdot \bar{B} \cdot \bar{A}}_{(2)} + \underbrace{\bar{D} \cdot \bar{C} \cdot \bar{B} \cdot A}_{(3)} + \underbrace{\bar{D} \cdot \bar{C} \cdot B \cdot A}_{(4)} + \underbrace{\bar{D} \cdot C \cdot B \cdot A}_{(5)} + \underbrace{D \cdot \bar{C} \cdot \bar{B} \cdot A}_{(6)} \quad (14.9)$$

Правила мінімізації за допомогою карт Карно загалом аналогічні правилам, викладеним при розгляді діаграм Вейча. Відмінність складається в заповненні карти Карно одиницями. Якщо діаграма Вейча заповнюється одиницями відповідно до номерів наборів, на яких початкова

ПФ приймає одиничне значення, то в карті Карно одиниці ставлять у клітини, що лежать на перетині рядків і стовпців карти, помічених комбінаціями змінних, які при їхньому перемножуванні дають запис відповідної конституенти одиниці (кон'юнкції). На рисунку 14.2 показано приклад заповнення карти Карно за виразом (14.9), що містить шість конститuent одиниць.

Булевий вираз мінімізованої ПФ має вигляд

$$F = \overbrace{\overline{D} \cdot A}^{I_1} + \overbrace{D \cdot \overline{C} \cdot \overline{B}}^{I_2}. \quad (14.10)$$

Інші приклади використання діаграм Вейча і карт Карно показано в [11...13, 25].

14.12 Приклади мінімізації ПФ за допомогою діаграм Вейча

Приклад 1. Для контролю за можливою деформацією металевої конструкції через її перегрів у різноманітних критичних точках встановлено чотири термодатчики, які позначено як: ТД₁, ТД₂, ТД₃, ТД₄.

Експериментальні дослідження конструкції показали, що деформація можлива в наступних випадках:

- 1) спрацювали ТД₄, ТД₃ і не спрацювали ТД₂ і ТД₁;
- 2) спрацювали ТД₄, ТД₃, ТД₂ і ТД₁;
- 3) спрацював ТД₂ і не спрацювали ТД₄, ТД₃ і ТД₁;
- 4) спрацювали ТД₃, ТД₂ і ТД₁ і не спрацював ТД₄.

У випадках, коли:

- 5) спрацювали ТД₄, ТД₃, ТД₂ і не спрацював ТД₁;
- 6) спрацювали ТД₂, ТД₁ і не спрацювали ТД₄, ТД₃

деформація конструкції не виникала. За умовою експлуатації конструкції інші сполучення датчиків, що спрацювали і що не спрацювали, неможливі.

Необхідно спроектувати цифровий логічний пристрій, що вмикає сигнал тривоги, якщо відбувається спрацьовування термодатчиків у небезпечному сполученні.

Позначимо цифрові сигнали на виході термодатчиків логічними змінними: $ТД_4 \rightarrow D$; $ТД_3 \rightarrow C$; $ТД_2 \rightarrow B$; $ТД_1 \rightarrow A$, а логічну функцію, яку повинен реалізувати пристрій контролю – F .

Складемо таблицю істинності, що відображає необхідну логічну функцію (таблиця 14.5).

Відповідну діаграму Вейча наведено на рисунку 14.3.

Проведемо мінімізацію за одиницями. Для цього в клітині, що містять риси ставимо додаткові одиниці. Основні одиниці накриваємо трьома контурами: 1-й контур утворюють клітини першого й останнього рядків, 2-й – клітини 2 стовпця і 3-й – 4-го стовпця.

Підсумковий булевий вираз мінімізованої ПФ має вигляд

$$F = \overline{B} + \overbrace{C \cdot A}^{1_{II}} + \overbrace{C \cdot \overline{A}}^{1_{III}}.$$

Цей вираз має бути реалізовано цифровим логічним пристроєм, що вмикає сигнал тривоги.

Розглянуту функцію можна мінімізувати і за нульовими значеннями (нулями). Для цього дописуємо у клітині з номерами 1,6,9 і 11 нулі і накриваємо два основних нулі двома прямокутниками, що містять два і чотири елементи (нулі). Перший прямокутник охоплює клітини з номерами 6,14, другий – 1,3,11 і 9.

Підсумковий булевий вираз мінімізованої ПФ має вигляд

$$F = \overbrace{(\overline{C} + A + \overline{B})}^{0_I} \cdot \overbrace{(\overline{A} + C)}^{0_{II}}. \quad (14.11)$$

Обидва вирази еквівалентні і застосовувати можна той з них, який простіше реалізується на конкретному наборі логічних елементів (базисі).

Приклад 2. Необхідно розробити блок пріоритетних переривань від 2-х зовнішніх пристроїв: ЗВІР1 і ЗВІР2. ЗВІР з меншим номером відповідає більш високий пріоритет. Спрощену структуру проектованої системи наведено на рисунку 14.4. На схемі прийнято наступні скорочення: МПС – мікропроцесорна система; ЗВІР – зовнішній пристрій; БІП – блок пріоритетних переривань; ВІП – вектор поточного переривання, що за допомогою логічних змінних β_1 , β_2 описує можливі стани МП-системи при обслуговуванні запитів переривань від ЗВІР (таблиця 14.6).

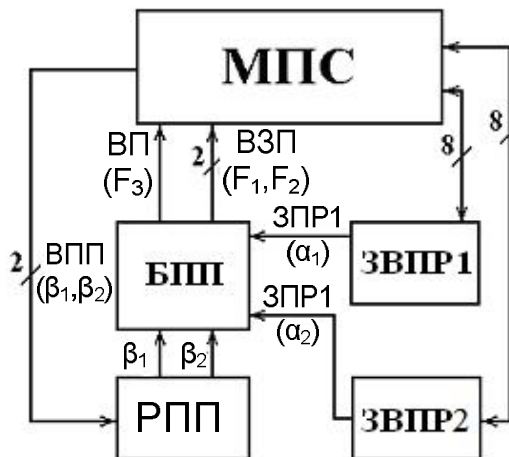


Рисунок 14.4 – Структура блока пріоритетних переривань

РІП – реєстр поточного переривання (запам'ятовує значення змінних β_1 , β_2); ЗІР₁, ЗІР₂ – запити переривань від ЗВІР₁, ЗВІР₂ (описуються змінними α_1, α_2); ВІП – вимога переривання (логічна функція F_3); ВІП – вектор запиту переривання (відображається комбінацією значень логічних функцій F_1 і F_2 (таблиця 14.7)).

Таблиця 14.6 – Таблиця станів МП–системи при обслуговуванні запитів
переривань від ЗВПР

N набору	β_1	β_2	ВПП
0	0	0	Чекання
1	0	1	Обслуговується ЗВПР1
2	1	0	Обслуговується ЗВПР2
3	1	1	Неможливий

Таблиця 14.7 – Таблиця істинності для ВЗП

ВЗП	F_1	F_2
$F_3=0$ або невизначено	—	—
Запит від ЗВПР ₂	1	0
Запит від ЗВПР ₁	0	1

МП–система періодично перевіряє значення сигналу ВП (функція F_3). Якщо ВП=0 (запит на переривання відсутній), то значення функцій F_1 , F_2 байдужні і МПС продовжує свою роботу. Якщо ВП=1, то МП–система аналізує значення ВЗП (комбінацію функцій F_1 , F_2) і визначає номер запиту переривання. Завдяки тому, що набір змінних $\beta_1 = \beta_2 = 1$ неможливий (таблиця 14.6), то функції F_1 , F_2 , F_3 у таких випадках невизначено (набори 3, 7, 11, 15, таблиця 14.8, 14.6).

Таким чином, задачею БПП є реалізація трьох логічних функцій F_1 , F_2 , F_3 , кожна з яких визначається значеннями чотирьох логічних змінних: α_1 , α_2 , β_1 і β_2 . Складемо таблицю істинності (таблиця 14.8) для названих функцій.

Таблиця 14.8 – Таблиця істинності для функцій F_1 , F_2 , F_3

	(D)	(C)	(B)	(A)			
N набору	α_1	α_2	β_1	β_2	F_3	F_1	F_2
0	0	0	0	0	0	–	–
1	0	0	0	1	0	–	–
2	0	0	1	0	0	–	–
3	0	0	1	1	–	–	–
4	0	1	0	0	1	1	0
5	0	1	0	1	0	–	–
6	0	1	1	0	0	–	–
7	0	1	1	1	–	–	–
8	1	0	0	0	1	0	1
9	1	0	0	1	0	–	–
10	1	0	1	0	1	0	1
11	1	0	1	1	–	–	–
12	1	1	0	0	1	0	1
13	1	1	0	1	0	–	–
14	1	1	1	0	1	0	1
15	1	1	1	1	–	–	–

Подаємо функції F_1 , F_2 , F_3 діаграмами Вейча (рисунок 14.5) Булеві вирази мінімізованих ПФ мають вигляд

$$F_3 = \alpha_1 \cdot \overline{\beta_2} + \alpha_2 \cdot \overline{\beta_1} \cdot \overline{\beta_2}, \quad (14.12)$$

$$F_1 = \overline{\alpha_2}, \quad (14.13)$$

$$F_2 = \alpha_1. \quad (14.14)$$

		$C(\alpha_2)$			
		12	13	9	8
$D(\alpha_1)$		1	0	0	1
	14	15	11	10	
		1	—	—	1
	6	7	3	2	
		$B(\beta_1)$			
		0	—	—	0
	4	1	0	0	0
		5	1	1	0
	$A(\beta_2)$				

а

		$C(\alpha_2)$			
		12	13	9	8
$D(\alpha_1)$		0	—	—	0
	14	15	11	10	
		0	1	1	0
	6	7	3	2	
		$B(\beta_1)$			
		1	1	1	1
	4	1	1	1	1
		5	1	1	0
	$A(\beta_2)$				

б

		$C(\alpha_2)$			
		12	13	9	8
$D(\alpha_1)$		1	1	1	1
	14	15	11	10	
		1	1	1	1
	6	7	3	2	
		$B(\beta_1)$			
		—	—	—	—
	4	0	—	—	—
		5	1	1	0
	$A(\beta_2)$				

в

Рисунок 14.5 – Діаграми Вейча для:

а – функції F_3 , б – функції F_1 , в – функції F_2

Отримані вирази (14.12...14.14) мають цілком конкретне логічне тлумачення і при наявності певних навичок могли бути отримані без складання таблиці істинності і мінімізації ПФ.

Так, якщо $F_3=1$, а в протилежному випадку F_1 і F_2 байдужі, то запит від ЗВПР1 у вигляді комбінації $F_1 = 0, F_2 = 1$ надійде лише тоді, коли $\alpha_1 = 1$. Значення α_2 байдуже, тому що навіть при $\alpha_1=\alpha_2=1$ все рівно α_1 має більш високий пріоритет. Якщо $\alpha_1=0$, а $F_3 = 1$, то виходить, що вимогу переривання викликано запитом від ЗВПР2 ($\alpha_2=1$). При записі виразу (14.12) можна було керуватися наступними розуміннями: $F_3 = 1$ у двох випадках, по-перше, якщо надійшов запит від ЗВПР1 ($\alpha_1=1$) і при цьому МП–система очікує запит або обслуговує переривання від ЗВПР2 (в обох випадках $\beta_2=0$, див. таблицю 14.6); по-друге, якщо надійшов запит від

ЗВПР2 ($\alpha_2=1$) і при цьому МП–система знаходиться в стані чекання ($\beta_1=\beta_2=0$). Сказане відповідає двом складовим виразу (14.12).

На другому прикладі ми пройшли 2 етапи синтезу комбінаційних цифрових електронних пристроїв:

– представлення перемикальних функцій у формі, що є початковою для обраного методу мінімізації – у нашому випадку у вигляді таблиці істинності і діаграми Вейча;

– одержання мінімальної ДНФ для кожного виходу комбінаційної схеми.

ПИТАННЯ ДЛЯ САМОКОНТРОЛЮ

- 1) Дайте визначення поняттю перемикальна функція.
- 2) Що таке мінімізація логічних функцій, які бувають види мінімізації?
- 3) Який принцип побудови діаграм Вейча (карт Карно)?
- 4) Наведіть умови, за яких ПФ вважається невизначеною.
- 5) Назвіть ціль мінімізації.
- 6) Яка основна відмінність карт Карно від діаграм Вейча?
- 7) Назвіть способи опису ПФ.
- 8) Який набір елементарних функцій називають базисним?
- 9) Назвіть принцип двоїстості булевої алгебри.
- 10) Назвіть основні тотожності та властивості булевої алгебри.
- 11) Дайте визначення диз'юнктивної нормальної форми, досконалої диз'юнктивної нормальної форми, кон'юнктивної нормальної форми, досконалої кон'юнктивної нормальної форми запису булевих виразів.

ЛІТЕРАТУРА

[2, 3, 11...13, 21, 22, 25...27]

15 РЕАЛІЗАЦІЯ ЛОГІЧНИХ ФУНКЦІЙ

15.1 Основні типи логічних елементів

15.1.1 Загальна характеристика

Для апаратної реалізації булевих виразів використовується певний набір логічних елементів, що випускаються у виді інтегральних мікросхем (ІМС). Існують спеціалізовані ІМС, які розроблено методами інтегральної технології спеціально для одержання необхідної логічної залежності. Спеціалізовані ІМС не потребують ніяких паяних з'єднань в середині і мають високу надійність. Проте розробка подібних мікросхем економічно виправдана лише при великому обсязі випуску. Прикладом може служити масовий випуск спеціалізованих великих інтегральних схем (ВІС) для електронних годинників, мікрокалькуляторів і т. ін.

Крім спеціалізованих ВІС є універсальний набір логічних елементів у виді ІМС, що забезпечує реалізацію елементарних логічних функцій. До цього набору можна віднести: інвертор, кон'юнктор, диз'юнктор, повторювач, І–НЕ, АБО–НЕ, виключне АБО, додавання за модулем два (непарність), додавання за модулем два з інверсією (парність), еквівалентність, нееквівалентність, І–АБО–НЕ, заборона і т. ін.

15.1.2 Інвертор (логічний елемент НЕ)

Інвертор реалізує логічну функцію

$$F = \bar{A}. \quad (15.1)$$

Нижче показано його позначення на електричних схемах (рисунок 15.1, а) і принципова схема (рисунок 15.1, б).

15.1.3 Кон'юнктор (логічний елемент І)

Кон'юнктор реалізує логічну функцію

$$F = A \wedge B = A \cdot B. \quad (15.2)$$

Нижче показано його позначення на електричних схемах (рисунок 15.2, а), принципову схему (рисунок 15.2, б) і таблицю істинності (таблиця 15.1).

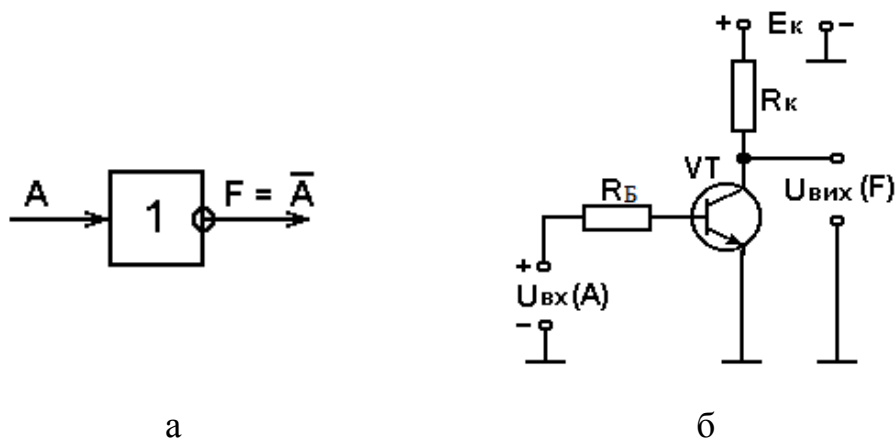


Рисунок 15.1 – Логічний елемент НЕ:

а – позначення на електричних схемах; б – принципова схема

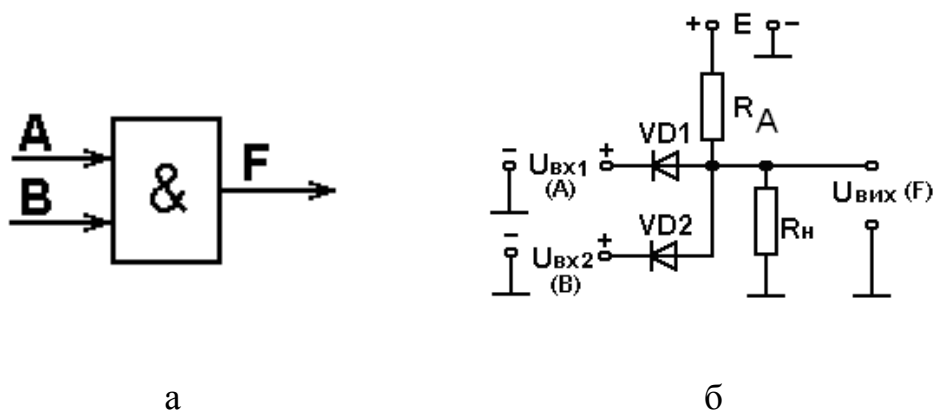


Рисунок 15.2 – Логічний елемент І:

а – позначення на електричних схемах; б – принципова схема

Термін “логічний” звичайно використовують стосовно процедури прийняття рішення. У такому випадку можна сказати, що логічний елемент – це така схема, що, базуючись на вхідних сигналах, може вирішувати, що їй відповісти на виході – “так” або “ні”.

Таблиця 15.1 – Таблиця істинності логічного елемента І

N набору	B	A	F
0	0	0	0
1	0	1	0
2	1	0	0
3	1	1	1

Схема кон'юнктора на рисунку 15.2 відповідає “так” (на виході з'являється високий рівень напруги) тільки в тому випадку, коли на обидва її входи подано сигнали “так” (обидві вхідні напруги мають високий рівень). На рисунку 15.3 показано схему дослідження логічного елемента І.

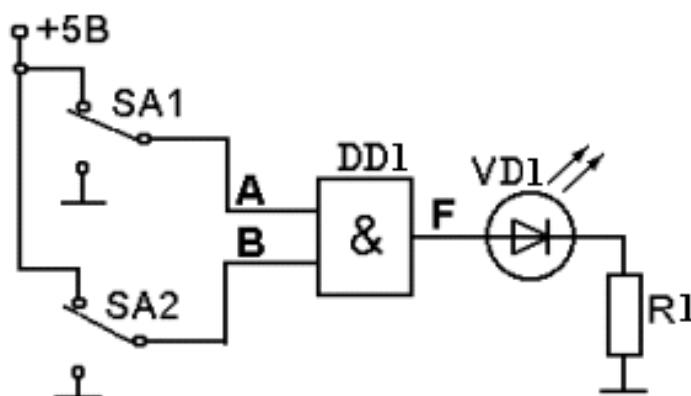


Рисунок 15.3 – Схема дослідження логічного елемента І

Входи логічного елемента підключено до ключів SA1 і SA2. Індикатором виходу служить світлодіод. Якщо на входах А або В з'являються сигнали НИЗЬКОГО логічного рівня (земля), то світлодіод не випромінює. Цю ситуацію відображає перший, другий та третій рядки таблиці 15.2.

Крім значень рівнів напруг і позначки наявності випромінювання вхідні і вихідні сигнали в таблиці 15.2 позначено двійковими цифрами: 0 і 1. Відповідно до рядків 1, 2 та 3, якщо хоча б на один вхід подано

двійковий нуль, то на виході логічного елемента також виникає двійковий нуль.

Таблиця 15.2 – Результати дослідження логічного елемента І

	Входи				Вихід	
	А		В		F	
	Рівень напруги	Двійковий сигнал	Рівень напруги	Двійковий сигнал	Випромінювання	Двійковий сигнал
Рядок 1	низький	0	низький	0	немає	0
Рядок 2	низький	0	високий	1	немає	0
Рядок 3	високий	1	низький	0	немає	0
Рядок 4	високий	1	високий	1	є	1

Двійкова одиниця на виході елемента І з'являється тільки в тому випадку, коли на обидва входи А та В подано двійкові одиниці.

Двійковій одиниці, або напрузі ВИСОКОГО рівня, у точках А, В або F відповідає потенціал близький до +5В відносно землі. Двійковий нуль, або напруга НИЗЬКОГО рівня, у точках А, В або F відповідає потенціалу землі (точніше, близька до потенціалу землі, тобто до нуля). Ми застосовуємо тут так звану “додатну логіку”, оскільки для одержання двійкової одиниці використовується додатна напруга +5В. При роботі з цифровими електронними пристроями ми частіше всього будемо мати справу з “додатною логікою”.

15.1.4 Диз'юнктор (логічний елемент АБО)

Диз'юнктор реалізує логічну функцію

$$F=A\vee B=A+B. \quad (15.3)$$

Нижче показано його позначення на електричних схемах (рисунок 15.4, а), принципову схему (рисунок 15.4, б) і таблицю істинності (таблиця 15.3).

Особливість логічного елемента АБО складається в тому, що на його виході з'являється сигнал низького рівня тільки тоді, коли на усі його входи подаються також сигнали низького логічного рівня.

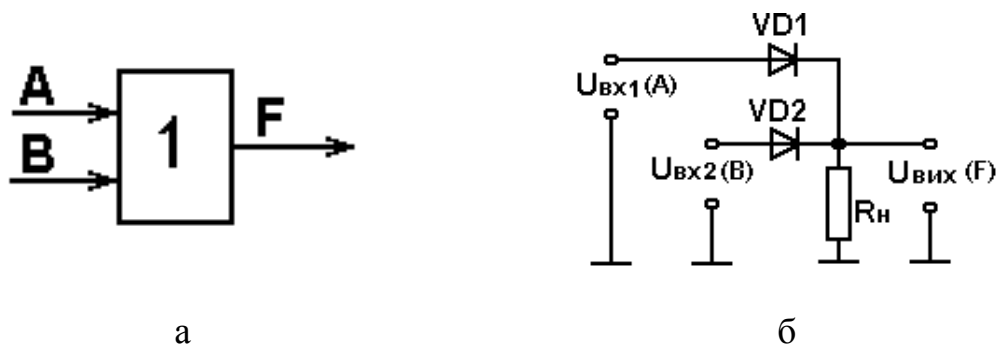


Рисунок 15.4 – Логічний елемент АБО:

а – позначення на електричних схемах; б – принципова схема

Таблиця 15.3 – Таблиця істинності логічного елемента АБО

N набору	B	A	F
0	0	0	0
1	0	1	1
2	1	0	1
3	1	1	1

15.1.5 Повторювач

Повторювач реалізує логічну функцію

$$F = A. \quad (15.4)$$

Його позначення на електричних схемах подано на рисунку 15.5.

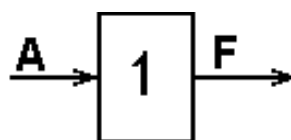


Рисунок 15.5 – Позначення повторювача на електричних схемах

Повторювач не виконує ніяких логічних перетворень і використовується для підвищення навантажувальної спроможності окремих виходів ІМС або як елемент затримки, яка дорівнює часу поширення сигналу через нього.

15.1.6 Логічний елемент І – НЕ

Елемент І – НЕ реалізує логічну функцію

$$F = \overline{A \wedge B} = \overline{A \cdot B}. \quad (15.5)$$

Нижче показано його позначення на електричних схемах (рисунок 15.6, а), функціональну схему (рисунок 15.6, б) і таблицю істинності (таблиця 15.4).

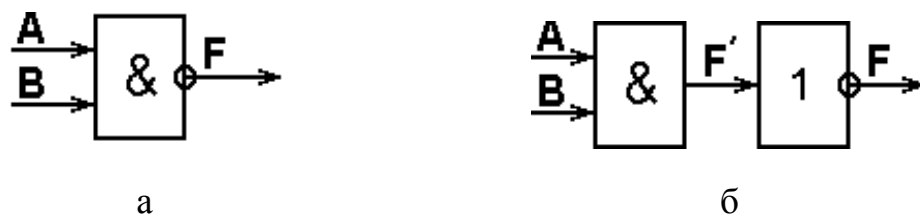


Рисунок 15.6 – Логічний елемент І–НЕ:

а – позначення на електричних схемах; б – функціональна схема

Таблиця 15.4 – Таблиця істинності логічного елемента І–НЕ

N набору	B	A	F
0	0	0	1
1	0	1	1
2	1	0	1
3	1	1	0

15.1.7 Логічний елемент АБО – НЕ

Логічний елемент АБО – НЕ реалізує логічну функцію

$$F = \overline{A + B} = \overline{A \vee B}. \quad (15.6)$$

На рисунку 15.7 показано його позначення на електричних схемах

(рисунок 15.7, а), функціональну схему (рисунок 15.7, б) і таблицю істинності (таблиця 15.5).

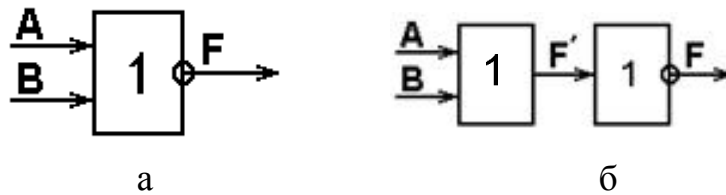


Рисунок 15.7 – Логічний елемент АБО–НЕ: а – позначення на електричних схемах; б – функціональна схема

Таблиця 15.5 – Таблиця істинності логічного елемента АБО–НЕ

N набору	B	A	F
0	0	0	1
1	0	1	0
2	1	0	0
3	1	1	0

15.1.8 Виключне АБО

Логічний елемент “Виключне АБО” реалізує логічну функцію

$$F = A \vee B. \quad (15.7)$$

Нижче показано його позначення на електричних схемах (рисунок 15.8) і таблицю істинності (таблиця 15.6).

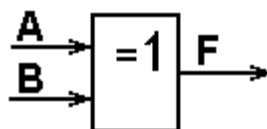


Рисунок 15.8 – Позначення логічного елемента “Виключне АБО” на електричних схемах

Елемент називається “Виключне АБО” тому, що його таблиця істинності збігається з таблицею істинності елемента АБО (підрозділ

15.1.4) першими трьома рядками. У четвертому рядку елемента АБО $F=1$, а елемента “Виключне АБО” – нуль.

Таблиця 15.6 – Таблиця істинності логічного елемента “Виключне АБО”

N набору	B	A	F
0	0	0	0
1	0	1	1
2	1	0	1
3	1	1	0

15.1.9 Додавання за модулем два (непарність)

Елемент реалізує логічну функцію

$$F = A \oplus B \oplus C. \quad (15.8)$$

Нижче показано його позначення на електричних схемах (рисунок 15.9) і таблицю істинності (таблиця 15.7).

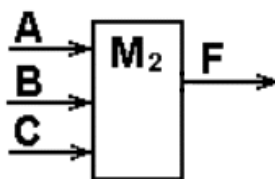


Рисунок 15.9 – Позначення на електричних схемах логічного елемента

“Додавання за модулем два (непарність)”

Елемент підсумовує значення змінних за модулем два (символ $\oplus$ (псевдоплюс) означає сумму за модулем два ($\sum \text{mod} 2$): $0+0=0$; $1+1=0$; $1+0=1$; $0+1=1$). Якщо при підсумовуванні число одиниць непарне, то функція дорівнює 1, в протилежному випадку – $F = 0$.

15.1.10 Додавання за модулем два із запереченням (парність)

Елемент реалізує логічну функцію:

$$F = \overline{A \oplus B \oplus C}. \quad (15.9)$$

Таблиця 15.7 – Таблиця істинності логічного елемента “Додавання за модулем два (непарність)”

N набору	C	B	A	F
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	0
4	1	0	0	1
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

Нижче показано його позначення на електричних схемах (рисунок 15.10) і таблицю істинності (таблиця 15.8).

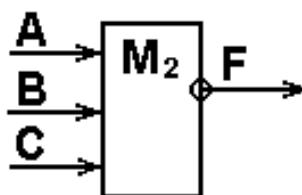


Рисунок 15.10 – Позначення на електричних схемах логічного елемента “Додавання за модулем два із запереченням (парність)”

Елемент формує суму за модулем два, яка потім інвертується на виході. Якщо при підсумовуванні число одиниць парне, то функція дорівнює 1, у протилежному випадку – $F = 0$.

15.1.11 Еквівалентність

Логічний елемент реалізує логічну функцію

$$F = \bar{A} \cdot \bar{B} \cdot \bar{C} + A \cdot B \cdot C. \quad (15.10)$$

Нижче показано його позначення на електричних схемах (рисунок 15.11) і таблицю істинності (таблиця 15.9).

Таблиця 15.8 – Таблиця істинності логічного елемента “Додавання за модулем два із запереченням (парність)”

N набору	C	B	A	F
0	0	0	0	1
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

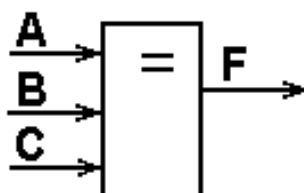


Рисунок 15.11 – Позначення на електричних схемах логічного елемента “Еквівалентність”

Функція дорівнює одиниці, коли усі змінні однакові (дорівнюють одиниці або нулю). У протилежному випадку – $F = 0$.

Таблиця 15.9 – Таблиця істинності логічного елемента “Еквівалентність”

N набору	C	B	A	F
0	0	0	0	1
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

15.1.12 Нееквівалентність

Логічний елемент реалізує логічну функцію

$$F = \overline{A \cdot B \cdot C} + A \cdot B \cdot C. \quad (15.11)$$

Нижче показано його позначення на електричних схемах (рисунок 15.12) і таблицю істинності (таблиця 15.10).

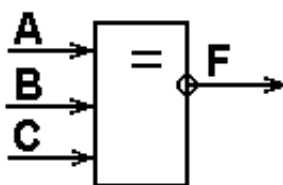


Рисунок 15.12 – Позначення на електричних схемах логічного елемента “Нееквівалентність”

Функція дорівнює одиниці, коли змінні не однакові. В протилежному випадку – $F = 0$.

Таблиця 15.10 – Таблиця істинності логічного елемента “Нееквівалентність”

N набору	C	B	A	F
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	1
4	1	0	0	1
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

Якщо число логічних змінних дорівнює двом, то логічний елемент “Нееквівалентність” збігається з елементами “Додавання за модулем два” і “Виключне АБО ” (таблиці 15.6, 15.7).

15.1.13 Логічний елемент І – АБО – НЕ

Елемент реалізує більш складну логічну функцію, булевий вираз якої, наприклад, має вид:

$$F = \overline{A \cdot B + C \cdot D} \quad (15.12)$$

Нижче показано його позначення на електричних схемах (рисунок 15.13) і таблицю істинності (таблиця 15.11).

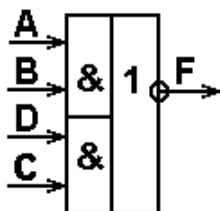


Рисунок 15.13 – Позначення на електричних схемах логічного елемента “І – АБО – НЕ”

Таблиця 15.11 – Таблиця істинності логічного елемента “І – АБО – НЕ”

N набору	D	C	B	A	F
0	0	0	0	0	1
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	0
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	0

15.1.14 Заборона

Логічний елемент реалізує логічну функцію

$$F = A \cdot \overline{B} \quad (15.13)$$

Нижче показано його позначення на електричних схемах (рисунок 15.14) і таблицю істинності (таблиця 15.12).

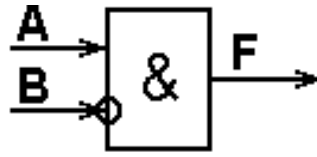


Рисунок 15.14 – Позначення на електричних схемах логічного елемента “Заборона”

На виході такого елемента логічна одиниця буде лише в тому випадку, якщо на основному вході – логічна одиниця ($A=1$), а на вході B, що забороняє, – нуль ($B=0$).

Таблиця 15.12 – Таблиця істинності логічного елемента “Заборона”

N набору	B	A	F
0	0	0	0
1	0	1	1
2	1	0	0
3	1	1	0

В позначенні елемента на електричних схемах вхід, що забороняє, позначено як інверсний – кругом. Сигналом на цьому вході, що забороняє, буде логічна одиниця, а сигналом, що дозволяє, – нуль ($B=0$).

15.1.15 Логічні елементи з відкритим колектором

При побудові цифрових пристроїв часто виникає необхідність об'єднання виходів декількох логічних елементів з метою переходу на спільний вихідний ланцюг. Цю задачу можна вирішити, наприклад, за допомогою елемента АБО (рисунок 15.15).

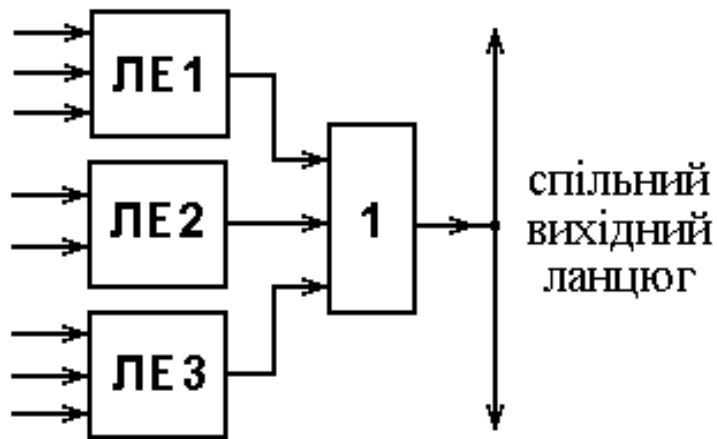


Рисунок 15.15 – Схема об'єднання виходів декількох логічних елементів на спільний вихідний ланцюг

При цьому доводиться миритися з додатковими схемними витратами і збільшенням сумарної затримки проходження цифрових сигналів через пристрій.

Інший спосіб вирішення описаної вище задачі засновано на застосуванні логічних елементів з відкритим колектором (стоком). У полі функціонального позначення цих елементів є спеціальний символ $\diamond$, що вказує на те, що колектор (стік) вихідного транзистора відкритий (обірваний, “висить у повітрі”).

На рисунку 15.16 показано об'єднання виходів декількох логічних елементів із відкритим колектором на спільний вихід.

Для нульових сигналів на виході логічних елементів ЛЕ1...ЛЕ3 (відповідний транзистор відкритий) подана схема виконує функцію “монтажне АБО”: якщо логічний нуль з'являється на виході хоча б одного логічного елемента, вихідний сигнал також буде дорівнювати нулю.

Для одиничних сигналів на виходах логічних елементів ЛЕ1...ЛЕ3 (відповідний транзистор закритий) схема виконує функцію “монтажне І”: вихідний сигнал схеми дорівнює одиниці лише при одночасній появі логічних одиниць на виходах усіх логічних елементів.

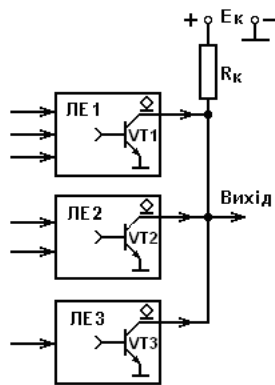


Рисунок 15.16 – Схема об'єднання виходів декількох логічних елементів із відкритим колектором на спільний вихід

Елементи з відкритим колектором (стоком) мають більш високу навантажувальну здатність, ніж звичайні ЛЕ, тому можуть використовуватися для підключення навантажень типу тиристорів, реле, індикаторів (світлодіодів) і т. ін. (рисунок 15.17).

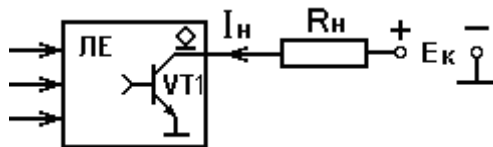


Рисунок 15.17 – Схема підключення до виходу логічного елемента із відкритим колектором зовнішнього навантаження R_n

При цьому необхідно забезпечити виконання умови:

$$I_n \leq I_{\text{вих}}^0, \quad (15.14)$$

де I_n – струм навантаження; $I_{\text{вих}}^0$ – значення максимального струму, що може протікати через відкритий вихідний транзистор логічного елемента (на виході логічний нуль).

На рисунку 15.18 наведено приклад підключення до ЛЕ з відкритим колектором світлодіода VD1.

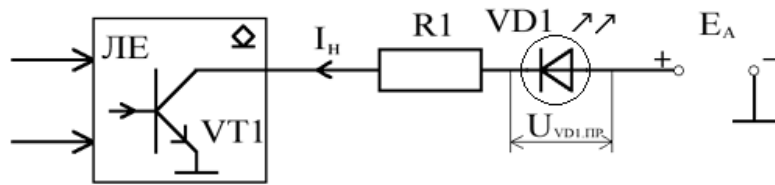


Рисунок 15.18 – Схема підключення світлодіода до ЛЕ з відкритим колектором

Коли на виході логічного елемента з'являється логічний 0 (вихідний транзистор VT1 відкритий), світлодіод буде підключено до джерела струму E_A у прямому напрямі. Коли через світлодіод VD1 протікає прямий струм, він засвічується. Струм I_H дорівнює струму засвічування світлодіода, який, наприклад, складає: $I_{ЗАСВ.VD1} \leq 20 \text{ mA}$. Падіння напруги на відкритому діоді $U_{VD1.ПР}$ складає, наприклад: (1,7...2) В. Резистор R1 обмежує величину прямого струму і обчислюється за формулою:

$$R1 = \frac{E_A - U_{VD1.ПР}}{I_{ЗАСВ.VD1}}. \quad (15.15)$$

Наприклад, $E_A = 5 \text{ В}$, $U_{VD1.ПР} = 2 \text{ В}$, $I_{ЗАСВ.VD1} = 20 \text{ mA}$.

$$\text{Тоді } R1 = \frac{5 - 2}{20 \cdot 10^{-3}} = 150 \text{ Ом}.$$

15.1.16 Логічні елементи з трьома станами вихідного сигналу

Один із найбільш широко використовуваних способів підключення логічних елементів на спільний вихід засновано на застосуванні в їхніх вихідних ланцюгах електричних буферних схем, які можуть під дією керуючих сигналів або підключати до навантаження вихідний логічний сигнал, що приймає значення 0 або 1, або відключати вихід від навантаження (переводити його в так званий 3-й (високоімпедансний, Z-стан)).

Нижче показано позначення на електричних схемах логічного елемента (повторювача) з трьома станами вихідного сигналу (рисунок 15.19, а) і принципову схему його вихідного каскаду, що забезпечує 3 стани вихідного сигналу: логічний 0; логічну 1 і 3-й (Z)–стан.

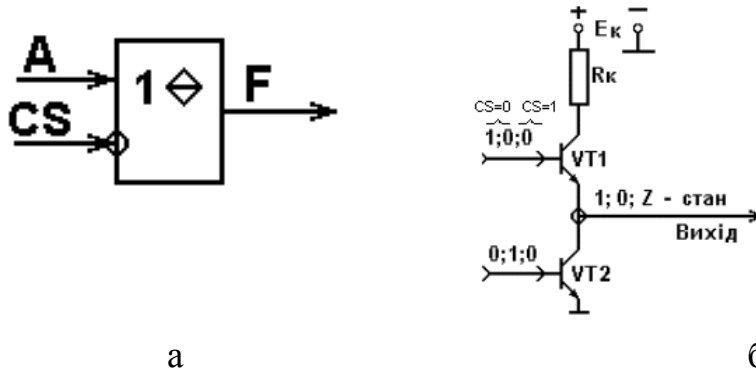


Рисунок 15.19 – Логічний елемент з трьома станами вихідного сигналу: а – позначення на електричних схемах; б – принципова схема

У полі функціонального позначення логічних елементів з трьома станами є спеціальний символ $\diamond$.

Крім основних входів, на які подаються вхідні логічні змінні, подібні елементи мають керуючий вхід: “Вибір кристала” – CS, активним сигналом на якому, як правило, є логічний 0 (рисунок 15.19, а).

Три стани вихідних сигналів забезпечуються керуючими сигналами на базах вихідних транзисторів VT1 і VT2 (рисунок 15.19, б):

- одиничний стан – CS=0, на базі VT1 – одиниця (транзистор – відкритий); на базі VT2 – нуль (транзистор – закритий), і з виходу знімається логічна 1;

- нульовий стан – CS=0, на базі VT1 – нуль (транзистор закритий); на базі VT2 – одиниця (транзистор – відкритий), і з виходу знімається логічний 0;

- Z – стан – CS=1, на базах VT1 і VT2 – логічні нулі (обидва транзистори закриті) і вихід обірваний від спільної шини (знаходиться у високоімпедансному (Z)–стані).

Елементи з трьома станами широко використовуються у мікропроцесорній техніці для підключення виходів різноманітних пристроїв мікропроцесорної системи до спільної шини.

15.2 Реалізація логічних функцій у різних базисах

15.2.1 Базисні набори ЛЕ і їх взаємозв'язок

Існує декілька базисних (функціонально повних) наборів логічних елементів, на яких можна реалізовувати будь-яку перемикальну функцію:

- 1) І, АБО, НЕ;
- 2) І–НЕ;
- 3) АБО–НЕ.

Для реалізації ПФ, поданої булевим виразом у ДНФ або КНФ, достатньо трьох ЛЕ: І, АБО, НЕ, тому цей набір вважається функціонально повним або базисним (базисом).

На практиці більш широко використовуються базиси І–НЕ або АБО–НЕ. Це пов'язано з тим, що зменшення номенклатури елементів до одного типу спрощує проектування пристрою і його ремонт. Крім того, наявність у цих елементах інвертора (підсилювача) підвищує його навантажувальну здатність (підсилює сигнал).

Використовуючи тотожності і теореми булевої алгебри можна перетворити вирази ПФ, записані у вигляді комбінації функцій І, АБО та НЕ, до вигляду, що може бути реалізований елементами базису І–НЕ та АБО–НЕ.

Сказане відбиває таблиця 15.13, а на рисунку 15.20 показано схемну реалізацію функцій НЕ, І та АБО в базисах І– НЕ (рисунок 15.20, а, б, в) і АБО–НЕ (рисунок 15.20, г, д, е).

Функцію І–НЕ називають функцією Шеффера (штрихом Шеффера), позначаючи її у вигляді $F = A \mid B$, а функцію АБО–НЕ – функцією Пірса (стрілкою Пірса), позначаючи її у вигляді

$A \downarrow B$. Базис І–НЕ називають базисом Шеффера, а базис АБО–НЕ – базисом Пірса.

Таблиця 15.13 – Реалізація логічних функцій НЕ, І та АБО базисах І–НЕ та АБО–НЕ

Базис	Логічні операції		
	НЕ	І	АБО
І - НЕ	$F_1 = \bar{A} = \overline{A \cdot A}$	$F_2 = A \cdot B = \overline{\overline{A} \cdot \overline{B}}$	$F_3 = A + B = \overline{\overline{A} \cdot \overline{B}}$
АБО - НЕ	$F_4 = \bar{A} = \overline{A + A}$	$F_5 = A \cdot B = \overline{\overline{A} + \overline{B}}$	$F_6 = A + B = \overline{\overline{A} + \overline{B}}$

15.2.2 Приклади реалізації логічних функцій у різних базисах

15.2.2.1 Реалізація елемента “Еквівалентність” (виключне АБО – НЕ)

На виході такого елемента повинна бути логічна 1, якщо на входах одночасно присутні однакові логічні змінні (одиниці або нулі). Булевий вираз логічної функції, що відповідає аналізованому елементу, має вигляд

$$F = \bar{A} \cdot \bar{B} + A \cdot B. \quad (15.16)$$

Очевидно, що даний вираз легко реалізується елементами базису І, АБО, НЕ.

Використовуючи теорему де Моргана і тотожності булевої алгебри перетворимо вираз (15.16) до вигляду, що дозволяє реалізувати функцію “Еквівалентність” у базисі І–НЕ (15.17) і АБО–НЕ (15.18):

$$F = \overline{\overline{A \cdot B} \cdot \overline{A \cdot B}}, \quad (15.17)$$

$$F = \overline{\overline{A + B} + \overline{A + B}}. \quad (15.18)$$

Нижче показано функціональні схеми елемента “Еквівалентність” на ЛЕ базисів І, АБО, НЕ (рисунок 15.21, а); І – НЕ (рисунок 15.21, б) і АБО–НЕ (рисунок 15.21, в).

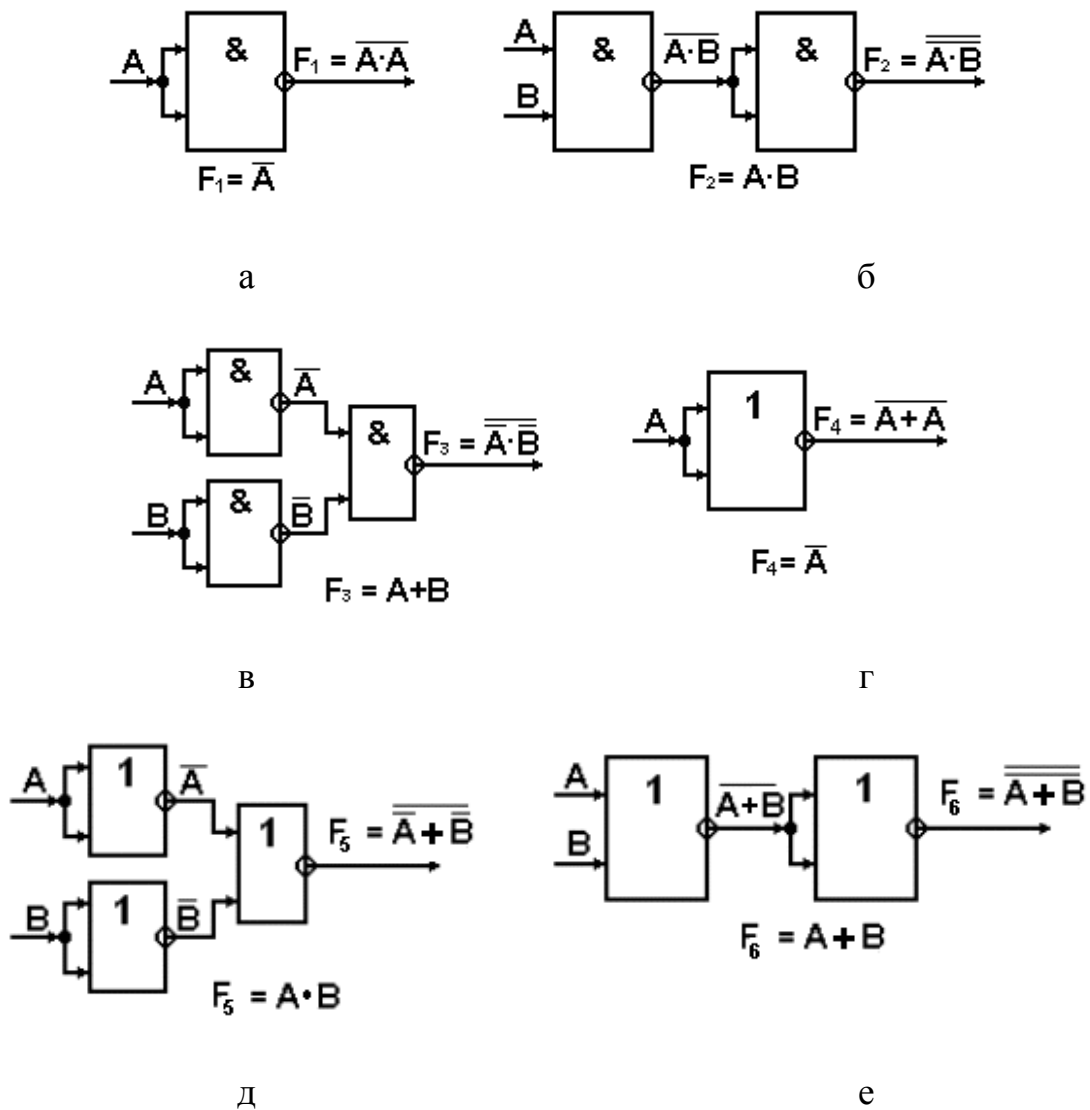


Рисунок 15.20 – Схемна реалізація функцій НЕ, І, АБО в базисах І–НЕ та АБО–НЕ

15.2.2.2 Реалізація елемента “Нееквівалентність” (виключне АБО, сума за модулем два)

На виході такого елемента повинна бути логічна 1, якщо на входах присутні нерівнозначні логічні змінні: $F=1$, якщо $A=1, B=0$ або $A=0, B=1$.

Булевий вираз логічної функції аналізованого елемента має вигляд

$$F = A \cdot \bar{B} + \bar{A} \cdot B. \quad (15.19)$$

Цей вираз може бути легко реалізовано елементами базису І, АБО, НЕ. Застосовуючи теорему де Моргана і тотожності булевої алгебри

перетворимо вираз (15.19) до вигляду, що дозволяє реалізувати функцію “Нееквівалентність” у базисі І–НЕ (15.20) і АБО–НЕ (15.21).

$$F = \overline{\overline{A \cdot B} \cdot \overline{A \cdot B}} \quad (15.20)$$

$$F = \overline{\overline{A+B} + \overline{A+B}} \quad (15.21)$$

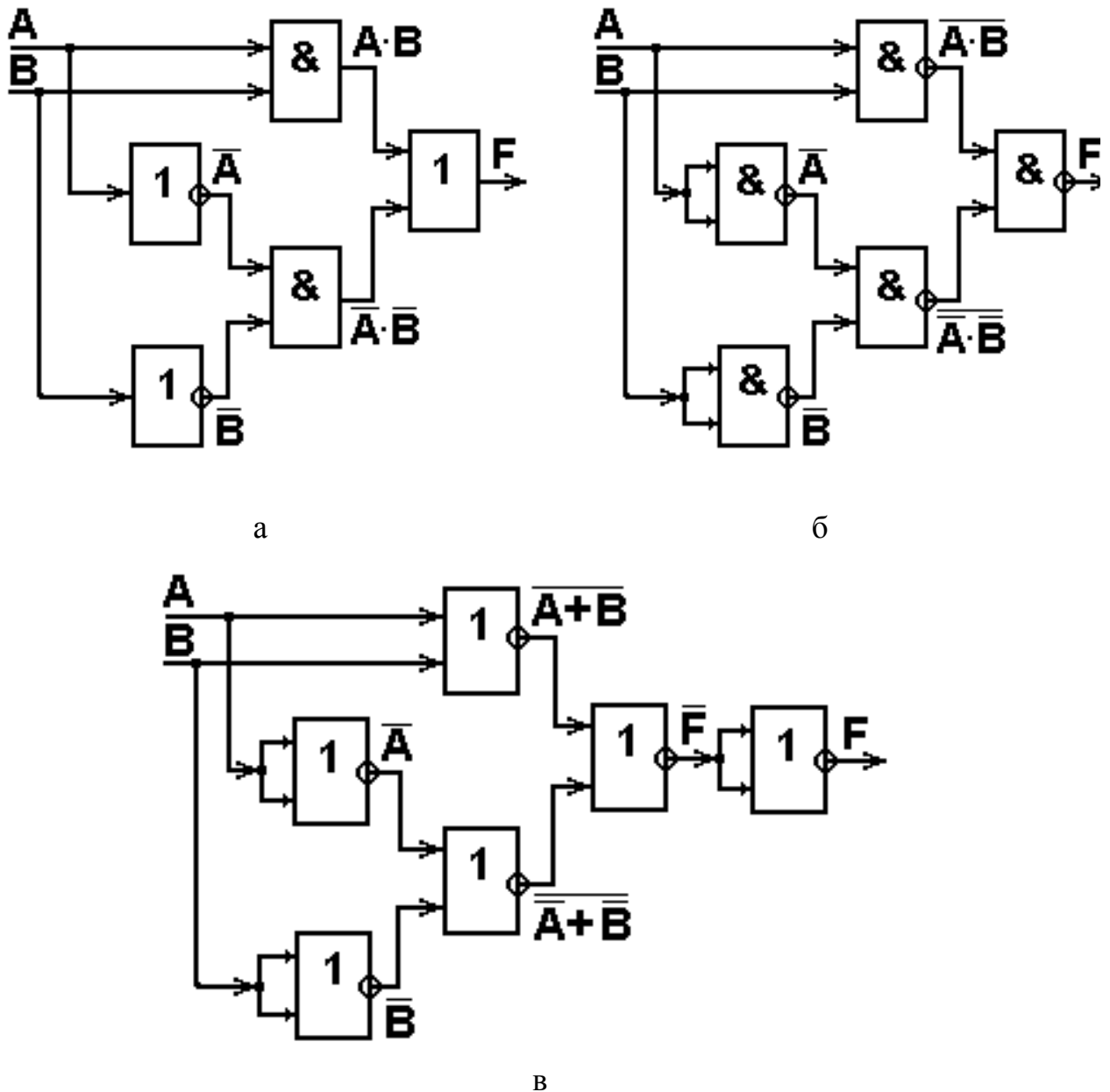


Рисунок 15.21 – Функціональні схеми елемента «Еквівалентність» на:
а – ЛЕ базису І, АБО, НЕ; б – ЛЕ базису І–НЕ; в – ЛЕ базису АБО–НЕ

Нижче показано функціональні схеми елемента “Нееквівалентність” на ЛЕ базису I, АБО, НЕ (рисунок 15.22, а); I–НЕ (рисунок 15.22, б) і АБО–НЕ (рисунок 15.22, в).

Елемент “Нееквівалентність” інакше називають суматором за модулем два: сума двійкових цифр дає одиницю, якщо одна з них одиниця, а інша – нуль; у протилежному випадку, якщо обидві цифри 0 або 1, то сума дорівнює нулю.

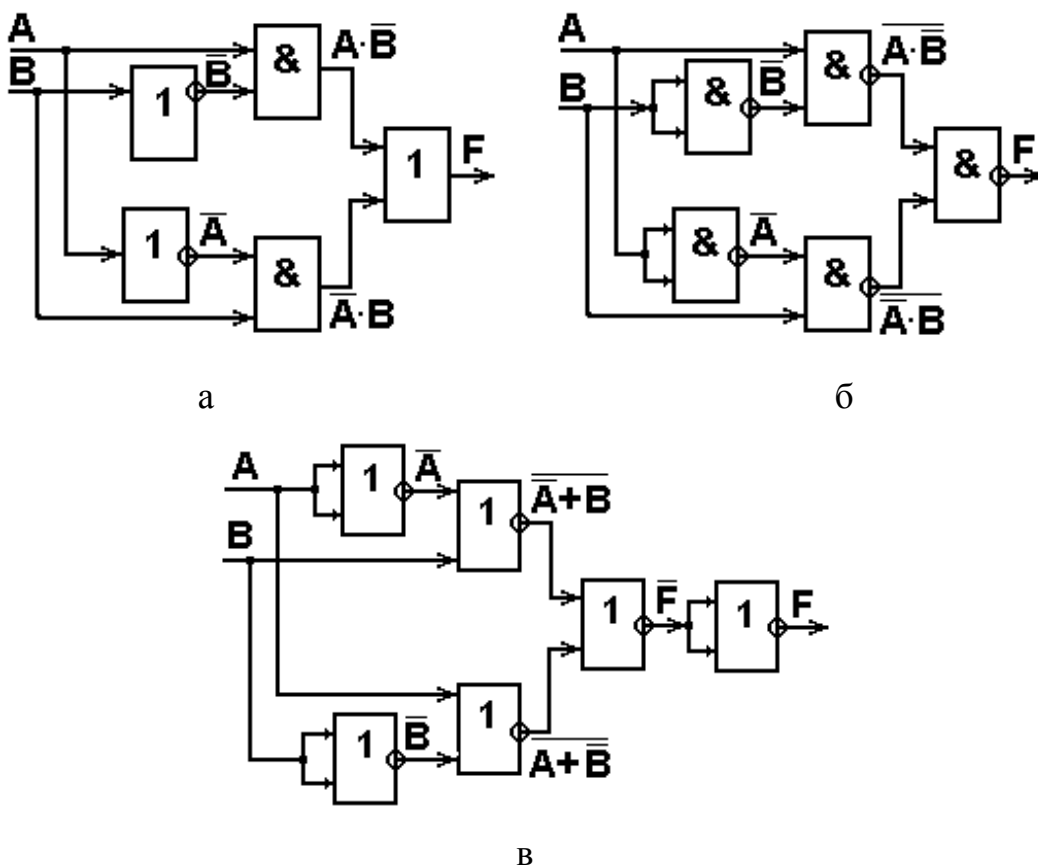


Рисунок 15.22 – Функціональні схеми елемента «Нееквівалентність» на:

а – ЛЕ базису I, АБО, НЕ; б – ЛЕ базису I–НЕ; в – ЛЕ базису АБО–НЕ

15.2.2.3 Реалізація елемента “Заборона”

На виході такого елемента повинна бути логічна 1, якщо на основному вході присутня логічна одиниця, а на вході, що забороняє, – логічний нуль.

Булевий вираз логічної функції аналізованого елемента має вид

$$F = A \cdot \bar{B}. \quad (15.22)$$

Вираз (15.22) може бути легко реалізовано в базисі І, АБО, НЕ. Застосовуючи теорему де Моргана і тотожності булевої алгебри перетворимо вираз (15.22) до вигляду, що дозволяє реалізувати функцію “Заборона” у базисі І – НЕ (15.23) і АБО – НЕ (15.24).

$$F = \overline{\overline{A} \cdot \overline{B}}, \quad (15.23)$$

$$F = \overline{\overline{A} + B}. \quad (15.24)$$

На рисунку 15.23 показано функціональні схеми елемента “Заборона” на ЛЕ базису І, АБО, НЕ (рисунок 15.23, а); І–НЕ (рисунок 15.23, б) і АБО–НЕ (рисунок 15.23, в).

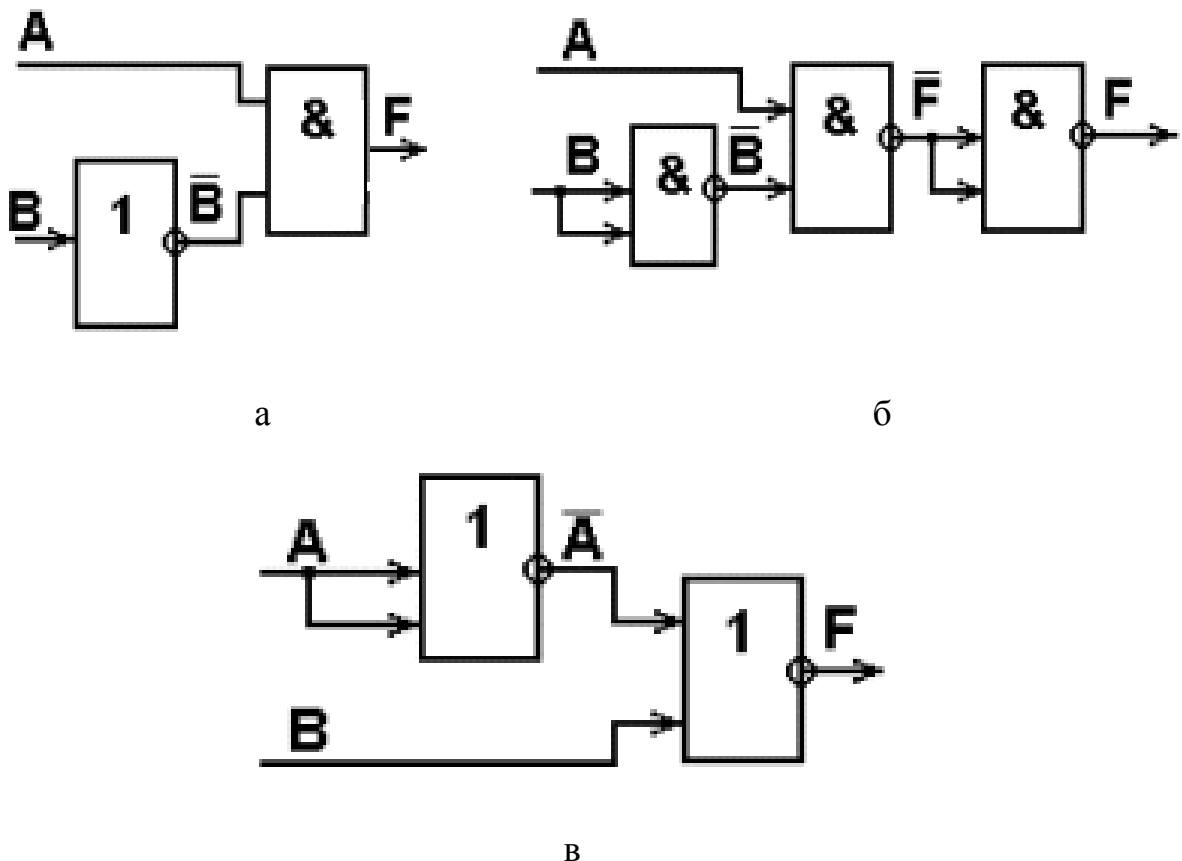


Рисунок 15.23– Функціональні схеми елемента “Заборона” на:
а – ЛЕ базису І, АБО, НЕ; б – ЛЕ базису І–НЕ; в – ЛЕ базису АБО–НЕ

15.2.2.4 Реалізація багатолітерних логічних функцій на елементах з невеликою кількістю входів

Іноді на практиці виникає задача реалізувати логічну функцію великого числа логічних змінних (багатолітерну функцію) на елементах з невеликою кількістю входів. Як приклад на рисунку 15.24 показано функціональну схему, що реалізує на двовходових елементах І–НЕ логічну функцію

$$F = A \cdot B \cdot C \cdot D \cdot E \cdot F \cdot G \cdot H. \quad (15.25)$$

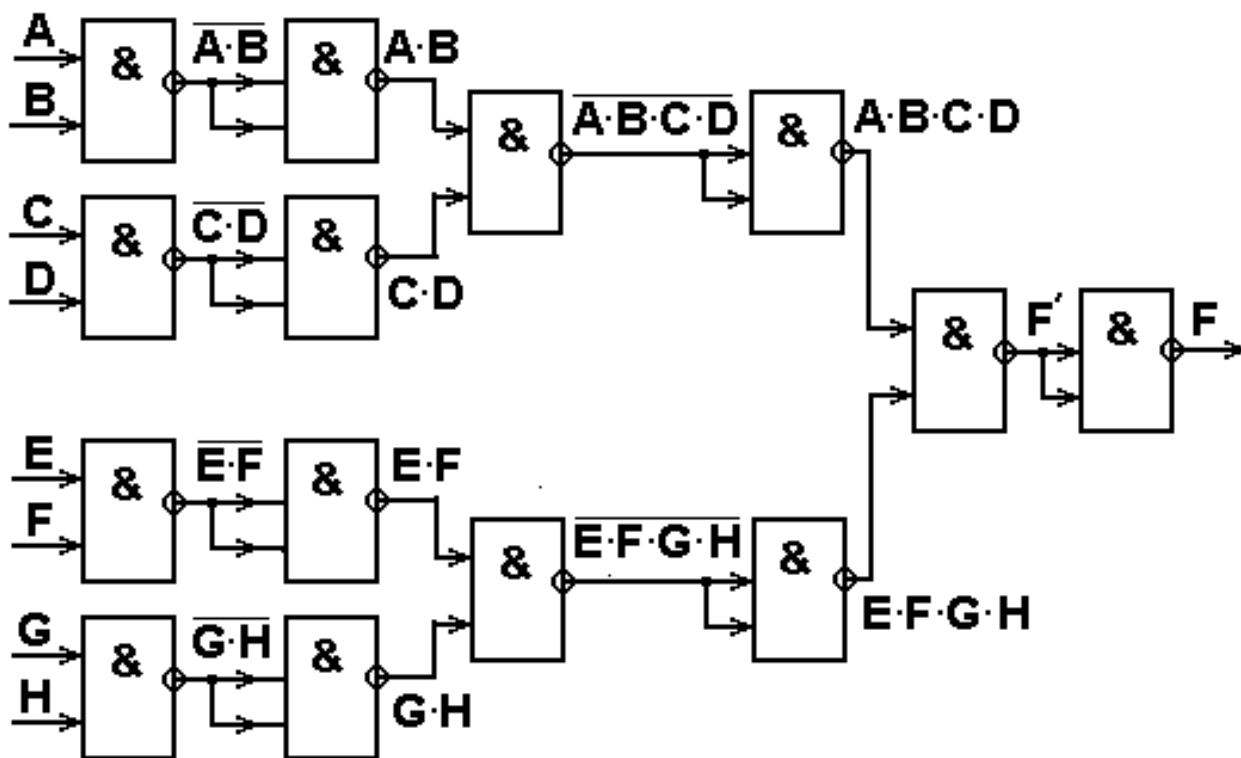


Рисунок 15.24 – Приклад реалізації на логічних елементах І–НЕ функції $F = A \cdot B \cdot C \cdot D \cdot E \cdot F \cdot G \cdot H$

15.3 Технології виготовлення логічних елементів

Для побудови цифрових пристроїв широке застосування знаходять інтегральні логічні елементи на базі ТТЛ – , ТТЛШ – , ЕЗЛ – і КМОН – технологій. Будь яка мікросхема, що реалізує складну логічну функцію, частіше всього складається з елементів І–НЕ або АБО–НЕ.

15.3.1 Базовий ТТЛ (ТТЛШ) – елемент І – НЕ

Найпростіший ТТЛ – елемент, назва якого розшифровується як транзисторно–транзисторна логіка, складається з кон'юнктора, виконаного на багатомітерному транзисторі VT_B і транзисторного інвертора VT_1 (рисунок 15.25).

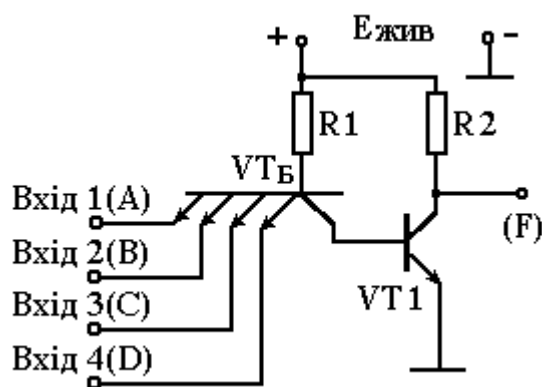


Рисунок 15.25 – Схема найпростішого ТТЛ–елемента

При високих рівнях напруги на усіх входах схеми усі переходи емітер–база багатомітерного транзистора VT_B зміщуються в зворотному напрямі (закриті), а перехід база–колектор за рахунок напруги $+E_{ЖИВ}$ – у прямому (інверсне включення транзистора). Струм колекторного переходу транзистора VT_B , що протікає через перехід база–емітер транзистора VT_1 , вводить останній у режим насичення. При цьому з виходу знімається низький рівень напруги (логічний нуль).

Якщо хоча б на один вхід схеми надійде сигнал логічного 0 (низький рівень напруги), VT_B відкривається і на базу VT_1 подається

низький рівень напруги. Останній закривається і з виходу знімається високий рівень сигналу (логічна одиниця).

Таким чином, елемент реалізує функцію І-НЕ ($F = \overline{A \cdot B \cdot C \cdot D}$). Вихідний опір розглянутого елемента залежить від стану транзистора VT1. Коли він відкритий опір близький до нуля, а коли закритий, $R_{\text{вих}} \approx R_K = R_2$.

Для зменшення енергоспоживання і збільшення навантажувальної здатності ТТЛ – елементи містять додаткові транзистори (рисунок 15.26).

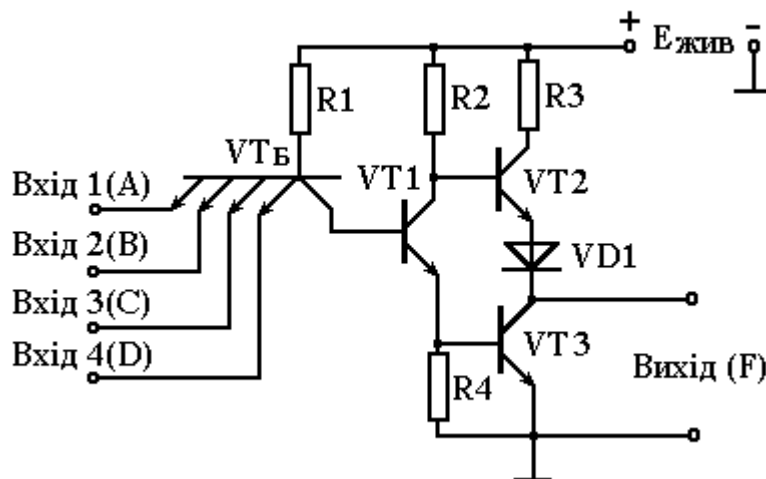


Рисунок 15.26 – Схема ТТЛ-елемента із складним інвертором

Подібна схема називається ТТЛ – елементом із складним інвертором, виконаним на трьох транзисторах VT1, VT2 і VT3. Якщо на усіх входах елемента присутня логічна 1, то емітерний перехід VTБ закритий, а колекторний – відкритий. Струм бази VTБ через перехід БК_{VTБ} надходить у базу VT1. У результаті VT1 входить у режим насичення. Додатним потенціалом, який знімається з резистора R4, транзистор VT3 відкривається і з виходу схеми знімається логічний 0. Завдяки наявності діода VD1 транзистор VT2 при цьому надійно закритий.

Діод забезпечує додаткове додатне збільшення напруги на емітері VT2. Використання таких діодів – один із типових прийомів інтегральної технології, що дозволяє забезпечити надійне закриття вимкнених транзисторів. Наявність закритого VT2 у колекторному ланцюзі відкритого

VT3 практично виключає споживання струму вихідним ланцюгом складного інвертора в стані спокою (без навантаження). Навантаження, увімкнене між $+E_{\text{жив}}$ і колектором VT3 може викликати достатньо великий струм ($I_{\text{к.VT3}}=I_{\text{H}}$).

Якщо хоча б на один вхід схеми (рисунок 15.26) надійде логічний 0, то транзистор VT_Б насичується, на його колекторі (базі VT1) з'являється низький рівень напруги і транзистор VT1 закривається. Потенціал його емітера прямує до нуля, а потенціал колектора – до напруги $+E_{\text{жив}}$. Транзистор VT3 закривається, VT2 – відкривається. З виходу знімається високий рівень напруги (логічна 1).

Каскад на транзисторі VT2 працює в активному режимі як емітерний повторювач (значення резистора R3 мале (десятки Ом) і може не враховуватись).

Вихідний опір емітерного повторювача дуже малий, тому навантажувальна здатність другої схеми (рисунок 15.26) у порівнянні з першою (рисунок 15.25) значно збільшується.

Споживання струму у вихідному ланцюзі ненавантаженого складного інвертора в цьому стані також мале, тому що VT3 – закритий. Якщо між виходом (колектором VT3) і корпусом увімкнути опір навантаження, то споживаний схемою струм збільшується ($I_{\text{H}}=I_{\text{EVT2}}$).

Відсутність власного споживання струму вихідним ланцюгом складного інвертора робить аналізований елемент достатньо економічним.

Водночас, ця схема має суттєвий недолік. При формуванні логічної одиниці на виході струм закритого транзистора VT3 $I_{\text{к03}}$ протікає через резистор R4 (рисунок 15.26), що створює на ньому падіння напруги, спрямоване на відкривання транзистора. Щоб знизити цю напругу значення резистора R4 береться не дуже великим (сотні Ом).

Мале значення R4 шунтує перехід база–емітер VT3 при його відкриванні. Наприклад, при напрузі $U_{\text{БЕН VT3}}=0,6$ В через резистор $R4=$

$=1$ кОм протікає струм 0.6 мА. Отже, VT3 почне відкриватися тільки після того, як струм через резистор R4 зростає до 0.6 мА. Це призводить до розтягування у часі перехідної області передавальної характеристики аналізованого елемента

Крім того, наявність R4 впливає на стабільність параметрів TTL-елемента в робочому діапазоні температур. Цей резистор має додатний температурний коефіцієнт опору (ТКО). При зростанні температури значення R4 збільшується, його дія, що шунтує, зменшується, струм бази VT3 збільшується, транзистор VT3 насичується сильніше, що може збільшити час його вимикання, тобто погіршує швидкодію.

При зниженні температури значення R4 падає, його дія, що шунтує, зростає, що приводить до збільшення часу включення (розтягуванню у часі перехідної області передавальної характеристики мікросхеми).

Для усунення відзначених недоліків замість резистора R4 у схему TTL-елемента включено нелінійний чотириполіусник (рисунок 15.27), виконаний на транзисторі VT4.

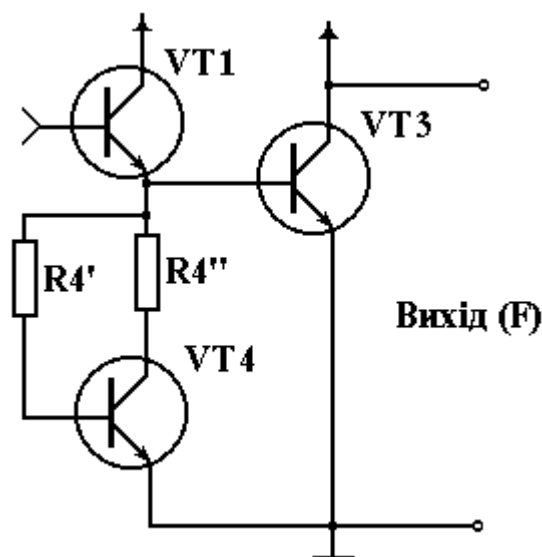


Рисунок 15.27 – Включення у схему TTL-елемента нелінійного чотириполіусника на транзисторі VT4

Це дозволяє зменшити тривалість перехідної області передавальної характеристики ТТЛ-елемента і підвищити стабільність його параметрів.

Розглянута схема з складним інвертором також реалізує функцію І-НЕ.

ТТЛ – схеми в наш час достатньо широко застосовуються в модифікованому ТТЛШ – виконанні і містять транзистори і діоди Шотткі.

Нижче показано приклад двовходового логічного ТТЛШ – елемента І-НЕ (рисунок 15.28), що має ряд додаткових елементів, відсутніх у розглянутих вище ТТЛ – схемах (рисунки 15.25 ... 15.27).

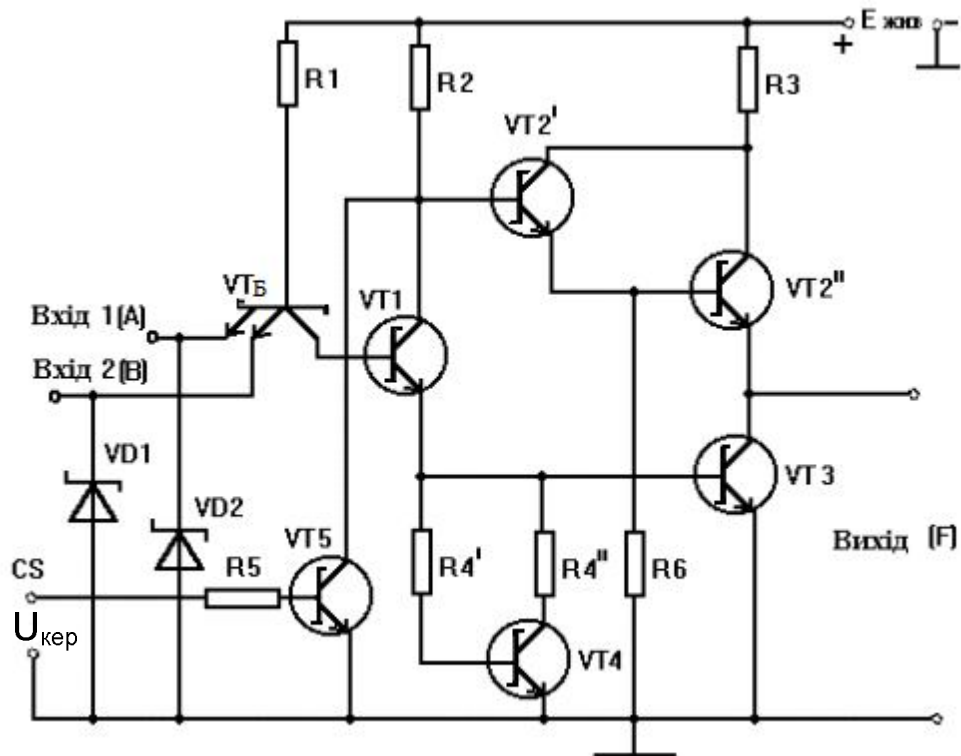


Рисунок 15.28 – Схема двовходового ТТЛШ-елемента І-НЕ

По-перше, для підвищення навантажувальної здатності замість транзистора VT2 (рисунок 15.26) у схему введено складений транзистор (VT2', VT2''). По-друге, для захисту елемента від випадково поданих від'ємних входних сигналів у нього включено діоди VD1, VD2. По-третє, схема містить транзистор VT5, за допомогою якого здійснюється перемикання виходу схеми в третій, високоімпедансний, Z – стан (див.

підрозділ 15.1.16). Додатний потенціал на базі транзистора VT5 відкриває його, підключаючи тим самим колектор транзистора VT1 на землю. Це призводить до того, що транзистори VT2', VT2'' і VT3 залишаються закритими незалежно від стану вхідних керуючих сигналів. При цьому вихід F відключається як від шини живлення, так і від землі, тобто ніби повисає в повітрі. Функціональне позначення такого логічного елемента показано на рисунку 15.29.

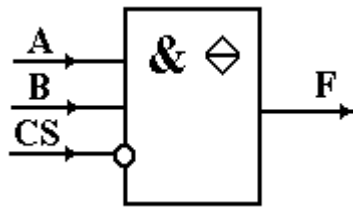


Рисунок 15.29 – Функціональне позначення логічного елемента І з третім станом

Можливість переходу ТТЛ (ТТЛШ) – схем у 3-ій стан дозволяє використовувати їх при роботі на одну системну шину, наприклад, у мікропроцесорних пристроях. При цьому до спільної шини може бути залучено цілий ряд різноманітних пристроїв, обладнаних вихідними ланцюгами з трьома станами. В кожний момент часу зі спільною шиною сполучено тільки один пристрій, а виходи інших знаходяться в 3-му (Z)–стані, тобто відключені від шини.

15.3.2 Базовий ЕЗЛ – елемент АБО/АБО–НЕ

У цьому елементі [1, 3, 4, 26] логічні операції виконуються емітерні–зв’язаними транзисторами, чим і обумовлено назву типу логіки. Елемент має два виходи, на одному з яких фіксується результат операції над вхідними цифровими сигналами –АБО, а на іншому – операції АБО–НЕ.

У цій схемі до “землі” приєднано плюсову шину джерела живлення, тому вихідні сигнали мають від’ємну полярність.

Розроблені на основі ЕЗЛ – схем ІМС характеризуються досить високими швидкодією та навантажувальною здатністю, низькою завадостійкістю і достатньо великою споживаною потужністю, але сьогодні використовуються не дуже часто.

15.3.3 Базовий КМОН – елемент АБО–НЕ

Логічні схеми на комплементарних (що доповнюють один одного) МОН (МДН) – елементах містять послідовно включені МОН - транзистори різних типів провідності, які керуються одним сигналом (рисунок 15.30).

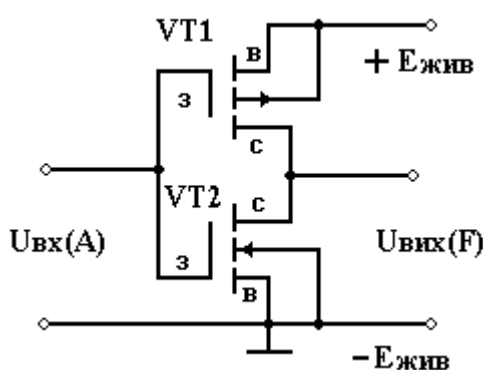


Рисунок 15.30 – Схема КМОН–логічного елемента

Коли один з послідовно включених транзисторів відкривається, інший – закривається. Тому такий каскад практично не споживає потужності в статичному режимі.

КМОН - елемент (рисунок 15.30) являє собою подільник напруги $+E_{жив}$. Нижнє плече подільника складає транзистор VT2, що називається комутуючим або керуючим. Верхнє плече утворює транзистор VT1, який називається таким, що навантажує. Якщо на вхід подається високий рівень напруги (логічна 1), то відкривається транзистор VT2 і закривається VT1. Велика частина напруги живлення виділяється на транзисторі VT1, що навантажує, а з виходу знімається низький рівень напруги (логічний 0).

Якщо на вхід надходить низький рівень сигналу (логічний 0), то відкривається VT1 і закривається VT2. З виходу знімається високий рівень

напруги, а відкритий транзистор VT1 виконує функцію стокового резистора R_C для транзистора VT2.

Розглянута схема виконує функцію інвертора: $F = \overline{A}$.

Нижче показано схему логічного елемента АБО–НЕ з трьома входами на КМОН–елементах (рисунок 15.31).

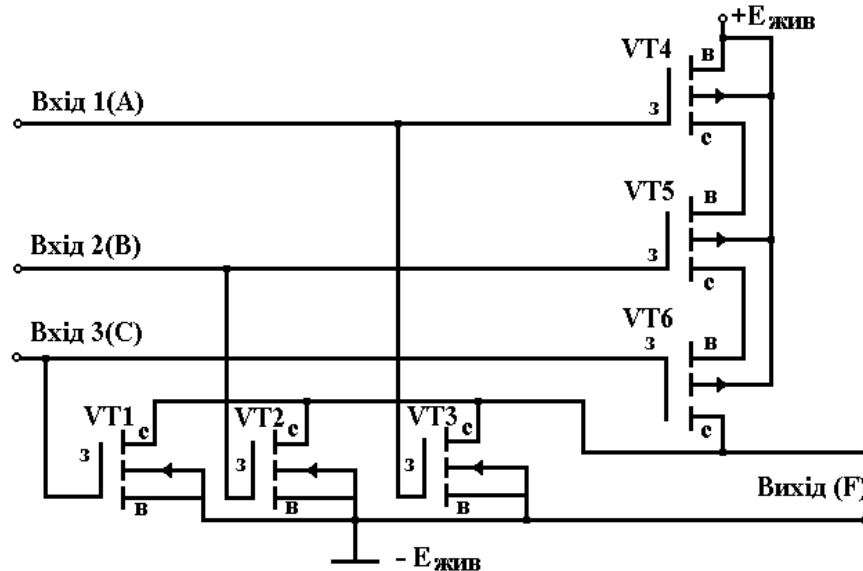


Рисунок 15.31 – Схема логічного елемента АБО–НЕ на КМОН–елементах

Якщо на будь-який з входів, наприклад, C, подається високий рівень (логічна 1), то відкривається транзистор VT1 і шунтує паралельно включені з ним транзистори VT2 і VT3. Опір нижнього плеча подільника, що складається з трьох паралельно включених керуючих транзисторів VT1, VT2 і VT3, зменшується.

Одночасно закривається транзистор VT6 і опір верхнього плеча подільника, що складається з трьох послідовно включених транзисторів VT4, VT5 і VT6, що навантажують, стає дуже значним. Велика частина напруги живлення $+E_{\text{ЖИВ}}$ виділяється на транзисторах, що навантажують а з виходу знімається низький рівень сигналу (логічний 0).

Тільки коли на усіх входах A, B і C присутній низький рівень сигналу (логічний 0), тоді керуючі транзистори закриті, а ті, що

навантажують, – відкриті. Падіння напруги на транзисторах, що навантажують, мале і вони виконують функцію стокового резистора R_C для паралельно включених закритих транзисторів $VT1...VT3$. З виходу знімається високий рівень напруги (логічна 1).

Таким чином, аналізований елемент (рисунок 15.31) виконує логічну функцію АБО–НЕ

$$F = \overline{A + B + C}. \quad (15.26)$$

Логічні КМОН – елементи мають ряд суттєвих переваг. По-перше, у статичному стані в ланцюзі джерела $E_{жив}$ знаходиться закритий транзистор, тому споживана елементом енергія від джерела живлення дуже мала. Споживання енергії відбувається тільки при перемиканні елемента. По-друге, вхідний опір польового транзистора дуже великий, тому кожний наступний елемент практично не навантажує попередній. По-третє, при виконанні за інтегральною технологією польовий транзистор займає на основі мікросхеми меншу площу ніж біполярний. Недоліком елемента є трошки менша швидкодія ніж у ТТЛШ– і ЕЗЛ–елементів.

Під час перевезення і монтажу КМОН – схем, потрібно дотримуватися визначених запобіжних заходів. Зокрема, монтажник і усі монтажні інструменти повинні бути заземлені, щоб виключити можливість пробоя ізоляції між затвором і каналом.

15.4 Параметри і характеристики цифрових інтегральних мікросхем (ЦІМС)

Цифрова мікросхема як функціональний вузол характеризується набором сигналів, що можна розділити на: інформаційні ($X_1, X_2, \dots, X_N$ – вхідні, $Y_1, Y_2, \dots, Y_M$ – вихідні) і керуючі ($V_1, V_2, \dots, V_K$).

Кожна конкретна ЦІМС у відповідності зі своїм функціональним призначенням виконує визначені операції над вхідними сигналами (змінними), а вихідні сигнали являють собою результат цих операцій $Y_M =$

$= F(X_1, X_2, \dots, X_N)$. Операторами F можуть бути як найпростіші логічні перетворення, наприклад І, АБО, НЕ і т. ін., так і складні багатофункціональні перетворення, що мають місце, наприклад, у мікропроцесорах, ВІС пам'яті і т. ін.

Сигнали керування визначають вид операції, режим роботи ІМС, забезпечують, встановлення початкового стану, синхронізують вхідні і вихідні сигнали, задають адреси і т. ін.

Від функціональної складності ІМС залежить система її електричних параметрів, які у загальному випадку можуть мати десятки найменувань, причому більшість з параметрів характерні тільки для ІМС якогось одного класу. Тому нижче роздивимося ті параметри і характеристики, які характеризують більшість мікросхем.

Надалі при вивченні окремих пристроїв цей перелік у міру необхідності буде розширено.

15.4.1 Коефіцієнт об'єднання по входу ($K_{об}$)

Коефіцієнт об'єднання по входу дорівнює кількості входів логічного елемента. На входи надходять логічні змінні, над якими даний елемент виконує логічну операцію. $K_{об}$ обмежує найбільшу кількість змінних функцій, що реалізує даний ЛЕ. При недостатній кількості входів замість одного необхідно використовувати декілька елементів (15.2.2.4).

15.4.2 Коефіцієнт розгалуження по виходу ($K_{роз}$)

Коефіцієнт розгалуження по виходу чисельно дорівнює кількості входів аналогічних елементів, котрими можна одночасно навантажити вихід даного елемента без спотворення передачі інформації. Цей коефіцієнт характеризує навантажувальну здатність елемента і визначається виконанням його вихідного каскаду. Для різноманітних елементів складає від декількох одиниць до декількох десятків.

15.4.3 Статичні характеристики

До статичних характеристик належать: вхідна ВАХ, що визначає залежність вхідного струму від вхідної напруги; вихідна ВАХ, що показує зв'язок між вихідними напругою і струмом; передатна, що визначає залежність вихідної напруги від вхідної [1...3, 22].

На рисунку 15.32 приведено типову передатну характеристику інвертора ТТЛ – типу.

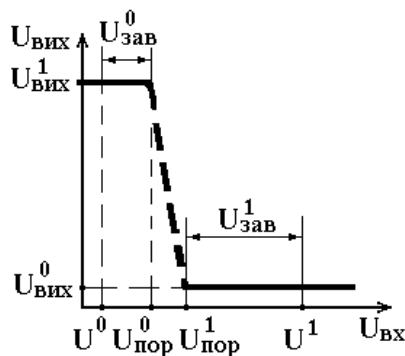


Рисунок 15.32 – Передатна характеристика інвертора ТТЛ–типу

З її допомогою можна визначити ряд параметрів ЛЕ, наприклад, рівні напруг логічної одиниці (U^1), логічного нуля (U^0), значення порогових напруг, при яких вихідний сигнал переключається з 1 у 0 і навпаки з 0 у 1, оцінити завадостійкість елемента.

15.4.4 Завадостійкість

Завадостійкість оцінюється найбільшою напругою статичної завади $U_{\text{зав}}$, що діє на вході, і яка не викликає помилкового переключення елемента з 1 у 0 ($U_{\text{зав}}^0$) або навпаки ($U_{\text{зав}}^1$).

Статичними прийнято називати завади, величина яких залишається постійною протягом часу, що значно перевищує тривалість перехідних процесів у схемі. Причиною появи таких завад у більшості випадків є падіння напруги на провідниках, що з'єднують мікросхеми в пристрої. Найбільш небезпечні завади виникають у шинах живлення. Падіння напруги на “спільній” шині, різні для різноманітних ІМС, будуть

підсумовуватись з вхідними сигналами і можуть призводити до збоїв. Для вилучення подібних ситуацій необхідно уважно ставитися до розташування провідників, що підводять напругу живлення, і збільшувати по можливості їх переріз.

Завадостійкість можна оцінити за передатною характеристикою елемента (рисунок 15.32), визначивши значення $U_{ЗАВ}^0$ і $U_{ЗАВ}^1$.

15.4.5 Динамічні характеристики і параметри

Динамічні характеристики і параметри характеризують швидкодію логічних елементів.

На рисунку 15.33 зображено зміну вихідної напруги у часі при перемиканні з 1 в 0 і навпаки.

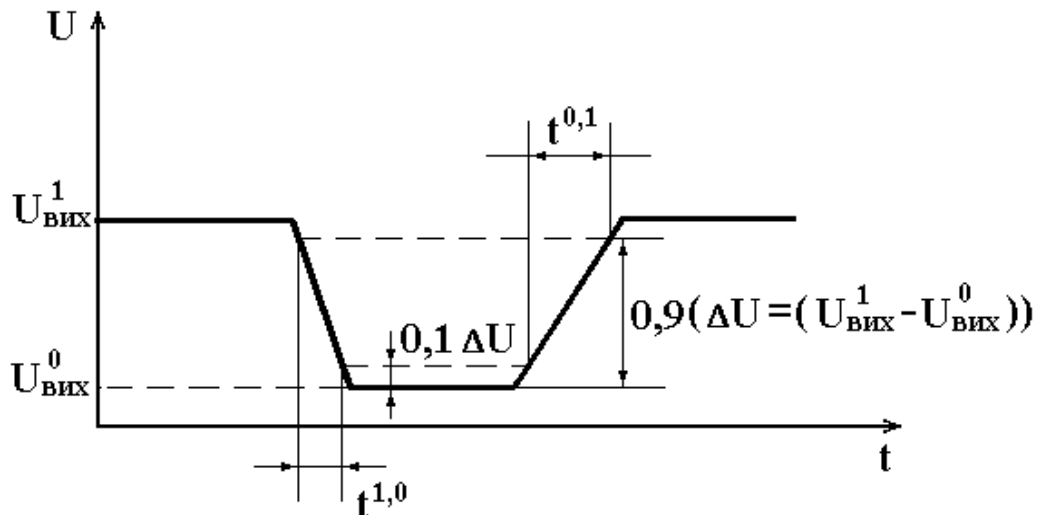


Рисунок 15.33 – Зміна вихідної напруги логічного елемента у часі при його перемиканні з 1 в 0 і навпаки

За цією характеристикою визначається час переходу елемента зі стану одиниці в нуль $t^{1,0}$ і переходу в протилежний стан $t^{0,1}$. Ці інтервали часу вимірюються на рівнях 0,1 і 0,9 від перепаду вихідної напруги при перемиканні $\Delta U = U_{ВИХ}^1 - U_{ВИХ}^0$ (при цьому ємність навантаження повинна відповідати заданій).

Часто швидкодія оцінюється часом затримки поширення сигналу при вмиканні $t_{\text{ЗТ.П.}}^{0,1}$ і вимиканні $t_{\text{ЗТ.П.}}^{1,0}$, а також середнім часом затримки поширення $t_{\text{ЗТ.П.СР}}$ (визначається як напівсума затримок при вмиканні і вимиканні). Ці параметри вимірюються на рівнях 0,5 від перепадів вхідного і вихідного сигналів (рисунок 15.34).

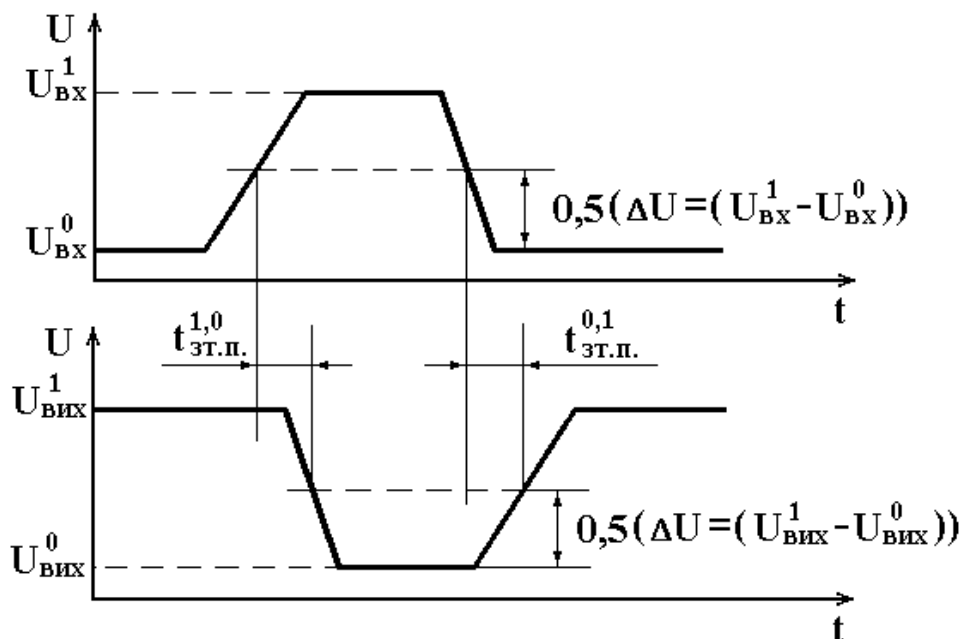


Рисунок 15.34 – Зміни у часі вхідної та вихідної напруг логічного елемента

15.4.6 Вид реалізованої логічної функції

Вище було розглянуто основні логічні елементи, що виконують різноманітні функції: І, АБО, НЕ, І–НЕ, АБО–НЕ, виключне АБО, виключне АБО–НЕ; І–АБО–НЕ; повторення (підсилення цифрового сигналу) і т. ін.

15.4.7 Споживані струм і потужність

До основних параметрів мікросхем часто відносять струм, який вони споживають у двох станах: $I_{\text{СП}}^1$, $I_{\text{СП}}^0$, а також споживану потужність: $P_{\text{СП}}$.

Остання являє собою потужність, яку споживає мікросхема від джерела живлення в заданому режимі. Розрізняють потужності $P_{СП}^1$ і $P_{СП}^0$, споживані ІМС у станах логічних 1 і 0, а також середню споживану потужність

$$P_{СП.СР} = 0,5 \cdot (P_{СП}^1 + P_{СП}^0). \quad (15.27)$$

15.4.8 Вхідні і вихідні струми, напруги

$I_{ВХ}^0, I_{ВИХ}^0$ – вхідний та вихідний струми при сигналі 0;

$I_{ВХ}^1, I_{ВИХ}^1$ – вхідний та вихідний струми при сигналі 1;

$U_{ВИХ}^1$ – мінімальна вихідна напруга при логічній 1 на виході;

$U_{ВИХ}^0$ – максимальна вихідна напруга при сигналі 0 на виході.

15.4.9 Порогові напруги

Вхідна напруга, при якій відбувається різка зміна вихідної напруги, називається порогом перемикавання $U_{ПОР}$. Передатна характеристика реального логічного елемента (рисунк 15.32) в перехідній області (штрихова лінія) не має явно вираженого порогу переключення. Зміна вихідної напруги починається при одному значенні вхідної напруги $U_{ПОР}^0$, а закінчується при іншому $U_{ПОР}^1$.

Характеристика має зону невизначеності (гістерезису) $\Delta U_{Г} = U_{ПОР}^1 - U_{ПОР}^0$, що викликано, зокрема, переходом транзистора з режиму відсічки в режим насичення і навпаки.

Порогова напруга логічного нуля $U_{ПОР}^0$ – найбільше значення низького рівня вхідної напруги, при якому відбувається перехід з одиничного стану в нульовий (рисунк 15.32); $U_{ПОР}^1$ – найменше значення високого рівня вхідної напруги, при якому відбувається перехід з нульового стану в одиничний (рисунк 15.32).

Значення $U_{ПОР}^0$ і $U_{ПОР}^1$ відрізняються на декілька десятих долей вольт, тому часто передатну характеристику апроксимують, як зображено на рисунку 15.35. Тепер $U_{ПОР} = U_{ПОР}^1 = U_{ПОР}^0$.

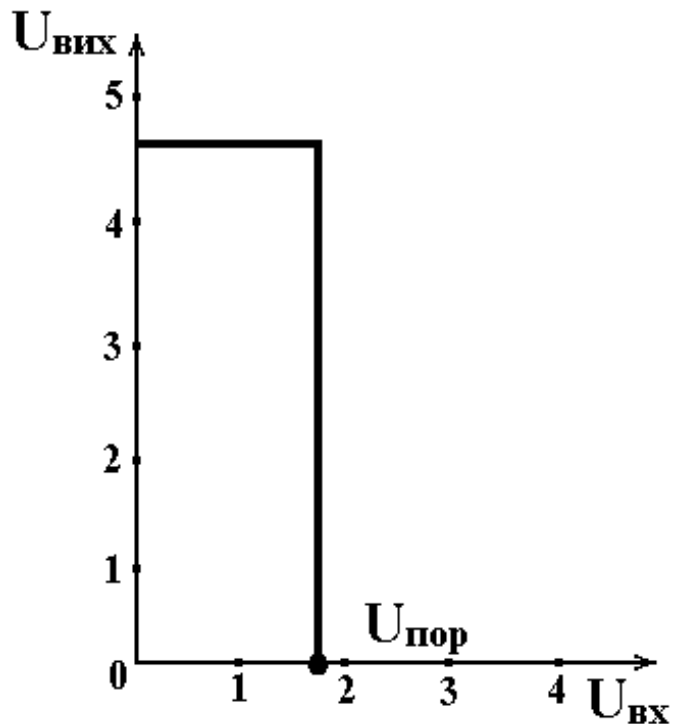


Рисунок 15.35 – Передатна характеристика ідеального логічного елемента

15.4.10 Допустимі значення основних параметрів

E_{MIN} , E_{MAX} – допустимі значення напруги живлення;

U_{MAX}^0 , U_{MIN}^1 – допустимі значення рівнів логічних сигналів одиниці і нуля;

$I_{\text{BX.MAX}}$, $I_{\text{BX.MAX}}^0$, $I_{\text{BX.MIN}}^1$ – допустимі вхідний і вихідний струми в стані 0 і 1.

Існує ще ряд параметрів, наприклад, техніко–економічних, що приводяться в технічній документації, яка додається до ІМС, і в довідниках.

ПИТАННЯ ДЛЯ САМОКОНТРОЛЮ

- 1) Дайте визначення поняттю «логічний елемент».
- 2) Що таке інвертор? Яку логічну функцію він реалізує?
- 3) Яку логічну функцію виконує кон'юнктор?
- 4) Опишіть логіку роботи диз'юнктора. Яку логічну функцію він реалізує?
- 5) Яку логічну функцію реалізує повторювач? Для чого використовується повторювач?
- 6) Які логічні функції реалізують логічні елементи «І–НЕ», «АБО–НЕ»?
- 7) Чому логічний елемент «виключне АБО» має таку назву? Яку логічну функцію він реалізує?
- 8) Яка логіка роботи логічних елементів «непарність» та «парність»? Які логічні функції вони реалізують?
- 9) Які логічні функції реалізують логічні елементи «еквівалентність», «нееквівалентність», «І–АБО–НЕ», «заборона»?
- 10) Для чого використовуються логічні елементи з відкритим колектором?
- 11) Який принцип дії логічних елементів з третім станом? Для чого вони використовуються?
- 12) Назвіть базисні набори логічних елементів.
- 13) Дайте визначення коефіцієнту об'єднання по входу, коефіцієнту розгалуження по виходу логічних елементів.
- 14) Назвіть статичні характеристики цифрових інтегральних мікросхем.
- 15) Що характеризують динамічні характеристики?
- 16) Охарактеризуйте найпростіший ТТЛ / ТТЛШ – елемент.
- 17) Охарактеризуйте базовий ЕЗЛ – елемент АБО/АБО–НЕ.

- 18) Назвіть основні переваги логічних елементів КМОН – типу.
- 19) Як теорему де Моргана можна використовувати для реалізації ПФ у базисах $I - \overline{NE}$ та $A\overline{B}O - \overline{NE}$?

ЛІТЕРАТУРА

[2, 3, 11...13, 21, 22, 25...27]

16 ГЕНЕРАТОРИ ТАКТОВИХ ІМПУЛЬСІВ (ГТІ) НА ЛОГІЧНИХ ЕЛЕМЕНТАХ

16.1 ГТІ на двох інверторах

Існує багато різноманітних схем ГТІ (мультивібраторів) на логічних елементах (ЛЕ) [1, 11, 19, 22], найпростішою з яких є схема на двох елементах І–НЕ (інверторах) (рисунок 16.1).

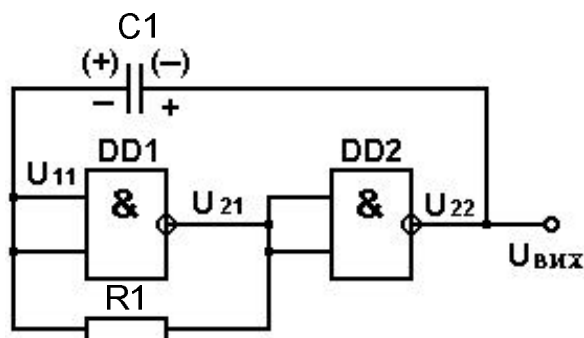


Рисунок 16.1 – Схема мультивібратора на двох ЛЕ І–НЕ

Для стабілізації роботи в схемі використано місцевий (охоплює тільки одну ІМС) від’ємний зворотний зв’язок (ВЗЗ) через резистор R1.

Необхідний для самозбудження генератора додатний зворотний зв’язок (ДЗЗ), реалізовано через конденсатор C1.

У процесі роботи схеми відбувається постійне перезарядження конденсатора C1 через резистор R1 (рисунок 16.2).

На часовому інтервалі T1 на вході елемента DD1 напруга $U_{11} > U_{\text{пор}} \approx 1,3 \dots 1,5 \text{ В}$, де $U_{\text{пор}}$ – порогова напруга логічного елемента. Тому на виході DD1 підтримується низький рівень напруги U_{21}^0 , а на виході DD2 – високий рівень U_{22}^1 . Струм перезарядження конденсатора від джерела живлення протікає за ланцюгом : + E_{жив} ; R_{вих2} ; C1 ; R1 ; R_{вих1} ; “земля” і експоненціально зменшується зі сталою часу

$$\tau_1 \approx C1 \cdot (R_{\text{вих2}}^1 + R1) \approx C1 \cdot R1. \quad (16.1)$$

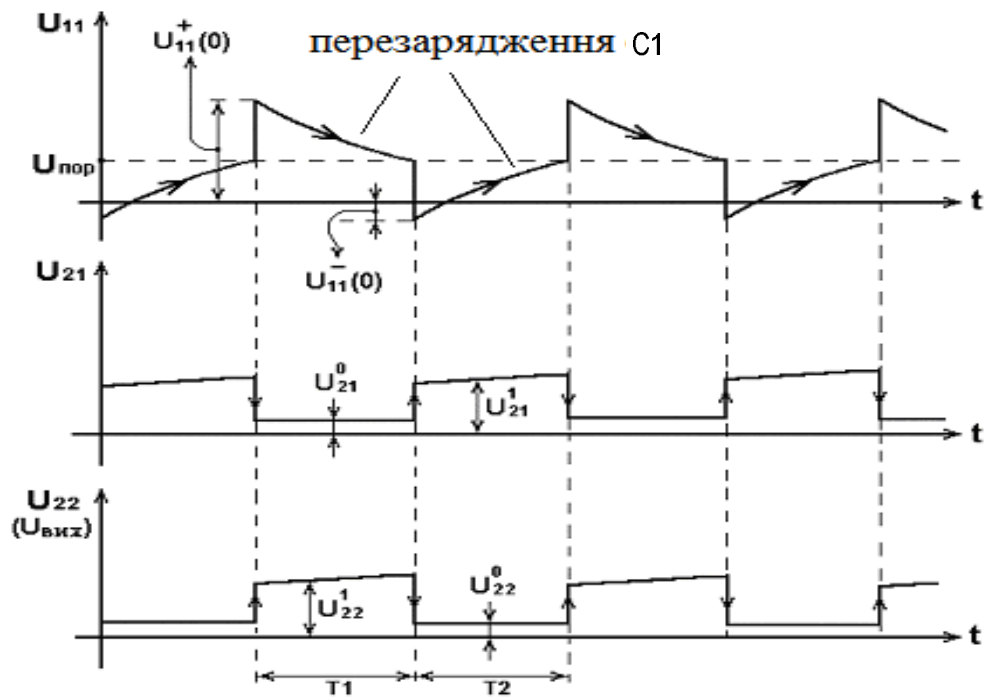


Рисунок 16.2 – Часові діаграми роботи МВ на двох ЛЕ І–НЕ

При цьому напруга на вході DD1 також експоненціально падає від початкової напруги $U_{11}^+(0)$, асимптотично наближаючись до рівня $U_{11}^+(\infty) = U_{22}^0 \approx 0$.

У момент, коли напруга на вході DD1 досягає рівня порога $U_{\text{пор}}$, інвертор DD1 переходить у підсилювальний режим (похила ділянка передатної характеристики логічного елемента (рисунок 15.32)). Напруга U_{21} зростає, і інвертор DD2 також переходить у підсилювальний режим. У схемі починає виконуватися умова виникнення стрибків: баланс амплітуд і баланс фаз (ДЗЗ), що сприяє швидкому (лавиноподібному) переключенню мультивібратора в інший квазістійкий стан рівноваги ($U_{21} = 1$, $U_{22} = 0$).

На виході виникає від'ємний стрибок напруги, що через конденсатор C1 прикладається до входу U_{11} , викликаючи там теж стрибок напруги. Оскільки $|\Delta U_{22}| > U_{\text{пор}}$, то на вході з'являється невелика від'ємна напруга $U_{11}^-(0)$.

На часовому інтервалі T2 напруга на вході DD1 $U_{11} < U_{\text{ПОР}}$, тому на виході DD1 – високий рівень U_{22}^1 , а на виході елемента DD2 – низький $U_{22}^0 \approx 0$. Конденсатор C1 знову перезаряджається. Струм перезарядження C1 проходить в протилежному напрямі за ланцюгом:

$$+ E_{\text{жив}}; R_{\text{вих1}}^1; R1; C1; R_{\text{вих2}}^0; \text{“земля”}.$$

В процесі перезарядження струм через резистор R1 експоненціально зменшується зі сталою часу

$$\tau_2 \approx C1 \cdot (R1 \parallel R_{\text{вих1}}^0), \quad (16.2)$$

а напруга на вході DD1 експоненціально зростає від рівня $U_{11}^-(0)$, асимптотично наближаючись до рівня $U_{11}(\infty) = +E_{\text{жив}}$. Коли U_{11} досягає значення $U_{\text{ПОР}}$, схема знову переключається.

На виході U_{22} з'являється додатний стрибок напруги, що через конденсатор C1 прикладається до входу U_{11} , викликаючи там також стрибок напруги. Далі описані процеси повторюються.

Період генерації імпульсів визначається залежністю [11, 19]

$$T \approx 2.3 \cdot C1 \cdot R1, \quad (16.3)$$

за умови, що значення опору резистора R1 лежить у діапазоні

$$240 \text{ Ом} < R1 < 470 \text{ Ом}. \quad (16.4)$$

До переваг розглянутого МВ відносяться: простота схеми і стабільність частоти генерації. При зміні напруги живлення ІМС ТТЛ-типу в діапазоні (4,5...5,5) В частота змінюється тільки на 2%. Головний недолік – спотворення вершини вихідних імпульсів, тому що вихід пов'язано з конденсатором, що постійно перезаряджається.

Для усунення цього недоліку в схему вводять ще один елемент І–НЕ (інвертор).

16.2 ГТІ на 3-х інверторах

У схемі такого генератора (рисунок 16.3) резистор R відключено від виходу DD1 і під'єднано до виходу елемента DD3.

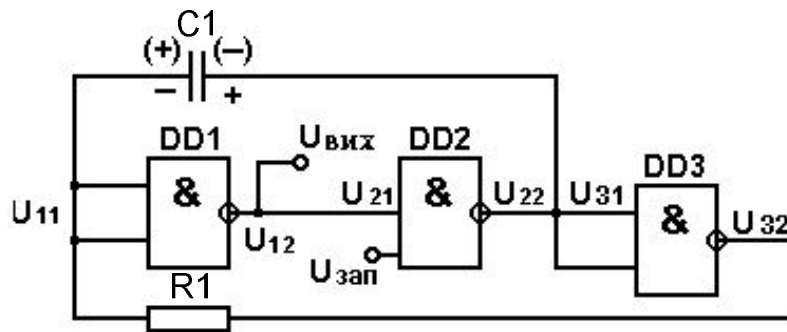


Рисунок 16.3 – Схема мультивібратора на трьох ЛЕ І-НЕ

Перезаряд конденсатора C1 відбувається через резистор R1 і вихідні ланцюги DD2 і DD3. Оскільки елемент DD1 не навантажений ємністю, імпульси на його виході мають добру прямокутність. Принцип роботи схеми аналогічний до попередньої. Часова діаграма роботи показана на рисунку 16.4.

Значення опору резистора R1 вибирається за умови [19]

$$240 \text{ Ом} < R1 < 1,5 \text{ кОм}. \quad (16.5)$$

Період генерування імпульсів

$$T \approx 2,3 C1 * R1. \quad (16.6)$$

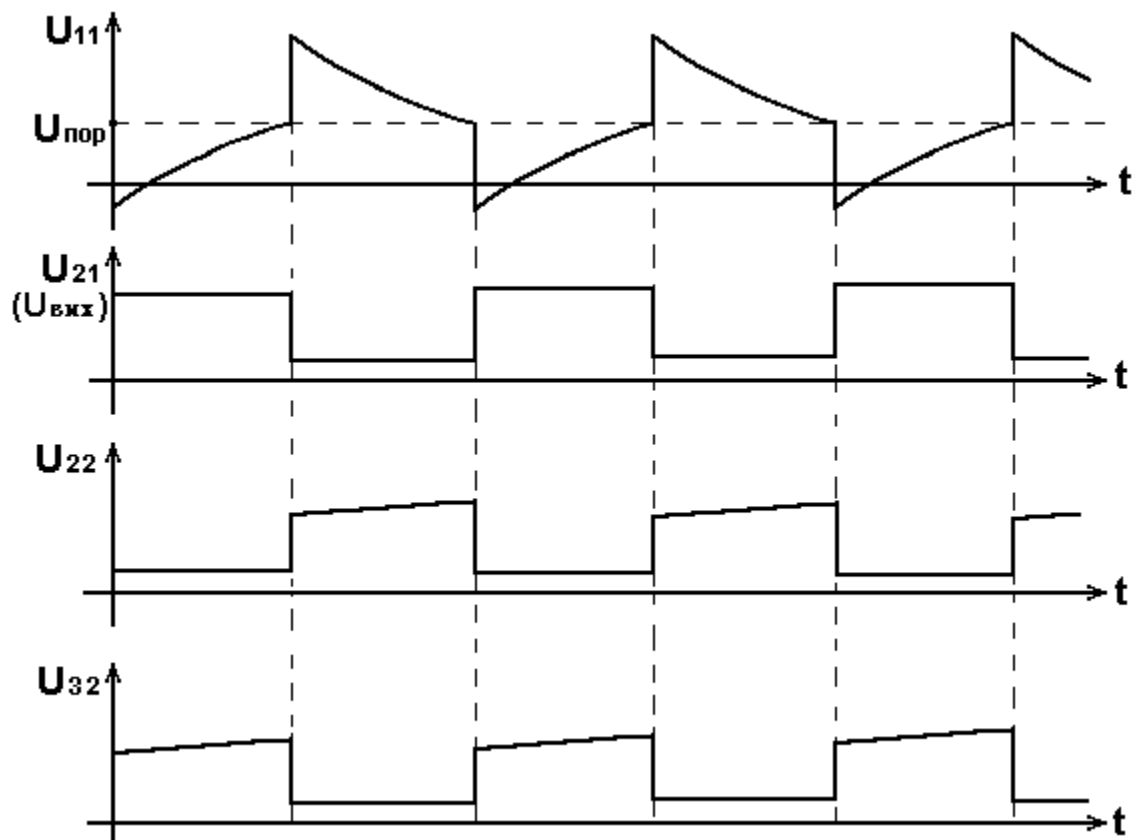


Рисунок 16.4 – Часові діаграми роботи МВ на трьох ЛЕ І–НЕ

ПИТАННЯ ДЛЯ САМОКОНТРОЛЮ

- 1) Які види зворотних зв'язків має мультивібратор на 2-х інверторах?
- 2) Поясніть часові діаграми роботи МВ на ЛЕ.
- 3) Назвіть основний недолік МВ на 2-х ЛЕ.

ЛІТЕРАТУРА

[17, 19, 22, 27]

17 КОМБІНАЦІЙНІ ЦИФРОВІ ПРИСТРОЇ (КЦП)

17.1 Визначення КЦП

Логічні пристрої, вихідні функції котрих однозначно визначаються комбінацією вхідних логічних змінних в аналізований момент часу, називаються комбінаційними.

17.2 Аналіз і синтез КЦП

У процесі проектування будь-якого пристрою виконується ряд дій, що можна віднести до задач аналізу й синтезу.

17.2.1 Аналіз КЦП

Виконання задач аналізу КЦП припускає наявність готової функціональної схеми пристрою на логічних елементах заданого базису. У процесі аналізу оцінюються деякі характеристики наявної схеми КЦП. Наприклад, можна скласти булевий вираз і таблицю істинності, що визначають перетворення інформації в КЦП; мінімізувати логічну функцію, що виконує аналізована схема; оцінити апаратні витрати на реалізацію схеми; її швидкодію; споживану потужність; розглянути можливість утворення в схемі помилкових небезпечних станів у результаті змагань (гонок) і т. ін.

17.2.2 Синтез КЦП

Синтез КЦП передбачає побудову функціональної схеми пристрою, тобто визначення складу необхідних логічних елементів і з'єднань між ними, при яких забезпечується перетворення вхідних цифрових сигналів у вихідні відповідно до заданих умов роботи пристрою. У процесі синтезу необхідно мінімізувати апаратні витрати на реалізацію пристрою. Послідовність синтезу доцільно розбити на ряд етапів.

Етап 1. Задання логічної функції, що визначає функціонування синтезованого КЦП. Як відзначалося раніше, це можна зробити словесно, за допомогою таблиць істинності або булевих виразів.

Етап 2. Мінімізація логічної функції, що здійснюється алгебраїчним або графічним методом (за допомогою діаграм Вейча або карт Карно).

Етап 3. Запис булевого виразу мінімізованої перемикальної функції.

Етап 4. Перетворення булевого виразу мінімізованої ПФ для реалізації її у заданому базисі І–НЕ або АБО–НЕ.

Етап 5. Складання функціональної схеми КЦП, тобто зображення потрібних логічних елементів і зв'язків між ними.

Роздивимось особливості синтезу на прикладі КЦП з одним виходом. Необхідно синтезувати на елементах І–НЕ КЦП на три входи, значення вихідного сигналу якого збігається зі значенням більшості вхідних сигналів.

Даний словесний опис задає логічну функцію «Мажоритарність». Її роботу відбиває таблиця істинності (таблиця 17.1).

Булевий вираз ПФ у ДДНФ має вигляд:

$$F = \overline{C} \cdot B \cdot A + C \cdot \overline{B} \cdot A + C \cdot B \cdot \overline{A} + C \cdot B \cdot A. \quad (17.1)$$

Мінімізуючи даний вираз, використовуючи тотожності й теореми булевої алгебри, отримаємо:

$$F = B \cdot A + C \cdot A + C \cdot B. \quad (17.2)$$

Перетворимо даний вираз для його реалізації у базисі І–НЕ. Застосовуючи теорему де Моргана отримаємо

$$F = \overline{\overline{B \cdot A \cdot C \cdot A \cdot C \cdot B}}. \quad (17.3)$$

Таблиця 17.1 – Таблиця істинності ЛЕ «Мажоритарність»

№ набору	C	B	A	F
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

Функціональну схему синтезованого КЦП, що реалізує вираз (17.3) на елементах І–НЕ, приведено на рисунку 17.1.

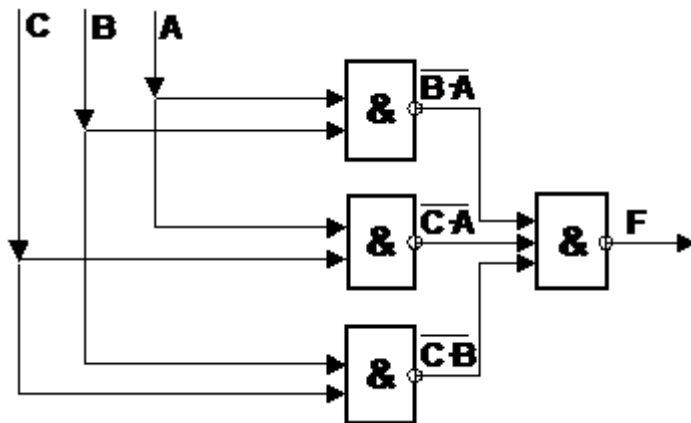


Рисунок 17.1 – Функціональна схема ЛЕ «Мажоритарність»

У практиці широко застосовуються КЦП, що мають декілька незалежних виходів. При проектуванні таких пристроїв можна скористатися розглянутими вище правилами синтезу, якщо уявити пристрій у вигляді сукупності декількох КЦП із спільними входами.

Функціонування КЦП із незалежними m - виходами описується (задається) аналогічною кількістю перемикальних функцій, над кожною з яких у процесі синтезу виконуються дії, описані вище.

17.3 Типові КЦП

У цифровій техніці при побудові складних пристроїв широко застосовуються не тільки окремі логічні елементи, що реалізують елементарні булеві функції, але і їхні комбінації у вигляді типових структур, виконаних як єдине ціле у вигляді інтегральних мікросхем (ІМС). На входи таких структур подаються інформаційні логічні сигнали й сигнали керування. Останні можуть визначати, наприклад, порядок передачі інформаційних вхідних сигналів на вихід або відігравати роль сигналів синхронізації. У багатьох випадках, особливо при використанні у пристроях вихідних ланцюгів із трьома станами, у якості сигналів синхронізації виступають сигнали “Вибір мікросхеми” (CS). Наявність активного значення такого сигналу керування (в одних схемах це логічний нуль, в інших – логічна одиниця) дозволяє пристрою виконання заданих функцій, відсутність його – переводить схему в “не обраний” стан, а її виходи відключені від навантаження.

17.3.1 Шифратори та дешифратори

У повсякденному житті для подання чисел ми застосовуємо десяткову систему числення. Якщо остання використовується для відображення дискретних повідомлень (дискретної інформації – даних), то говорять про кодування – установленні відповідності між елементами даних і сукупністю символів, що називаються кодовою комбінацією. У більшості сучасних комп'ютеризованих систем керування та автоматики вхідна дискретна інформація подана в десятковому (унітарному) коді, а обробка інформації цифровим комп'ютером здійснюється над даними, поданими у двійковому коді.

Виникає задача перетворення десяткового (унітарного) коду у двійковий при введенні в систему й зворотнє переведення двійкового коду в десятковий (унітарний) при виведенні з цифрової системи результатів обробки інформації.

Комбінаційний цифровий пристрій (КЦП), що виконує перетворення десяткового (унітарного) коду у двійковий називається шифратором (кодером) двійкового коду, а який здійснює перетворення двійкового коду в десятковий (унітарний) – дешифратором (декодером) двійкового коду.

Дуже часто десяткові коди перетворюються у двійково–десяткові, що називають BCD (Binary Code Decimal)–кодами або кодами 8421. У цьому випадку КЦП, що перетворюють десятковий код у BCD–код і навпаки називають відповідно шифратором (кодером) і дешифратором (декодером) BCD–коду.

Поширеним вихідним пристроєм, що відображає десяткові числа, є семисегментний індикатор. Його роботою керує дешифратор, що перетворює BCD–код у семисегментний. Розглянемо названі пристрої більш докладно.

17.3.1.1 Шифратори двійкового коду

Шифратори двійкового коду (ДВК) перетворюють десятковий (унітарний) код у двійковий. Якщо число розрядів вихідного ДВК (виходів шифратора) дорівнює m , то максимальне число вхідних шин визначається числом можливих кодових комбінацій ДВК і складає 2^m .

Умовне позначення шифратора показано на рисунку 17.2.

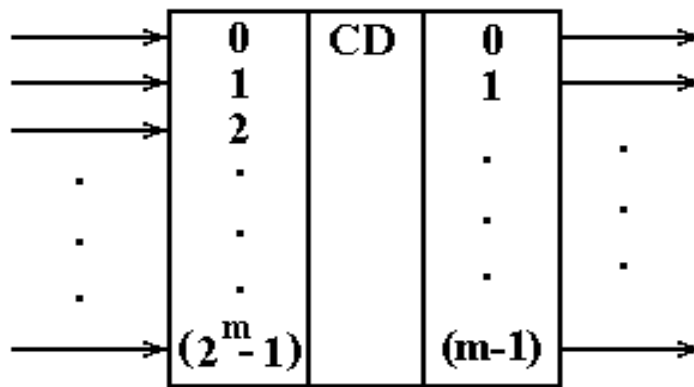


Рисунок 17.2 – Позначення шифратора двійкового коду

На вихідних шинах установлюється ДВК, що відповідає десятковому номеру входу, на якому з'явилася логічна 1. На інших входах при цьому присутні нулі. Такий код називають унітарним (десятковим).

Розглянемо приклад проектування шифратора, у якого число розрядів вихідного ДВК $m=2$. Максимальне число входів дорівнює $2^m=2^2=4$, що дозволяє відобразити дворозрядним вихідним двійковим кодом чотири десяткові цифри 0, 1, 2, 3. Іноді при проектуванні шифраторів нульовий вхід опускають, вважаючи, що нульовій цифрі на вході відповідають нулі на усіх виходах. Приймаючи такий підхід, складемо таблицю істинності аналізованого в прикладі (рисунок 17.3) шифратора (таблиця 17.2).

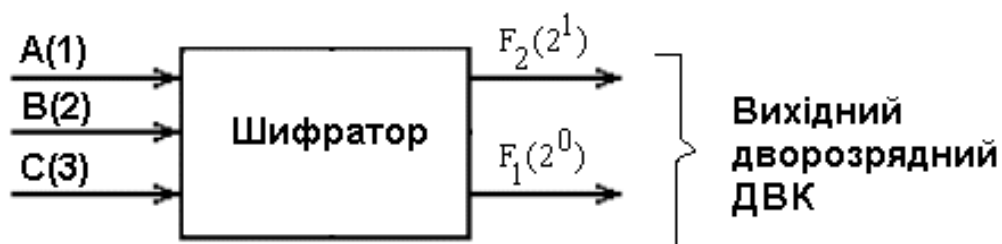


Рисунок 17.3 – Приклад шифратора двійкового коду при $m=2$

Мінімізуємо функції F_2 , F_1 за допомогою діаграм Вейча (рисунок 17.4). Якщо провести мінімізацію за нульовими значеннями функцій F_2 , F_1 , отримаємо мінімальні КНФ:

$$F_2 = B + C; F_1 = C + A. \quad (17.4)$$

Таблиця 17.2 – Таблиця істинності шифратора двійкового коду при $m=2$

№ набору	C	B	A	F_2	F_1
0	0	0	0	0	0
1	0	0	1	0	1
2	0	1	0	1	0
3	0	1	1	–	–
4	1	0	0	1	1
5	1	0	1	–	–
6	1	1	0	–	–
7	1	1	1	–	–

Функціональну схему шифратора, що реалізує ці рівняння, показано на рисунку 17.5.

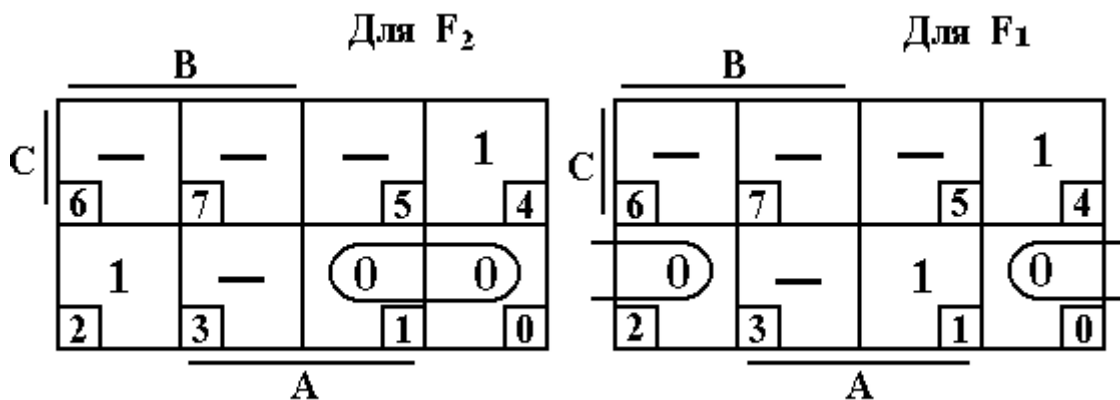


Рисунок 17.4 – Діаграми Вейча, які описують шифратор двійкового коду при $m=2$

У цифровій електроніці існує багато ІМС, що виконують функцію шифратора, наприклад, К555ІВ1. Нижче показано її функціональне позначення (рисунок 17.6) і таблицю істинності (таблиця 17.3).

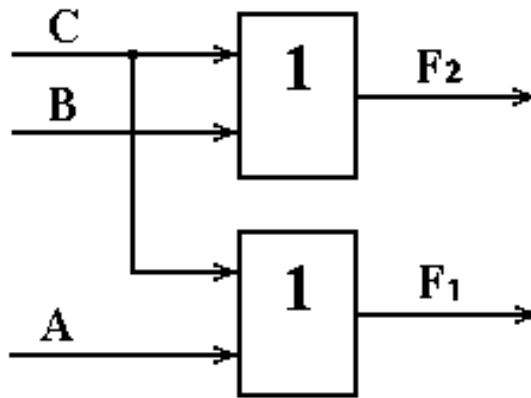


Рисунок 17.5 – Функціональна схема шифратора двійкового коду при $m=2$

Сигнал, що кодується, має низький рівень (логічний 0) і надходить на один із входів $X_0 \dots X_7$. На інших входах повинні бути сигнали високого рівня (таблиця 17.3).

Мікросхема має керуючий вхід V і два додаткових виходи: P – дозвіл перенесення і G – заборона перенесення. Активними сигналами на цих виходах є логічні нулі.

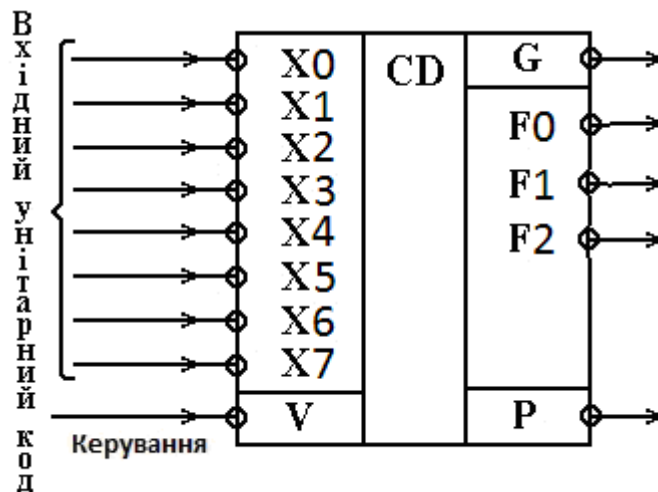


Рисунок 17.6 – Функціональне позначення шифратора K555IB1

Сигнали на вході V дозволяють роботу ІМС у режимі кодування ($V=0$) або забороняють роботу ($V=1$). У випадку заборони ($V=1$) на усіх

виходах встановлюються напруги високого рівня незалежно від сигналів на входах. Сигнал заборони перенесення з'являється тоді, коли на всіх інформаційних входах $X_0...X_7$ будуть сигнали високого рівня (логічні одиниці). У цьому випадку з'являється одиниця на виході G ($P=0$).

Таблиця 17.3 – Таблиця істинності шифратора K555IB1

X7	X6	X5	X4	X3	X2	X1	X0	F2	F1	F0	G	P
1	1	1	1	1	1	1	0	1	1	1	0	1
1	1	1	1	1	1	0	1	1	1	0	0	1
1	1	1	1	1	0	1	1	1	0	1	0	1
1	1	1	1	0	1	1	1	1	0	0	0	1
1	1	1	0	1	1	1	1	0	1	1	0	1
1	1	0	1	1	1	1	1	0	1	0	0	1
1	0	1	1	1	1	1	1	0	0	1	0	1
0	1	1	1	1	1	1	1	0	0	0	0	1
1	1	1	1	1	1	1	1	1	1	1	1	0

Сигнали з виходів G і P використовують для керування схемами, що приймають сигнали з виходів шифратора.

Деякі шифратори головну функцію поєднують із можливістю введення пріоритетів кодування сигналів. Мікросхема K555IB1 (рисунк 17.6) має таку можливість. Функція пріоритету реалізується в такий спосіб. До ІМС можливе одночасне надходження активних сигналів (логічних нулів) на декілька входів.

Пріоритет має активний сигнал на вході з більшим номером, і вихідний двійковий код буде відповідати цьому вибраному сигналу. Наприклад, при комбінаціях вхідних сигналів 11110111, 00000111, 10100111, які записано у порядку, прийнятому в таблиці 17.3, результат

буде однаковий: на виході буде сформовано код 000, оскільки пріоритет має нульовий сигнал на вході X7.

17.3.1.2 Шифратори двійково–десятькового коду

Шифратори двійково–десятькового коду перетворюють вхідний десятиковий (унітарний) код у двійково–десятьковий (BCD) код (код 8421). З виходу такого шифратора паралельно знімається група двійкових сигналів, із котрих кожні чотири (тетрада) відображають у двійковому коді десятикову цифру.

На рисунку 17.7 приведено функціональне позначення шифратора BCD–коду.

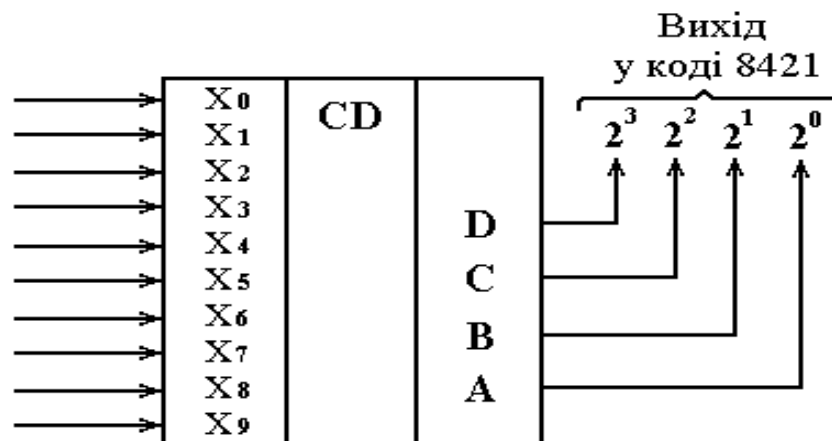


Рисунок 17.7 – Функціональне позначення шифратора BCD–коду

На вхід схеми надходять двійкові цифри від 0 до 9, що відображаються на виході однією тетрадою двійкового коду.

В одному байті (восьми бітах) можна упакувати (укласти) дві десятикові цифри в BCD – коді. Такий формат представлення десятикових чисел називається упакованим.

17.3.1.3 Дешифратори двійкового коду

Дешифратором (декодером) називають КЦП, що перетворює вхідний двійковий код у десятиковий (унітарний). Повний дешифратор із m входами має 2^m виходів. Кожній комбінації вхідних сигналів відповідає

активне значення сигналу тільки на одному з виходів. Нижче показано таблицю істинності (таблиця 17.4) і умовне позначення (рисунок 17.8) тривходового повного дешифратора з одиничними активними значеннями вихідних сигналів $F_0 \dots F_7$.

Таблиця 17.4 – Таблиця істинності дешифратора двійкового коду

№ набору	C	B	A	F_0	F_1	F_2	F_3	F_4	F_5	F_6	F_7
0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	1	0	0	0	0	0	0
2	0	1	0	0	0	1	0	0	0	0	0
3	0	1	1	0	0	0	1	0	0	0	0
4	1	0	0	0	0	0	0	1	0	0	0
5	1	0	1	0	0	0	0	0	1	0	0
6	1	1	0	0	0	0	0	0	0	1	0
7	1	1	1	0	0	0	0	0	0	0	1

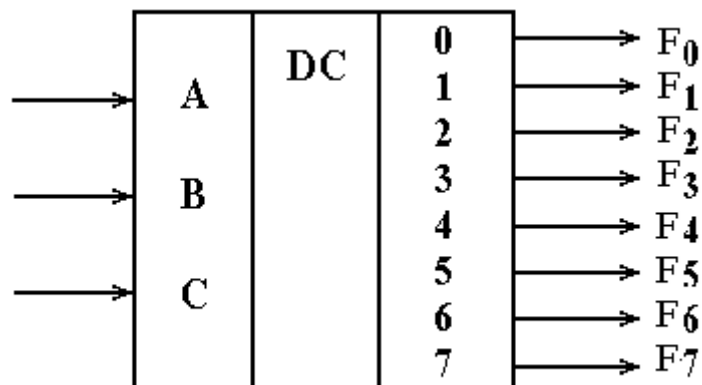


Рисунок 17.8 – Функціональне позначення дешифратора двійкового коду

Дешифратор реалізує вісім різноманітних логічних функцій:

$$F_0 = \bar{A} \cdot \bar{B} \cdot \bar{C}; \quad F_1 = A \cdot \bar{B} \cdot \bar{C}; \quad F_2 = \bar{A} \cdot B \cdot \bar{C}; \quad F_3 = A \cdot B \cdot \bar{C};$$

$$F_4 = \bar{A} \cdot \bar{B} \cdot C; \quad F_5 = A \cdot \bar{B} \cdot C; \quad F_6 = \bar{A} \cdot B \cdot C; \quad F_7 = A \cdot B \cdot C.$$

Якщо вхідні змінні представити як двійковий запис чисел, то логічна одиниця формується на тому виході, номер якого відповідає десятковому еквіваленту вхідного двійкового числа.

Розглянутий дешифратор (таблиця 17.4) є перетворювачем двійкового коду в унітарний (десятковий).

Приведені булеві вирази функцій $F_0...F_7$ можна реалізувати на логічних елементах у базисах І, АБО, НЕ; І–НЕ або АБО–НЕ, користуючись методикою, яку викладено раніше.

В інтегральному виконанні випускаються різноманітні структури дешифраторів, у яких є, наприклад, 2, 3 або 4 входи. В одному корпусі може бути декілька дешифраторів.

Для збільшення функціональних можливостей пристроїв часто передбачається використання додаткових сигналів керування. Як приклад на рисунку 17.9 приведено зображення мікросхеми К555ИД4, що містить здвоєний двовходовий дешифратор з активними нульовими вихідними сигналами.

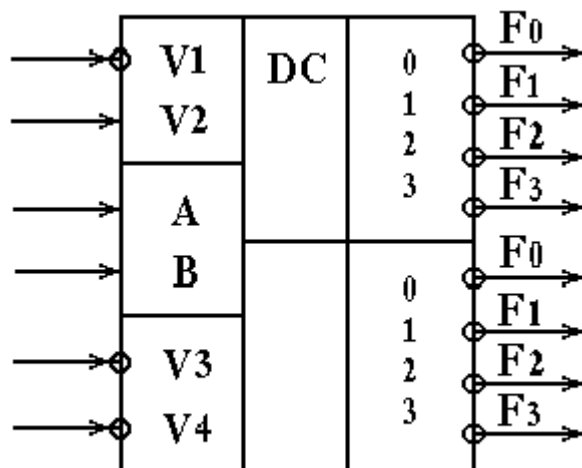


Рисунок 17.9 – Функціональне позначення дешифратора К555ИД4

Вихідні сигнали обох дешифраторів залежать від комбінації вхідних сигналів А та В. Для синхронізації процесу формування вихідних сигналів $F_0...F_3$ для кожного дешифратора використовуються керуючі

сигнали V1, V2, V3 та V4. Роботу верхнього дешифратора дозволяє комбінація V1=0, V2=1, а роботу нижнього – V3=0, V4=0. Введення такого керування розширює можливості мікросхеми при побудові більш складних пристроїв, наприклад, дешифраторів із збільшеним числом входів і виходів.

Введення такого керування розширює можливості мікросхеми при побудові більш складних пристроїв, наприклад, дешифраторів із збільшеним числом входів і виходів.

На рисунку 17.10 показано приклад використання двох мікросхем К555ИД4 для реалізації дешифратора чотирьохрозрядного вхідного двійкового коду у вихідний шістнадцятипозиційний унітарний (десятковий) код.

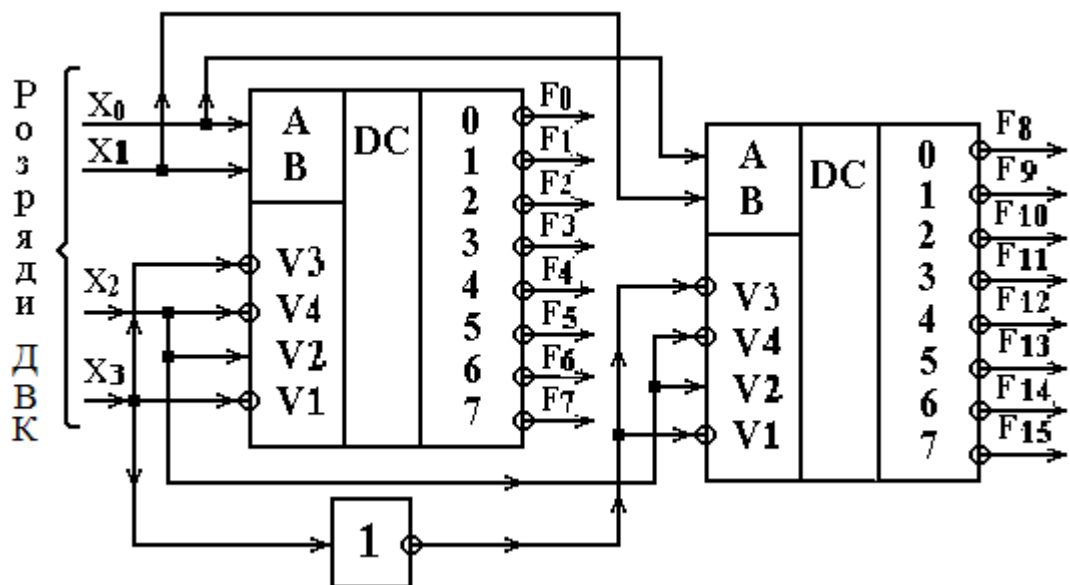


Рисунок 17.10 – Реалізація дешифратора двійкового коду при $m=4$ на двох мікросхемах К555ИД4

Дешифратори можуть бути неповними (мають число виходів $N_{\text{вих}} < 2^m$, де m – число вхідних змінних). Наприклад, такі дешифратори можуть використовуватися для перетворення двійково–десятькового коду в код, призначений для керування десятковим індикатором (дешифратори 4х10).

На рисунку 17.11 показано умовне позначення дешифратора 4х10 (наприклад, мікросхеми К555ИД1 або К564ИД1). Схема має активні одиничні вихідні сигнали.

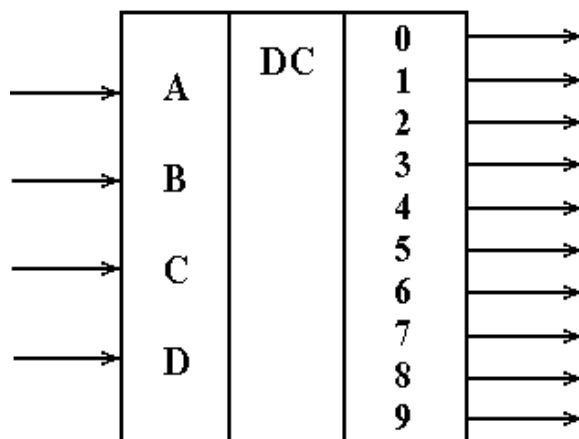


Рисунок 17.11 – Функціональне позначення дешифратора К555ИД1

17.3.1.4 Дешифратор ВСD–коду у семисегментний код

Подібну назву має перетворювач двійково–десятькового (BCD) коду в код семисегментного індикатора десятикових цифр.

17.3.1.4.1 Семисегментні індикатори на світлодіодах

Дуже поширеним вихідним пристроєм відображення десятикових чисел є семисегментний індикатор. Сім сегментів індикатора позначено латинськими буквами від а до g (рисунк 17.12, а).

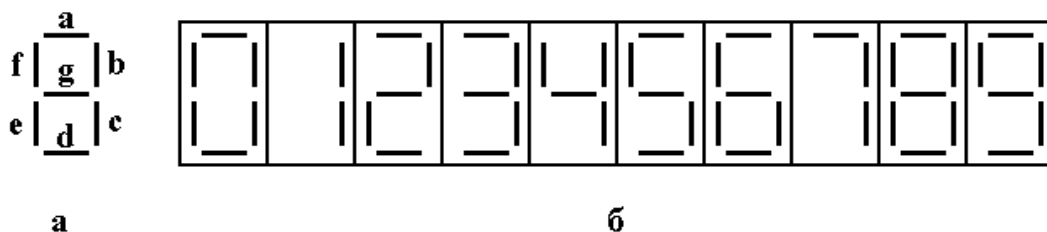


Рисунок 17.12 – Семисегментний індикатор:

а – позначення сегментів; б – приклад формування десятикових цифр

Спосіб зображення десятикових цифр від 0 до 9 показано на рисунку 17.12, б. Наприклад, якщо світяться сегменти а, b і c, то на індикаторі

з'являється десяткова цифра 7. Якщо світяться всі сегменти від а до g, то з'являється цифра 8. Існує декілька різновидів індикаторів: на рідких кристалах (РКІ), накалині (подібні до звичайних ламп накаливання), світлодіодні і т. ін.

Головною частиною світлодіода є діод із плоским р–n – переходом [6]. Коли діод включено у прямому напрямі, через р–n – перехід протікає струм і виникає випромінювання, що фокусується в індикаторі спеціальною лінзою, щоб його можна було спостерігати у виді запалювання визначеного сегмента.

Схему включення одного світлодіода (сегмента) приведено на рисунку 17.13, а.

Коли ключ SA1 замкнутий, струм від джерела $E_{\text{жив}} = +5\text{В}$ проходить через світлодіод, викликаючи його випромінювання. Резистор, який включено послідовно, обмежує струм до рівня, що викликає запалювання світлодіода. Без резистора, що обмежує струм, світлодіод може вийти з ладу. На виводах світлодіодів при випромінюванні з'являється напруга:

$U_{\text{VD. пр.}}$, наприклад, (1,7...2) В. Як і будь-який діод, світлодіод чутливий до полярності прикладеної напруги. Щоб він був увімкнений у прямому напрямі, катод (К) повинен бути підключений до від'ємного полюса джерела живлення (землі), а анод (А) – до його додатного полюса.

Конструкцію семисегментного індикатора на світлодіодах показано на рисунку 17.13, б. Кожен сегмент (від а до g) має світлодіод та лінзу, що фокусує випромінювання. Аноди усіх світлодіодів з'єднано разом і підключено з правої сторони індикатора до одного виводу – спільного аноду (СА).

Катоди кожного світлодіода пов'язано із зовнішніми виводами, позначеними а, b, c,... g. Індикатор (рисунок 17.13, б) належить до семисегментних світлодіодних індикаторів із спільним анодом. Існують індикатори зі спільним катодом [34].

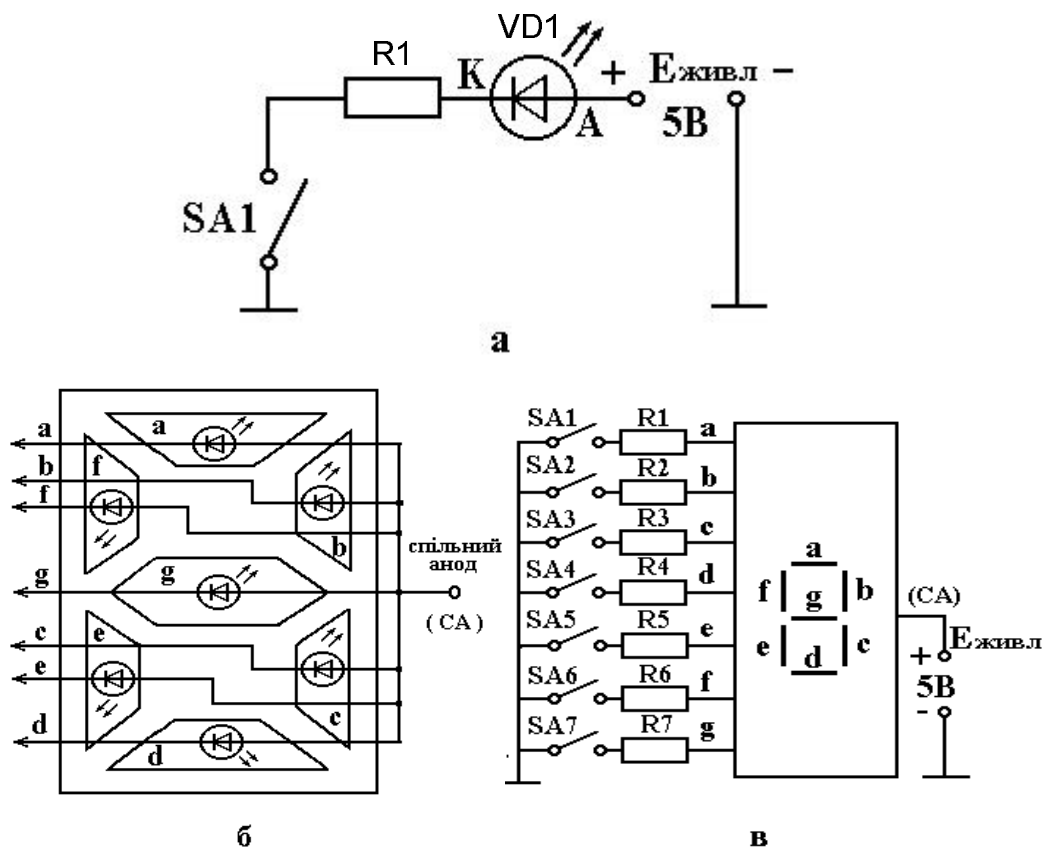


Рисунок 17.13 – Семисегментний індикатор на світлодіодах:

а – схема включення одного сегмента; б – спрощена конструкція;

в – керування індикатором за допомогою перемикачів

На рисунку 17.13, в показано керування сегментами індикатора за допомогою механічних перемикачів. При замиканні одного з ключів SA1...SA7 струм від $E_{\text{ЖИВ}} = +5\text{В}$ проходить: через обраний сегмент, обмежувальний резистор і замкнуті контакти перемикача – на землю: ($-E_{\text{ЖИВ}}$). При цьому обраний сегмент буде світитися (випромінювати). Якщо, наприклад, ми бажаємо отримати на індикаторі десяткову цифру 7, то необхідно замкнути ключі SA1, SA2 і SA3, щоб випромінювали сегменти а, b і с. Якщо бажаємо отримати цифру 5, необхідно замкнути ключі SA1, SA3, SA4, SA6 і SA7, що заземлюють катоди сегментів а, с, d, f і g. Варто звернути увагу, що у світлодіодному індикаторі зі спільним

анодом для активізації сегментів необхідно подати потенціал землі (логічний нуль).

17.3.1.4.2 Дешифратор BCD–коду у семисегментний код

Для керування роботою індикатора на рисунку 17.13,в використовувалися механічні перемикачі. Звичайно, керуючі сигнали формуються інтегральними мікросхемами, наприклад, дешифратором BCD–коду у семисегментний код.

Нижче показано зображення такого дешифратора на електричних схемах (рисунок 17.14,а) і його підключення до семисегментного світлодіодного індикатора зі спільним анодом (рисунок 17.14, б).

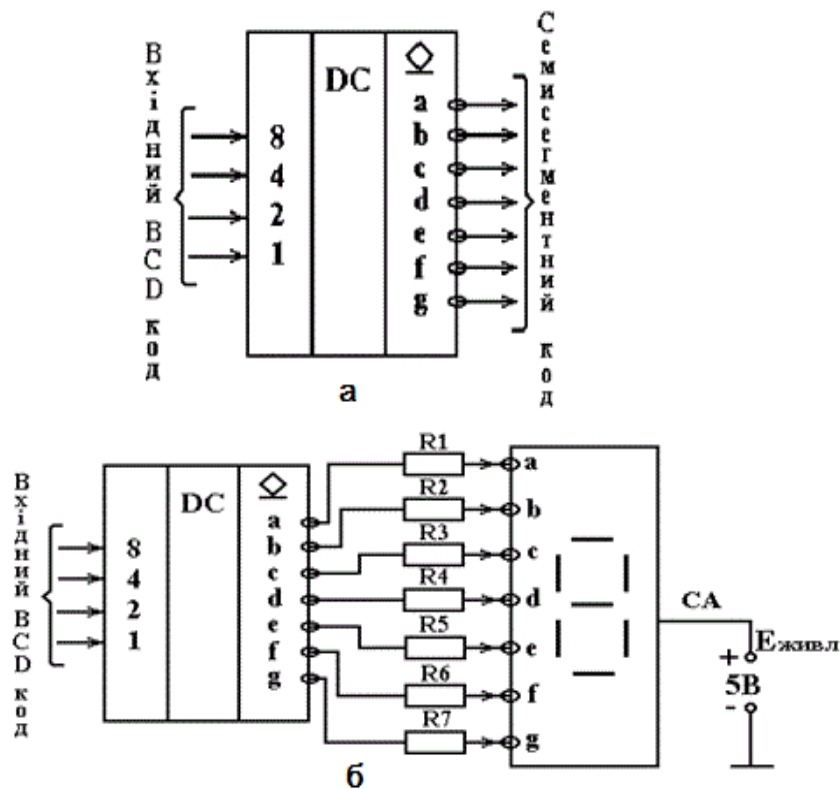


Рисунок 17.14 – Дешифратор BCD–коду у семисегментний код:

а – позначення; б – приклад підключення до індикатора

У якості дешифраторів BCD – коду у семисегментний можуть використовуватися різноманітні мікросхеми, приведені в [19, 22, 26].

Наприклад, ІМС К514ИД2, позначення якої дано на рисунку

17.14, а, має відкриті колекторні виходи і використовується разом з індикаторами, що мають спільний анод. При цьому потрібно застосування зовнішніх резисторів, що включаються між виходами дешифратора та виходами індикатора (див. рисунок 17.14, б).

Припустимий струм мікросхеми дешифратора на кожному виході складає 22 мА.

Крім інформаційних входів, на які надходить двійково–десятковий код, дешифратори можуть містити ряд керуючих входів [12, 22, 41], наприклад, для скасування нулів, гасіння, контролю випромінювання, синхронізації і т. ін.

17.3.2 Мультиплексори-демультиплексори

17.3.2.1 Мультиплексори

Мультиплексор – це комбінаційний цифровий пристрій, що з'єднує (комутує) один із декількох інформаційних вхідних сигналів з одним спільним виходом. Приклад позначення мультиплексора на електричних схемах показано на рисунку 17.15.

Пристрій містить вісім інформаційних входів: D0, D1,..., D7, три адресні входи: A0, A1, A2 і один вхід V, що синхронізує.

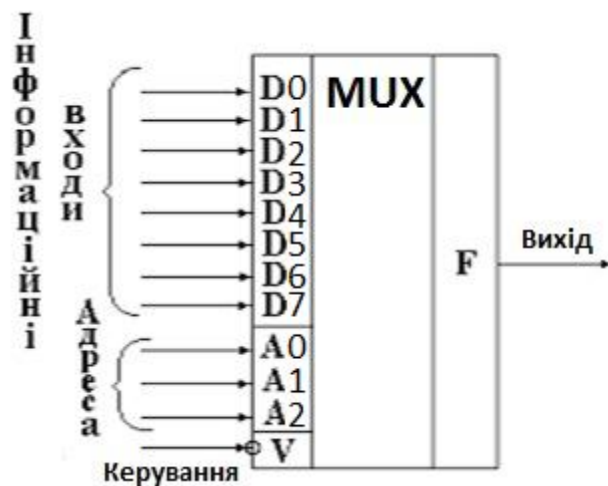


Рисунок 17.15 – Позначення мультиплексора на електричних схемах

У залежності від комбінації адресних сигналів A_0, A_1, A_2 він забезпечує комутацію одного з восьми інформаційних вхідних сигналів D_i на спільний вихід F . Нульовий синхросигнал на вході V дозволяє передачу інформації з обраного входу на вихід.

Булевий вираз, що описує функціонування аналізованого мультиплексора має вигляд:

$$\begin{aligned}
 Y = & \overline{A_2} \cdot \overline{A_1} \cdot \overline{A_0} \cdot \overline{V} \cdot D_0 \vee \overline{A_2} \cdot \overline{A_1} \cdot A_0 \cdot \overline{V} \cdot D_1 \vee \\
 & \vee \overline{A_2} \cdot A_1 \cdot \overline{A_0} \cdot \overline{V} \cdot D_2 \vee \overline{A_2} \cdot A_1 \cdot A_0 \cdot \overline{V} \cdot D_3 \vee \\
 & \vee A_2 \cdot \overline{A_1} \cdot \overline{A_0} \cdot \overline{V} \cdot D_4 \vee A_2 \cdot \overline{A_1} \cdot A_0 \cdot \overline{V} \cdot D_5 \vee \\
 & \vee A_2 \cdot A_1 \cdot \overline{A_0} \cdot \overline{V} \cdot D_6 \vee A_2 \cdot A_1 \cdot A_0 \cdot \overline{V} \cdot D_7.
 \end{aligned} \quad (17.5)$$

Мультиплексор можна реалізувати за допомогою логічних елементів заданого базису. У його структуру можна ввести і більш складні цифрові пристрої, наприклад, перетворювач двійкового коду в десятковий (дешифратор).

На рисунку 17.16 приведено приклад реалізації мультиплексора з чотирма інформаційними входами на ЛЕ базису І, АБО, НЕ та дешифраторі.

Схема реалізує булевий вираз:

$$Y = \overline{A_1} \cdot \overline{A_0} \cdot \overline{V} \cdot D_0 + \overline{A_1} \cdot A_0 \cdot \overline{V} \cdot D_1 + A_1 \cdot \overline{A_0} \cdot \overline{V} \cdot D_2 + A_1 \cdot A_0 \cdot \overline{V} \cdot D_3. \quad (17.6)$$

Існують мультиплексори в інтегральному виконанні, наприклад, ІМС К555КП2 (рисунок 17.17).

Мультиплексор К555КП2 (рисунок 17.17, а) складається з двох частин, кожна з яких містить чотири інформаційних канали $A_1...A_4$ ($B_1...B_4$), один вихід F_A (F_B) та один керуючий вхід: C_1 (C_2). Адресні входи: V_1 та V_2 є спільними для обох частин.

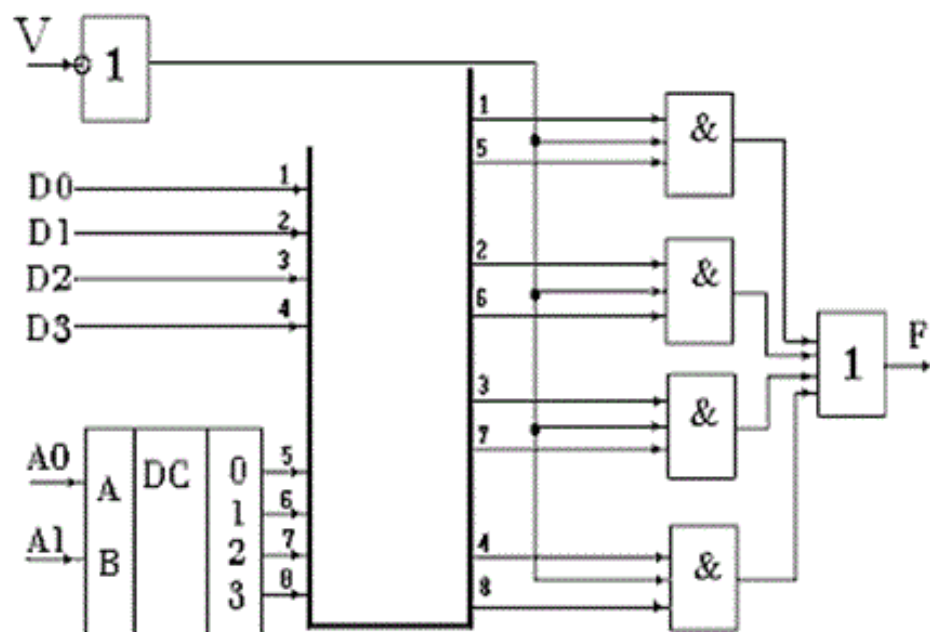


Рисунок 17.16 – Реалізація мультиплексора на ЛЕ базису І, АБО, НЕ та дешифраторі

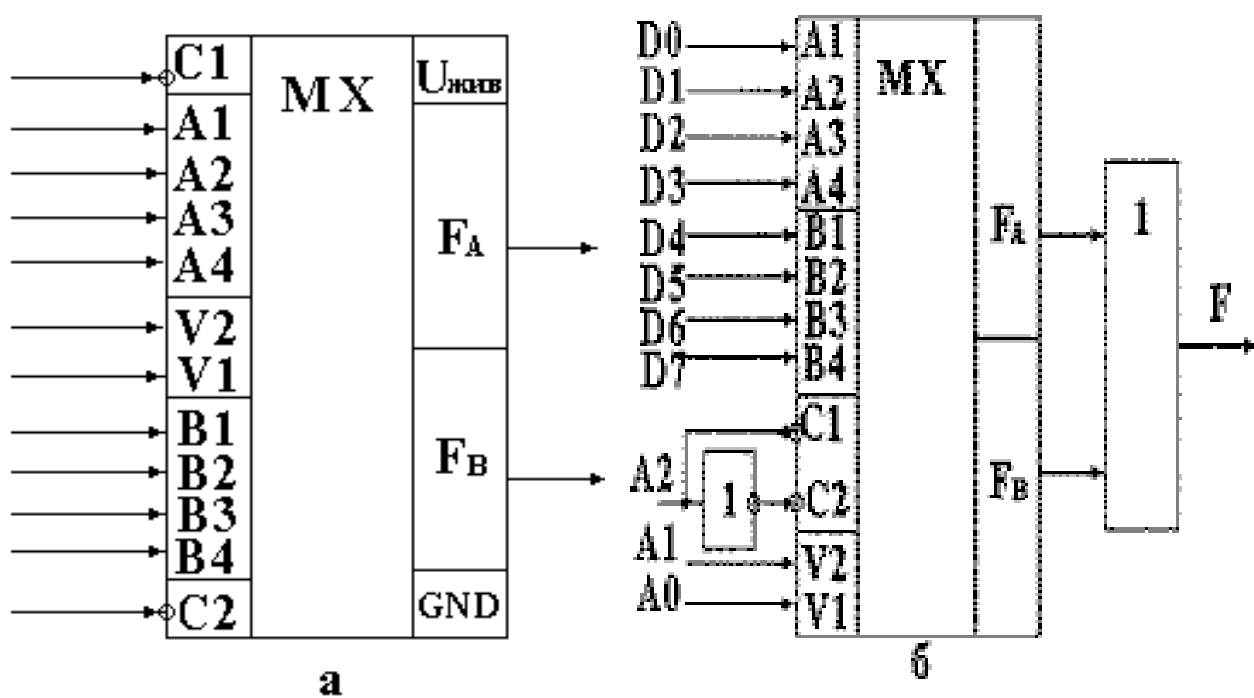


Рисунок 17.17 – Мультиплексор К555КП2:

а – позначення на схемах; б – приклад реалізації мультиплексора 8→1

Для збільшення кількості каналів об'єднують декілька мультимплексорів, використовуючи для цього керуючі входи, як це зображено на рисунку 17.17, б.

Адресні входи V2, V1 – спільні, тобто сигнали на них одночасно впливають на обидві частини ІМС. Правила роботи схеми відображає таблиця 17.5.

Таблиця 17.5 – Таблиця істинності мультимплексора K555КП2

Стробуючі входи C1, C2	Керуючі входи		Вихід F _A	Вихід F _B
	V2	V1		
0	0	0	A1	B1
0	0	1	A2	B2
0	1	0	A3	B3
0	1	1	A4	B4
1	X	X	0	0
Примітка: X – будь-яке значення: 0 або 1				

17.3.2.2 Демультимплексори

Демультимплексор – це КЦП, який з'єднує (комутує) спільний інформаційний вхід з одним із декількох виходів відповідно до заданого коду на керуючих (адресних) входах. Іншими словами, демультимплексори вирішують задачі, протилежні мультимплексуванню. Позначення демультимплексора на електричних схемах показано на рисунку 17.18, а.

Схема має чотири інформаційних виходи і два адресних входи A0 і A1.

Булеві вирази, що описують роботу демультимплексора, мають вигляд:

$$\begin{aligned}
 Y_0 &= \overline{A_1} \cdot \overline{A_0} \cdot D, \\
 Y_1 &= \overline{A_1} \cdot A_0 \cdot D, \\
 Y_2 &= A_1 \cdot \overline{A_0} \cdot D, \\
 Y_3 &= A_1 \cdot A_0 \cdot D.
 \end{aligned}
 \tag{17.7}$$

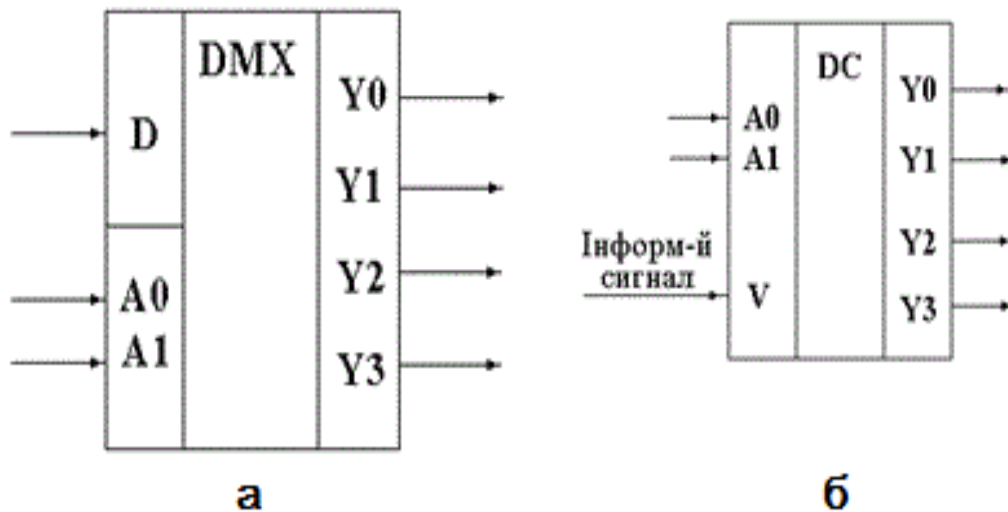


Рисунок 17.18 – Демультимплексор 1→4:

а – позначення на схемах; б – реалізація на дешифраторі

Такими ж виразами визначається робота дешифратора із синхровходом V (рисунок 17.18, б). Тому його можна використовувати в якості демультимплексора, якщо інформаційний вхідний сигнал подавати на вхід V.

17.3.2.3 Мультимплексори–селектори (мультимплексори–демультиплексори)

Мультимплексори–селектори є двонаправленими, оскільки дозволяють комутувати цифрові й аналогові сигнали в обох напрямках, і тому можуть бути використані не тільки в якості мультимплексора для комутації одного з входів на вихід, але й у якості селектора (демультиплексора) для комутації входу на один із виходів.

Нижче показано: позначення мультиплексора–селектора (демультиплексора) на електричних схемах (рисунок 17.19, а) і його спрощена внутрішня структура (рисунок 17.19, б).

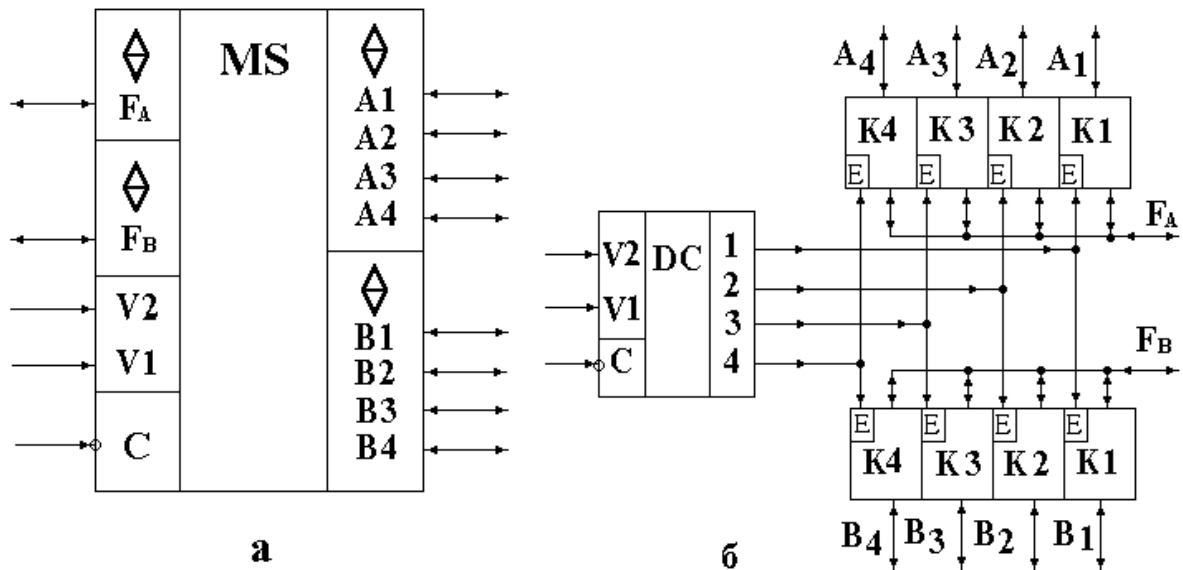


Рисунок 17.19 – Мультиплексор–селектор:

а – позначення на електричних схемах; б – внутрішня структура

Пристрій містить дві групи двонаправлених ключів (K1...K4) і дешифратор. Вихідні сигнали дешифратора діють на керуючі входи ключів (E) і визначають їх стан. При E=0 ключ закритий, а при E=1 – відкритий і утворює низькоомний ланцюг проходження сигналу через нього. Такий ключ називають аналоговим, оскільки він забезпечує неспотворену передачу сигналів. Кожний ключ має два рівнозначних виводи, які можуть бути входом або виходом. По одному з виводів ключі об'єднані у дві групи F_A і F_B, що утворюють виходи мультиплексорів і входи демультиплексорів.

Структуру, подану на рисунку 17.19, б має, наприклад, мікросхема К561КП1, яку виконано за КМОН–технологією. Вона містить два мультиплексори–селектори, які керуються від спільних входів V1, V2 і C (рисунок 17.19, а). При одиничному керуючому сигналі на вході C ключі розімкнено і виходи знаходяться у 3–му стані.

17.3.3 Суматори і напівсуматори

Суматор призначено для додавання двох чисел, заданих у двійковому коді. З прикладу, приведеного на рисунку 17.20, видно, що правила додавання десяткових і двійкових чисел однакові:

- додавання відбувається порозрядно від молодшого розряду до старшого;
- сума молодших розрядів доданків A_0 і B_0 записується у відповідній системі числення однозначним числом S_0 або двозначним числом P_0S_0 , де P_0 називається перенесенням із нульового розряду в сусідній перший;
- в усіх наступних розрядах знаходиться сума даних розрядів доданків A_i , B_i і перенесення P_{i-1} від додавання попередніх розрядів (у прикладах на рисунку 17.20 ці випадки помічено зірочкою).

$$\begin{array}{r}
 * \\
 + 18D \\
 \hline
 23D \\
 41D
 \end{array}
 \qquad
 \begin{array}{r}
 * * \\
 + 10010B \\
 \hline
 10111B \\
 101011B
 \end{array}$$

Рисунок 17.20 – Правила додавання десяткових і двійкових чисел

Сказане відбиває таблиця істинності однорозрядного двійкового повного суматора (таблиця 17.6).

Булевий вираз логічних функцій S_i і P_i у ДДНФ має вигляд:

$$S_i = \bar{A}_i \cdot \bar{B}_i \cdot P_{i-1} + \bar{A}_i \cdot B_i \cdot \bar{P}_{i-1} + A_i \cdot \bar{B}_i \cdot \bar{P}_{i-1} + A_i \cdot B_i \cdot P_{i-1}, \quad (17.8)$$

$$P_i = \bar{A}_i \cdot B_i \cdot P_{i-1} + A_i \cdot \bar{B}_i \cdot P_{i-1} + A_i \cdot B_i \cdot \bar{P}_{i-1} + A_i \cdot B_i \cdot P_{i-1}. \quad (17.9)$$

Вираз (17.9) можна мінімізувати. В результаті отримаємо:

$$P_{i-1} = A_i \cdot P_{i-1} + A_i \cdot B_i + B_i \cdot P_{i-1}. \quad (17.10)$$

На підставі виразів (17.8, 17.10) однорозрядний двійковий повний суматор може бути реалізовано у базисі I, АБО, НЕ (рисунок 17.21).

Таблиця 17.6 – Таблиця істинності однорозрядного повного двійкового суматора

N набору	A_i	B_i	P_{i-1}	S_i	P_i
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	1	0
3	0	1	1	0	1
4	1	0	0	1	0
5	1	0	1	0	1
6	1	1	0	0	1
7	1	1	1	1	1

Використовуючи правила переходу з базису І, АБО, НЕ в базис І–НЕ і АБО–НЕ (див. розділ 15) можна побудувати однорозрядний повний суматор у двох інших базисах.

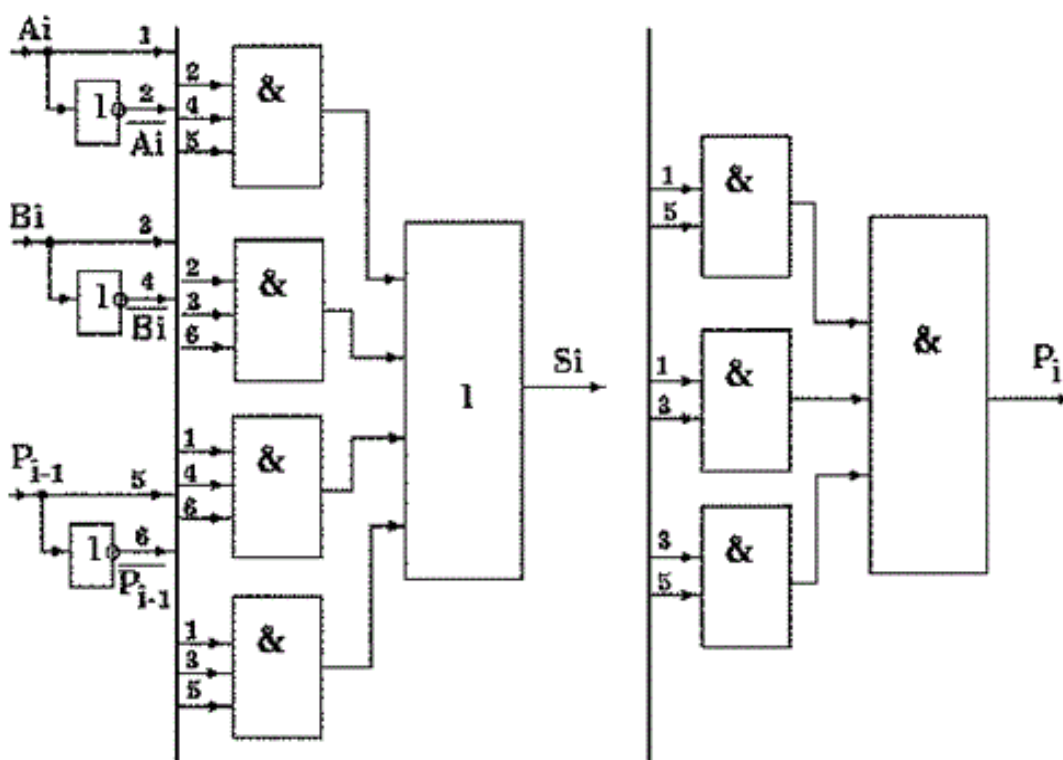


Рисунок 17.21 – Реалізація однорозрядного двійкового повного суматора на базисі І, АБО, НЕ

Напівсуматор, на відміну від повного суматора, забезпечує виконання операції підсумовування двох однорозрядних двійкових чисел A_i і B_i без урахування сигналу перенесення. В результаті додавання поряд із сумою може утворитися перенесення. Функціонування напівсуматора описується в таблиці 17.7.

Таблиця 17.7 – Таблиця істинності напівсуматора

N набору	A_i	B_i	S_i	P_i
0	0	0	0	0
1	0	1	1	0
2	1	0	1	0
3	1	1	0	1

Як видно з таблиці, для реалізації S_i необхідно мати елемент “Нееквівалентність” (сума за модулем два), а для реалізації P_i – логічне І, тобто:

$$S_i = \bar{A}_i \cdot B_i + A_i \cdot \bar{B}_i; \quad (17.11)$$

$$P_i = A_i \cdot B_i.$$

Для спрощення схеми, що реалізує однорозрядний напівсуматор, функцію S_i краще подати у ДКНФ (див. таблицю 17.7):

$$S_i = (A_i + B_i) \cdot (\bar{A}_i + \bar{B}_i). \quad (17.12)$$

Виконавши перетворення (17.12) за теоремою де Моргана отримаємо.

$$S_i = (A_i + B_i) \cdot \bar{A}_i \cdot \bar{B}_i, \quad (17.13)$$

де $A_i \cdot B_i = P_i$.

Вираз (17.13) реалізується схемою, яку показано на рисунку 17.22, а.

Умовні графічні позначення напівсуматора і повного однорозрядного суматора показано на рисунку 17.22, б, в, а функціональну схему повного однорозрядного суматора, який виконано на двох напівсуматорах та ЛЕ «АБО» показано на рисунку 17.22, г.

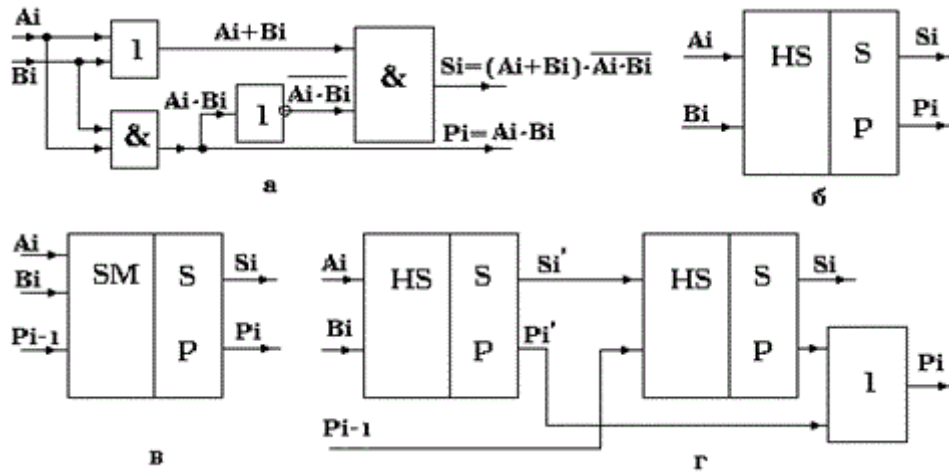


Рисунок 17.22 – Напівсуматор: а – реалізація на ЛЕ базису І, АБО, НЕ; б – позначення на електричних схемах. Повний суматор: в – позначення на електричних схемах; г – реалізація на двох напівсуматорах та ЛЕ «АБО»

Для додавання N -розрядних чисел необхідно $(N-1)$ однорозрядних повних суматорів і один напівсуматор у нульовому розряді (рисунок 17.23).

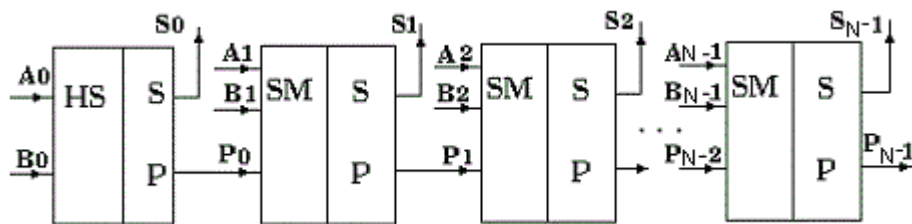


Рисунок 17.23 – Приклад реалізації суматора двох N -розрядних двійкових чисел

У цьому суматорі реалізовано послідовну передачу перенесення з одного розряду в інший. При великій кількості розрядів чисел, які підсумовуються, тривалість підсумовування в суматорах із послідовним перенесенням може виявитися неприпустимо великою.

Більшу швидкодію мають суматори з паралельним перенесенням, що містять схему прискореного перенесення [11, 22, 26].

17.3.4 Пристрої контролю парності (ПКП)

Пристрої контролю парності призначено для перевірки двійкових кодових комбінацій, що надходять на їх входи, на наявність у них парної (непарної) кількості одиниць. Такий КЦП має N входів, що дорівнює кількості розрядів вхідного ДВК, і один вихід. На виході формується напруга високого рівня (логічна 1) тільки в тому випадку, якщо кількість одиниць у вхідному коді непарна. Основу схеми контролю парності складає суматор за модулем два, що реалізує логічну операцію:

$$F = X_1 \oplus X_2 \oplus \dots \oplus X_N. \quad (17.14)$$

Для двох змінних ця операція може бути виконана логічним елементом “ВИКЛЮЧНЕ АБО”, що реалізує логічну функцію:

$$F = X_1 \vee X_2 = X_1 \oplus X_2 = X_1 \cdot \overline{X_2} + \overline{X_1} \cdot X_2. \quad (17.15)$$

Функція F (вираз 17.15) має значення одиниця тільки в тому випадку, якщо в наборі з двох змінних є одна одиниця, в інших випадках значення функції дорівнює нулю.

Нижче, як приклад, показано: склад мікросхеми К555ЛП5, що включає 4 двовходових суматори за модулем два (рисунок 17.24, а), приклад побудови на основі ІМС К555ЛП5 пристрою контролю парності 8-розрядного ДВК (рисунок 17.24, б) і позначення на електричних схемах мікросхеми К561СА1, що є пристроєм контролю парності 12-розрядних двійкових кодів (рисунок 17.25).

17.3.5 Цифрові компаратори

Цифрові компаратори порівнюють два числа, які подано у двійковому коді, $A = \{a_{N-1}, a_{N-2}, \dots, a_1, a_0\}$ і $B = \{b_{N-1}, b_{N-2}, \dots, b_1, b_0\}$ і формують значення результату порівняння у вигляді напруги високого рівня на одному з виходів: $F_{A=B}$, $F_{A<B}$, $F_{A>B}$.

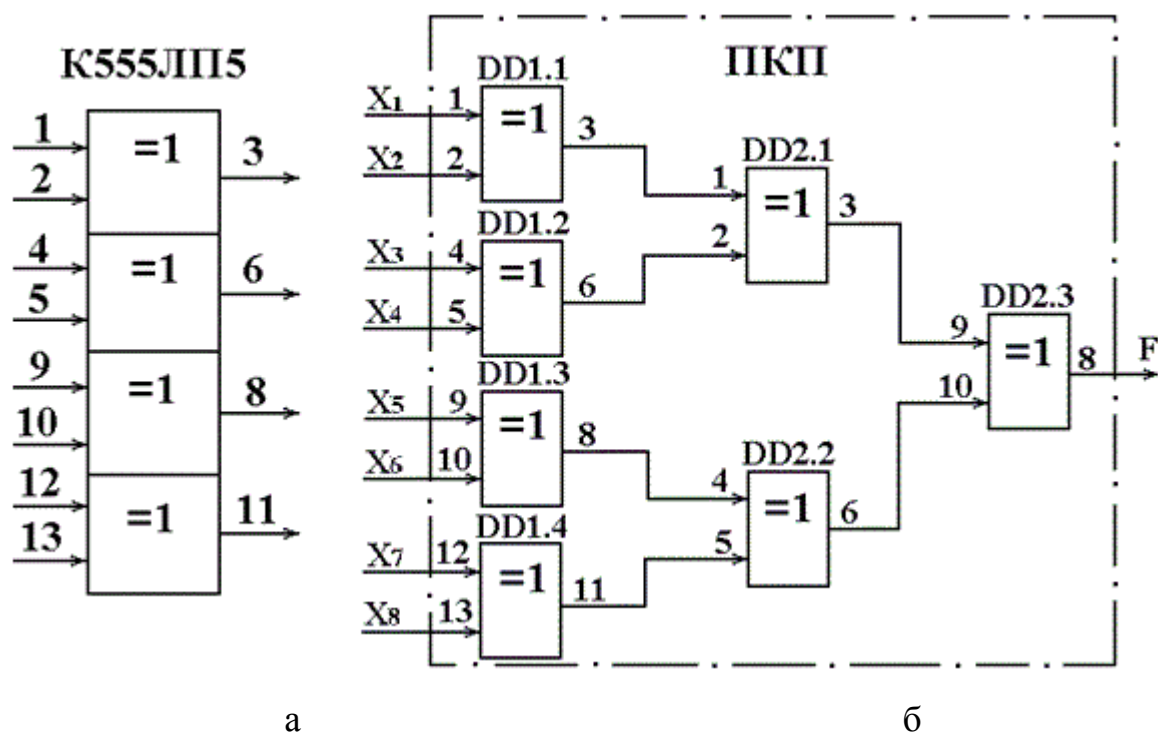


Рисунок 17.24 – Мікросхема K555ЛПІ5: а – склад; б – приклад використання для контролю парності 8-розрядного ДВК

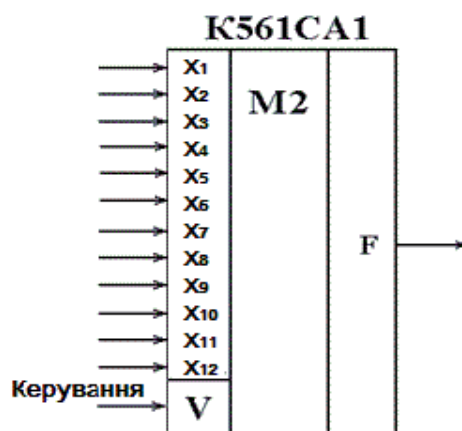


Рисунок 17.25 – Позначення на електричних схемах ІМС K561CA1

Як приклад цифрового компаратора нижче наведено схему формування ознаки рівності двох чисел (рисунок 17.26).

Такий компаратор включає логічний елемент АБО-НЕ, на входи якого подаються результати порозрядного додавання за модулем два.

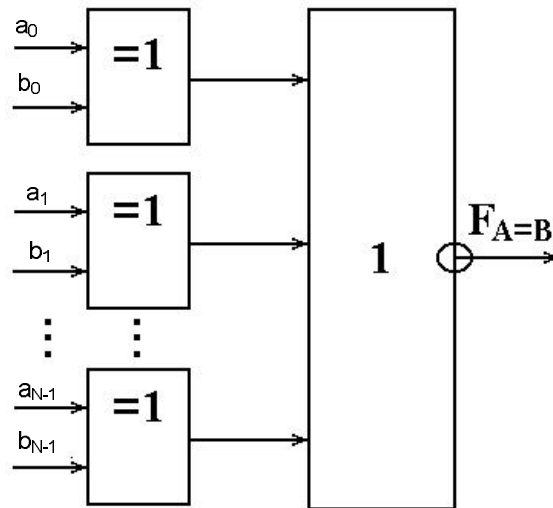


Рисунок 17.26 – Схема компаратора

Схема реалізує логічну функцію:

$$F = (a_0 \cdot b_0 \wedge \overline{a_0} \cdot \overline{b_0}) \wedge (a_1 \cdot b_1 \wedge \overline{a_1} \cdot \overline{b_1}) \wedge \dots \wedge (a_{N-1} \cdot b_{N-1} \wedge \overline{a_{N-1}} \cdot \overline{b_{N-1}}).$$

Якщо $A=B$, то $F=1$, якщо $A \neq B$, то $F=0$.

Нижче показано: позначення 4-х входового компаратора на електричних схемах (рисунок 17.27, а) і приклад його реалізації на суматорі і логічних елементах І та НЕ (рисунок 17.27, б).

17.3.6 Використання для проектування КЦП мультимплексорів, дешифраторів, постійного запам'ятовуючого пристрою та ПЛІС

У зв'язку з тим, що більшість серій ІМС містять у своєму складі мультимплексори, дешифратори і постійні запам'ятовуючі пристрої (ПЗП), розглянемо можливість реалізації на їх основі різноманітних КЦП. У ряді випадків, особливо при великій кількості вхідних змінних і значній кількості виходів це дозволяє зменшити загальну кількість необхідних корпусів мікросхем.

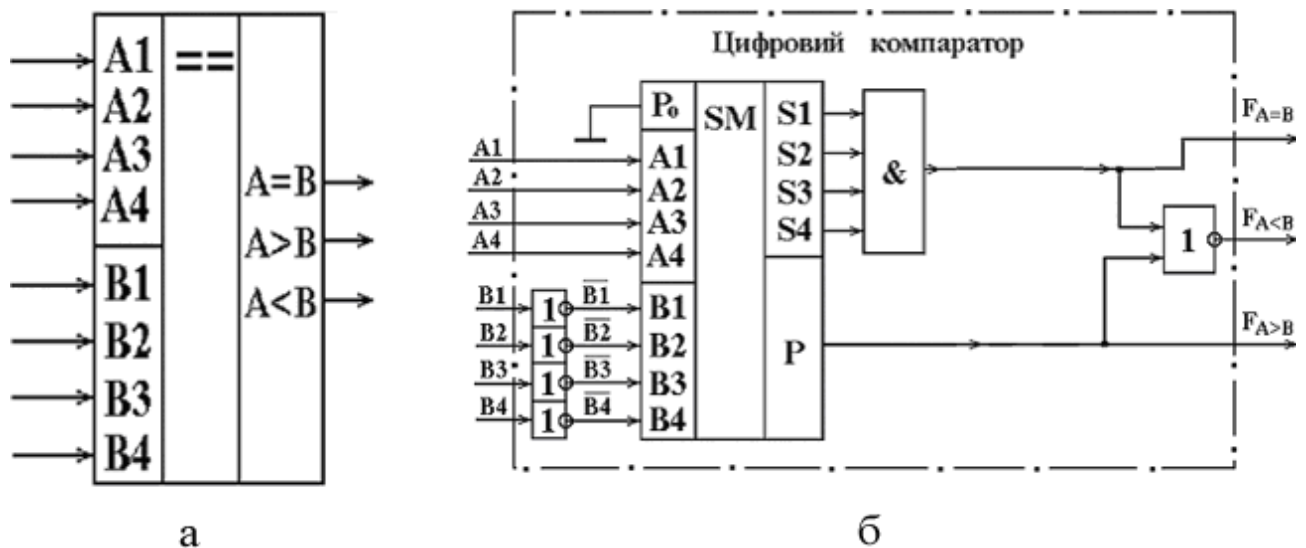


Рисунок 17.27 – Компаратор порівняння двох двійкових чисел:

а – позначення на схемах; б – функціональна схема

17.3.6.1 Побудова КЦП на мультиплексорах

Як приклад розглянемо реалізацію за допомогою восьмивходового мультиплексора (рисунок 17.28) мажоритарного елемента, функціонування якого описано таблицею істинності (таблиця 17.8).

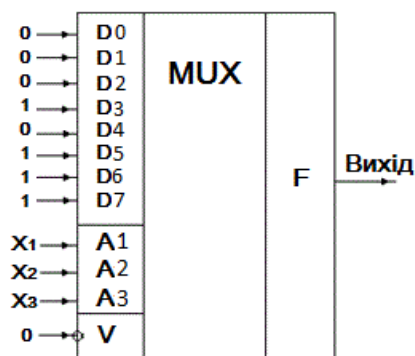


Рисунок 17.28 – Реалізація мажоритарного елемента на мультиплексорі

\ На адресні входи мультиплексора подаються вхідні логічні змінні X_1 , X_2 , X_3 , а на інформаційних входах $D_0...D_7$ зафіксовано значення логічної функції, яка реалізується, на наборах логічних змінних, номери яких збігаються з номерами інформаційних входів мультиплексора.

Таблиця 17.8 – Таблиця істинності мажоритарного елемента

N набору	X_3	X_2	X_1	F
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

Є можливість удвічі скоротити необхідну кількість інформаційних входів мультиплексора (а отже, використовувати більш просту його структуру), якщо на ці входи подати не тільки фіксовані рівні логічних одиниць і нулів, але і значення окремих вхідних змінних X_i .

Для цього ще раз зобразимо таблицю істинності проектованого мажоритарного елемента, розділивши її на чотири групи по два рядки в кожній (таблиця 17.9).

У межах кожної групи можливі тільки чотири значення вихідної булевої функції F: нульове значення на обох наборах – гр.1; одиничне значення на обох наборах – гр.4: збіг функції F із змінною X_1 (набори 2, 3, 4, 5): протилежні значення функції F і змінної X_1 (у даному прикладі відсутні).

Отже, для реалізації відповідного КЦП можна використовувати чотиривходовий мультиплексор, на адресні входи якого подаються змінні X_3 і X_2 , а на інформаційні входи D – значення відповідно з останнім стовпчиком таблиці 17.9 (рисунок 17.29).

Таблиця 17.9 – Реалізація мажоритарного елемента на мультиплексорі
4→1 (рисунок 17.29)

	N набору	X ₃	X ₂	X ₁	F	D
гр.1	0	0	0	0	0	D0=0
	1	0	0	1	0	
гр.2	2	0	1	0	0	D1=X ₁
	3	0	1	1	1	
гр.3	4	1	0	0	0	D2=X ₁
	5	1	0	1	1	
гр.4	6	1	1	0	1	D3=1
	7	1	1	1	1	

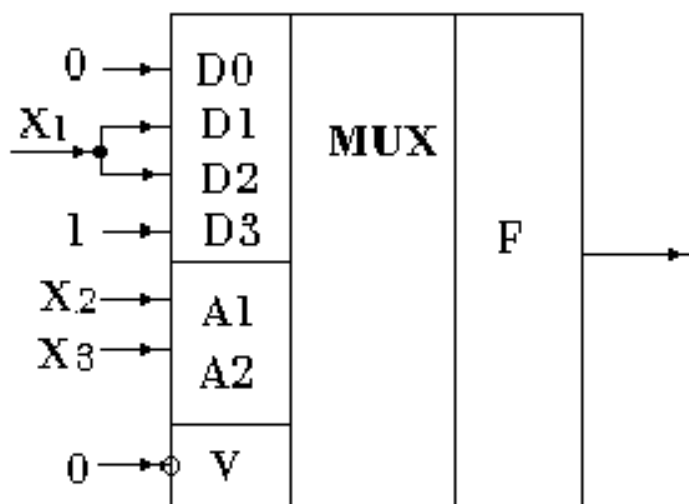


Рисунок 17.29 – Реалізація ЛЕ «МАЖОРИТАРНІСТЬ» на
мультиплексорі 4→1

В результаті є можливість зменшити апаратні витрати, використовуючи для реалізації тривходового мажоритарного елемента лише половину мікросхеми К555КП2.

17.3.6.2 Побудова КЦП на дешифраторах

Для побудови КЦП можна використовувати дешифратори. Завдяки тому, що активне значення сигналу на кожному виході дешифратора визначає одну з комбінацій вхідних сигналів, та, об'єднуючи за допомогою відповідних логічних елементів деякі вихідні сигнали дешифратора, можна реалізувати КЦП, який задано будь-якою таблицею істинності із кількістю наборів, що не перевищує кількість виходів дешифратора, який використовується. Розглянемо приклад реалізації тривходового мажоритарного елемента (таблиця 17.8) на тривходовому дешифраторі (рисунок 17.30).

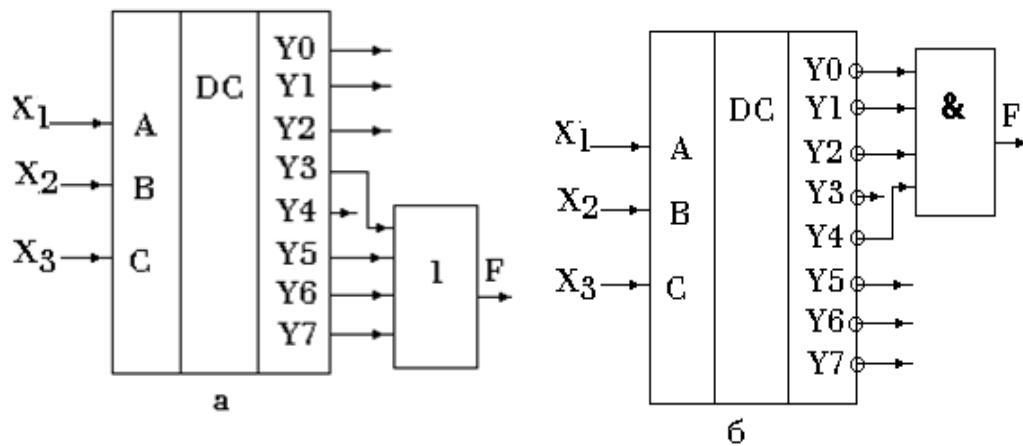


Рисунок 17.30 – Реалізація ЛЕ «МАЖОРИТАРНІСТЬ» на дешифраторі

Якщо використовувати дешифратор з одиничними значеннями вихідних сигналів (рисунок 17.30, а), то вихідний сигнал мажоритарного елемента:

$$F = Y3 \vee Y5 \vee Y6 \vee Y7. \quad (17.16)$$

Інверсне значення сигналу на виході мажоритарного елемента:

$$\overline{F} = Y0 \vee Y1 \vee Y2 \vee Y4. \quad (17.17)$$

Після перетворення цього виразу за допомогою теореми де Моргана отримаємо:

$$F = \overline{Y0} \wedge \overline{Y1} \wedge \overline{Y2} \wedge \overline{Y4}. \quad (17.18)$$

Останній вираз можна використовувати для реалізації мажоритарного елемента на основі тривходового дешифратора з нульовими активними вихідними значеннями (рисунок 17.30, б). Якщо порівняти між собою реалізації КЦП на основі мультиплексорів і дешифраторів, то можна відзначити менші апаратні витрати при використанні мультиплексорів. Проте в конкретних умовах проектування КЦП може виявитися доцільним застосування для цих цілей і дешифраторів, наприклад, коли половину мікросхеми зведеного дешифратора вже використано в складі проектного пристрою, а інша половина залишилася вільною і її може бути застосовано для побудови якогось іншого КЦП.

17.3.6.3 Побудова КЦП на постійному запам'ятовуючому пристрої (ПЗП)

ПЗП являє собою велику інтегральну схему (ВІС), що має N входів і M виходів. Спрощену структуру ПЗП, що має $N_{ВХ}=2$ і $M_{ВІХ}=3$ приведено на рисунку 17.31, а.

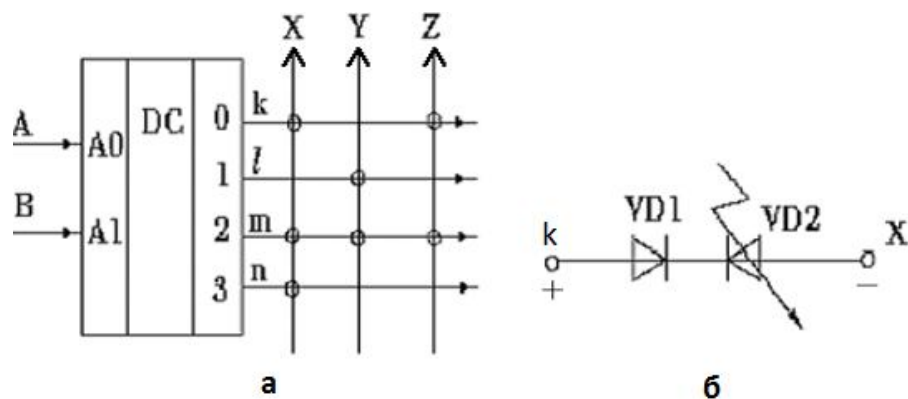


Рисунок 17.31 – ПЗП: а – структура; б – програмування зв'язку між лініями k та X

На вході схеми встановлено дешифратор, що перетворює комбінації дворозрядного двійкового коду в чотирьохпозиційний унітарний

(десятковий) код. При кожній комбінації вхідного ДВК на відповідному одному з виходів дешифратора з'являється логічна 1, а на інших – нулі.

Між виходами k, l, m, n дешифратора і вихідними шинами X, Y, Z ПЗП включено ланцюжки з двох послідовно включених діодів $VD1$ і $VD2$. На рисунку 17.31, б, як приклад, показано зв'язок між вихідною шиною k дешифратора та виходом X ПЗП. У вихідному стані ланцюжки, що зв'язують виходи дешифратора та виходи ПЗП, струм не проводять і зв'язки між шинами k, l, m, n і виходами X, Y, Z відсутні.

Користувач на спеціальному пристрої – програматорі створює потрібні зв'язки між шинами, подаючи пробивні напруги між визначеними точками. При цьому відповідні діоди пробиваються, наприклад $VD2$ (рисунок 17.31, б), і надалі можуть розглядатись як короткозамкнуті.

На рисунку 17.31, а кружками показано створені постійні зв'язки, що реалізують таблицю істинності комбінаційного пристрою з трьома виходами (таблиця 17.10).

Таблиця 17.10 – Таблиця істинності ЛЕ з трьома виходами

N	B	A	X	Y	Z
0	0	0	1	0	1
1	0	1	0	1	0
2	1	0	1	1	1
3	1	1	1	0	0

Наприклад, при комбінації вхідних логічних змінних $A=1, B=0$ із виходів знімаються сигнали $X=0; Y=1; Z=0$. У такий спосіб на ПЗП можна реалізувати потрібну таблицю істинності комбінаційного пристрою, що має декілька виходів. Одна схема ПЗП може замінити велику кількість логічних мікросхем малого й середнього рівня інтеграції, тому ПЗП можуть ефективно використовуватися для створення складних комбінаційних пристроїв. Крім того, ПЗП знаходять широке застосування

як елементи постійної пам'яті, у яку заносяться програми, що керують роботою мікропроцесорів і мікроконтролерів.

17.3.6.4 Побудова КЦП на програмованих логічних інтегральних схемах (ПЛІС)

На сьогодні, при швидких темпах технічного прогресу, цифрові системи рідко реалізуються на основі окремих логічних елементів та інтегральних схем середньої степені інтеграції. Замість цього використовують програмовані логічні інтегральні схеми (ПЛІС), які мають всі компоненти для реалізації логічних функцій і цифрових схем. Ці пристрої не програмуються згідно якоїсь попередньо визначеної програми, як це робиться у випадку використання мікропроцесорної системи обробки сигналів. Їх внутрішня структура визначається за допомогою електричного замикання і розмикання окремих вузлів схеми.

ПЛІС зайняли велику частину ринку електроніки тому, що при використанні відповідних програмних засобів стало можливим на базі однієї ІС отримати ту саму функціональність, яку можуть забезпечити кілька окремих традиційних мікросхем. Завдяки цьому, стає можливим збільшення щільності розміщення елементів на платі, зменшення енергоспоживання, збільшення надійності, зменшення матеріальних витрат і, відповідно, зниження загальної вартості виготовлення приладу чи системи [23, 24].

Програмована логічна інтегральна схема, ПЛІС (англ. programmable logic device, PLD) – електронний компонент, що використовується для створення цифрових інтегральних схем. На відміну від звичайних цифрових мікросхем, логіка роботи ПЛІС не визначається при виготовленні, а задається за допомогою програмування. Для цього використовуються програматори і налагоджувальні середовища, що дозволяють за допомогою програми на спеціальних мовах опису апаратури

Verilog, VHDL, AHDL і т. ін. задати бажану структуру цифрового пристрою у вигляді принципової електричної схеми. Альтернативою ПЛІС є: програмований логічний контролер, базові матричні кристали, що вимагають заводського виробничого процесу для програмування; ASIC – спеціалізовані замовні ВІС (великі інтегральні схеми), які при багатосерійному та одиничному виробництві істотно дорожчі; спеціалізовані комп'ютери; процесори (наприклад, цифровий сигнальний процесор) або мікроконтролери, які через програмний спосіб реалізації алгоритмів повільніше ПЛІС.

ПЛІС широко використовуються для побудови різних за складністю і можливостями цифрових пристроїв. Розширення сфери застосування ПЛІС визначається зростаючим попитом на пристрої зі швидкою перебудовою виконуваних функцій, скороченням проектно-технологічного циклу нових або модифікованих виробів, наявністю режимів зміни внутрішньої структури в реальному часі, підвищенням швидкодії, зниженням споживаної потужності, розробкою оптимізованих поєднань з мікропроцесорами і сигнальними процесорами (DSP), а також зниженням цін на ці пристрої [23, 24].

На рисунку 17.32 у якості прикладу наведено спрощену схему програмованого логічного пристрою. Ця схема має чотири елементи АБО, сигнали з виходів яких можна запрограмувати таким чином, щоб вони виконували деяку логічну функцію двох змінних.

Кожний із вхідних сигналів, який відповідає змінним А і В, проходить через два буфери: повторювач та інвертор, в результаті чого отримуються прямий та інверсний сигнали, відповідні даним змінним. Ці сигнали подаються на входи чотирьох логічних елементів І. Кожний елемент І підключено до двох різних вхідних ліній, тому він може формувати свій власний сигнал добутку вхідних змінних. Сигнальні лінії на виходах елементів І називаються вихідними лініями.

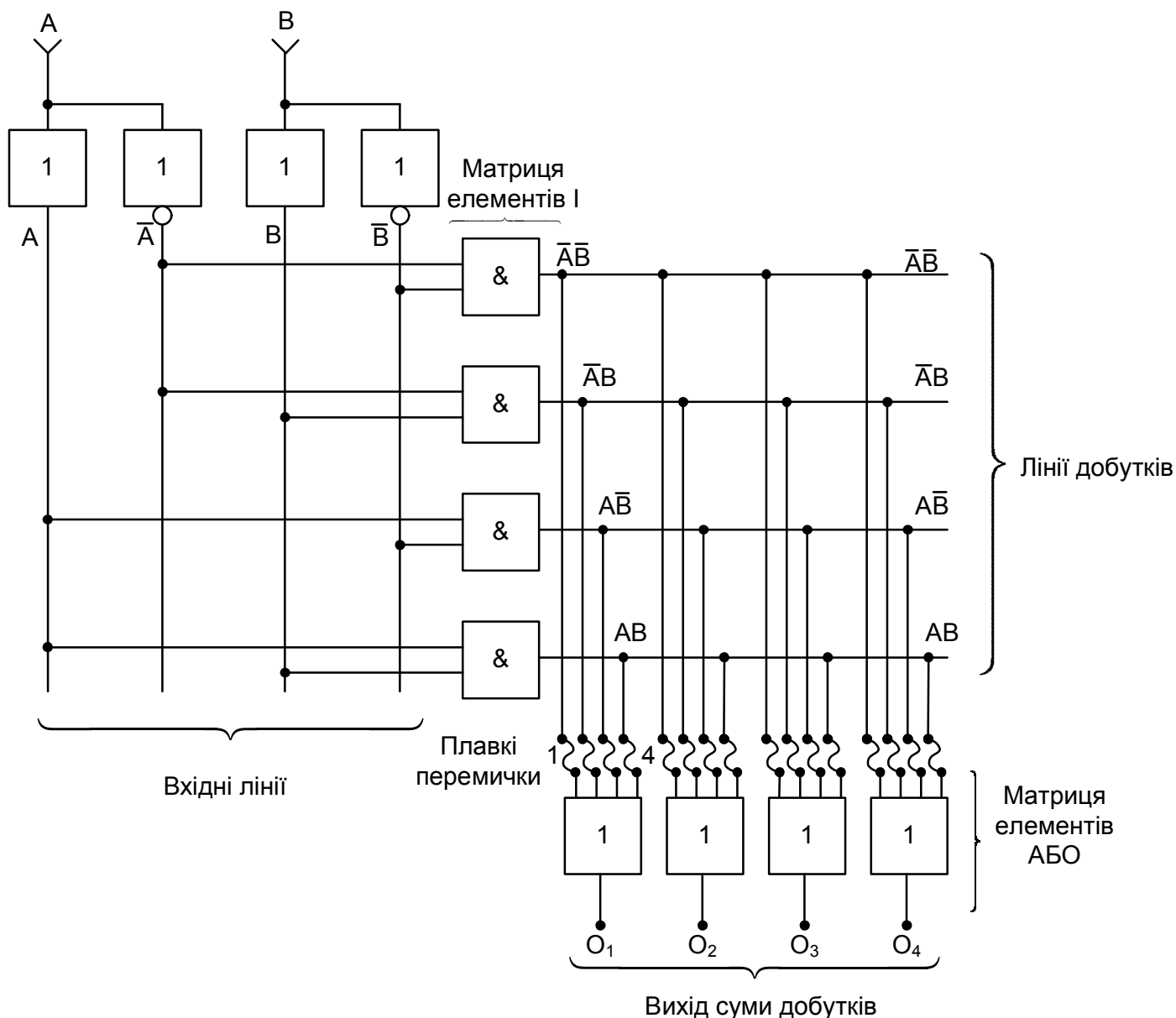


Рисунок 17.32 – Схема програмованого логічного пристрою

Кожна вихідна лінія передає сигнал, що відповідає добутку різних вхідних змінних. Кожну з цих ліній підключено до одного з чотирьох входів логічних елементів АБО через плавку перемичку. Якщо всі перемички якогось елемента АБО залишились цілими, тоді на виході отримаємо постійний сигнал, що відповідає логічній 1. Доказ даного твердження має вигляд:

$$O_1 = \bar{A}\bar{B} + \bar{A}B + A\bar{B} + AB = \bar{A}(\bar{B} + B) + A(\bar{B} + B) = \bar{A} + A = 1.$$

Кожний із чотирьох вихідних сигналів (O_1, O_2, O_3, O_4) може бути запрограмований на реалізацію тієї чи іншої логічної функції змінних A і B . Для цього достатньо перепалити відповідні плавкі перемички. ПЛІС розробляється таким чином, що розплавлена перемичка діє, як логічний 0. Наприклад, якщо перепалити перемички 1 і 4 на входах першого елемента АБО, то на виході O_1 отримаємо.

$$O_1 = 0 + \bar{A}B + A\bar{B} + 0 = \bar{A}B + A\bar{B}. \quad (17.19)$$

Таким чином, ми реалізували логічну функцію двох змінних: виключне АБО, нееквівалентність або суматор за модулем два. Можна запрограмувати кожний із виходів елементів АБО так, що сигнал буде відповідати деякій потрібній функції. Як тільки всі вхідні сигнали задано, пристрій буде реалізовувати цю функцію постійно.

ПИТАННЯ ДЛЯ САМОКОНТРОЛЮ

- 1) Які логічні пристрої називаються комбінаційними?
- 2) Опишіть коротко етапи синтезу КЦП.
- 3) Дайте визначення понять «шифратор» та «дешифратор».
- 4) Який код називають унітарним?
- 5) Як реалізується функція пріоритету в шифраторах?
- 6) Охарактеризуйте шифратор двійкового коду. Як визначається максимальне число вхідних шин?
- 7) Який формат представлення десяткових чисел називається упакованим?
- 8) Які існують різновиди індикаторів?
- 9) Які існують різновиди світлодіодних індикаторів за характером з'єднання діодів?
- 10) Як формуються керуючі сигнали для індикаторів?
- 11) Дайте визначення поняття «мультиплексор».
- 12) Наведіть приклад реалізації мультиплексора.
- 13) Дайте визначення поняття «демультиплексор».
- 14) Яку особливість мають мультиплексори–селектори? В якості чого вони можуть бути застосовано?
- 15) Які правила додавання двійкових чисел?
- 16) Яке призначення суматора та напівсуматора?
- 17) Для чого призначено пристрої контролю парності?
- 18) Який принцип роботи цифрового компаратора?
- 19) На основі чого можуть бути реалізовано КЦП?
- 20) Поясніть використання ПЛІС для реалізації КЦП.
- 21) Назвіть основні переваги ПЛІС.

ЛІТЕРАТУРА

[3, 11...13, 16, 17, 21...27, 31]

18 ПОСЛІДОВНІ ЦЕП (ПЦЕП)

18.1 Визначення послідовних цифрових електронних пристроїв (ПЦЕП)

Вище, було розглянуто комбінаційні цифрові пристрої, у яких є однозначний зв'язок між вхідними і вихідними сигналами і відсутні елементи пам'яті.

В цифровій електроніці існує ще одна група пристроїв, що містять елементи пам'яті. Тому їх вихідні сигнали в загальному випадку залежать не тільки від сигналів, прикладених до входів у даний момент часу, але і від сигналів, що впливали на них раніше. Оскільки наявність пам'яті дозволяє задавати послідовність виконання визначених логічних операцій у часі, то такі логічні пристрої називаються послідовними [2, 22, 25...27].

До них насамперед належать тригери, а також схеми, що виконуються на їх основі: регістри, лічильники, розподільники, напівпровідникові запам'ятовуючі пристрої (ЗП) і т. ін.

Розглянемо більш докладно основні послідовні цифрові електронні пристрої (ПЦЕП).

18.2 Тригери

Тригером називається пристрій, що має два стійких стани рівноваги і може під дією керуючих сигналів швидко (стрибкоподібно) переходити з одного стану в інший. При вмиканні напруги живлення і відсутності зовнішніх керуючих сигналів тригер довільно займає один з двох станів і може знаходитися в ньому як завгодно довго. Тригер є елементом пам'яті і може зберігати 1 біт інформації.

Існує чотири різновиди схемної реалізації (виконання) тригерів:

1. На дискретних компонентах з використанням транзисторів (напівпровідникові імпульсні тригери).

2. На інтегральних мікросхемах операційних підсилювачів (тригери Шмітта).

3. На логічних елементах.

4. У вигляді спеціалізованої інтегральної мікросхеми.

Перші дві групи було розглянуто у розділі 6. Нижче зупинимось більш докладно на двох останніх варіантах виконання тригерів – на цифрових тригерах.

В залежності від властивостей, кількості входів і функціонального призначення цифрові тригери можна розділити на декілька видів.

Насамперед, варто розрізняти не тактовані (асинхронні) і тактовані (синхронні) тригери. Зміна стану асинхронного тригера відбувається відразу ж після відповідної зміни потенціалів на його керуючих входах.

У синхронному тригері переключення під дією сигналів на керуючих входах може відбутися тільки в момент присутності відповідного сигналу на тактовому (синхро) вході.

Тактування може здійснюватися імпульсом (потенціалом) або фронтом (перепадом потенціалу). У першому випадку, сигнали на керуючих входах впливають на стан тригера тільки при дозволяючому потенціалі на тактовому вході. У другому випадку, вплив керуючих сигналів проявляється в момент переходу одиниця–нуль або нуль–одиниця на синхровході.

Існують також універсальні тригери, що можуть працювати як у синхронному, так і в асинхронному режимах.

Основними типами тригерів у залежності від функціонального призначення є:

- RS – тригери ;
- T – тригери ;
- D – тригери ;
- JK – тригери.

18.2.1 Тригери на логічних елементах

18.2.1.1 RS – тригери

RS – тригери поділяються на асинхронні і синхронні.

18.2.1.1.1 Асинхронні RS – тригери

Асинхронні RS – тригери можуть бути виконані на логічних елементах базисів АБО–НЕ і І–НЕ.

Нижче показано: принципову схему (рисунок 18.1, а), позначення на електричних схемах (рисунок 18.1, б) і таблицю істинності (таблиця 18.1) асинхронного RS – тригера на логічних елементах АБО–НЕ.

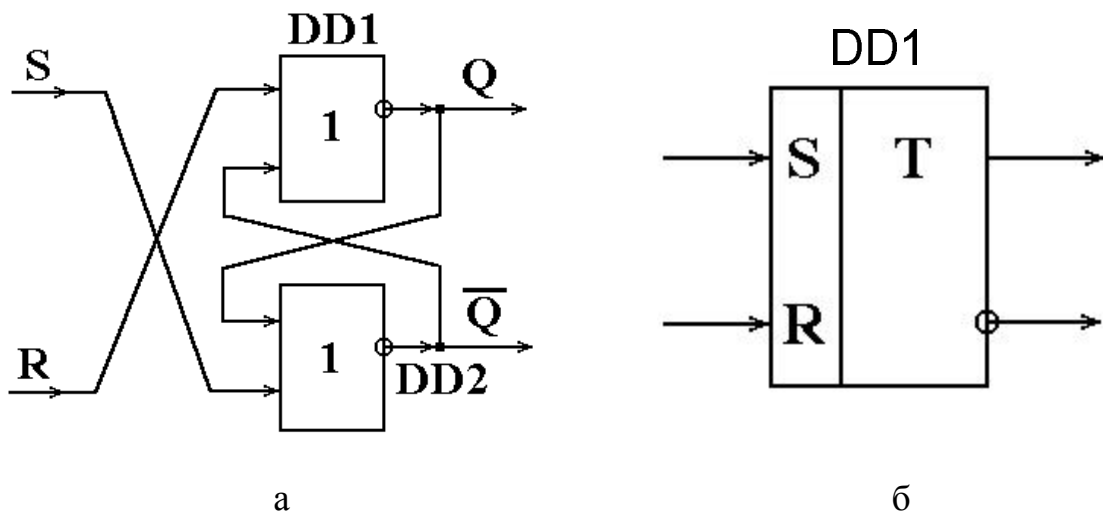


Рисунок 18.1 – Асинхронний RS–тригер:

а – схема на ЛЕ АБО–НЕ; б – позначення на схемах

У таблиці 18.1 прийнято такі позначення: R і S – сигнали на входах тригера; Q^t – вихідний сигнал тригера до надходження входніх керуючих сигналів; Q^{t+1} – вихідний сигнал після впливу керуючих сигналів.

Тригер називається асинхронним, тому що він переходить у новий стан негайно після зміни комбінації входніх керуючих сигналів. Входи S і R названі за першими буквами англійських слів set – встановлення і reset – попереднє встановлення (скидання).

Таблиця 18.1 – Таблиця істинності асинхронного RS–тригера на ЛЕ АБО–НЕ

№	S	R	Q^{t+1}
0	0	0	Q^t
1	0	1	0
2	1	0	1
3	1	1	Не визна- чене

Тригер встановлюється в одиницю ($Q=1$; $\bar{Q}=0$) при комбінації вхідних сигналів $S=1$, $R=0$. Скидання в нуль ($Q=0$; $\bar{Q}=1$) відбувається при $S=0$, $R=1$. Якщо $S=R=0$, то стан схеми не змінюється ($Q^{t+1}=Q^t$). Комбінація $S=R=1$, заборонена, тому що становище тригера в цьому випадку не визначене. У схемі виконується умова виникнення стрибків: баланс фаз (тригер містить додатний зворотний зв'язок (ДЗЗ)) і баланс амплітуд (сумарне підсилення схеми більше сумарного згасання, внесеного пасивними елементами). Тому при зміні вхідних керуючих сигналів тригер швидко (лавиноподібно) змінює свій стан. При вмиканні живлення і пасивного значення керуючих сигналів $R=S=0$ схема займає довільний стан (нульовий $Q=0$; $\bar{Q}=1$ або одиничний – $Q=1$; $\bar{Q}=0$), що залежить від початкової асиметрії схеми.

Для проектування RS – тригера можуть бути використані також логічні елементи базису І–НЕ. Нижче показано: принципову схему (рисунок 18.2, а), позначення на електричних схемах (рисунок 18.2, б) і таблицю істинності (таблиця 18.2) асинхронного RS – тригера на логічних елементах І–НЕ. Відмінність цього тригера від попереднього складається в тому, що активним значенням керуючих сигналів є логічний нуль, а пасивним – логічна одиниця.

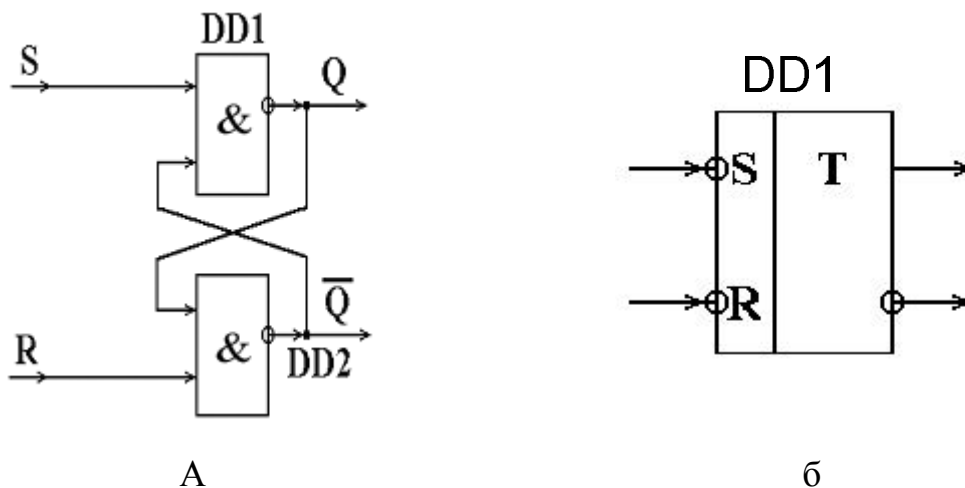


Рисунок 18.2 – Асинхронний RS–тригер: а – схема на ЛЕ І–НЕ;
б – позначення на електричних схемах

Таблиця 18.2 – Таблиця істинності асинхронного RS–тригера на ЛЕ І–НЕ

№	S	R	Q^{t+1}
0	0	0	Не визна– чене
1	0	1	1
2	1	0	0
3	1	1	Q^t

18.2.1.1.2 Синхронні RS – тригери

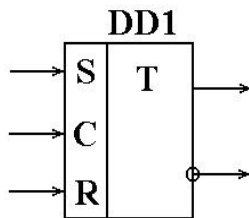
В результаті явища “змагань” (“перегонів”) на входах асинхронного RS–тригера тимчасово можуть з’являтися помилкові комбінації, що викликають помилкові спрацьовування (переключення) схеми і будуть помилково зафіксовані логічним пристроєм опрацювання вихідних сигналів тригера. Для усунення цієї похибки використовують синхронні RS–тригери, що містять додатковий тактовий (синхро) вхід.

Синхронні RS–тригери поділяються на:

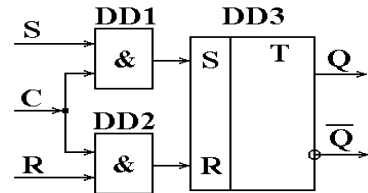
–одноступінчаті (однотактні);

–двоступінчаті (двотактні).

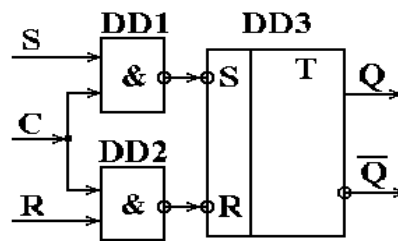
Нижче показано: позначення на електричних схемах (рисунок 18.3, а) і функціональні схеми (рисунок 18.3, б, в) одноктактного синхронного RS–тригера.



а



б



в

Рисунок 18.3 – Одноктактний синхронний RS–тригер:

а – позначення на електричних схемах; б – схема з ЛЕ “І” ;

в – схема з ЛЕ “І–НЕ”

Одноктактний синхронний RS–тригер (рисунок 18.3, б, в) включає асинхронний RS–тригер DD3 і два додаткових логічних елементи DD1, DD2: І (рисунок 18.3, б) або І–НЕ (рисунок 18.3, в). Більш кращою є друга схема (рисунок 18.3, в), тому що вона містить елементи одного базису І–НЕ (рисунок 18.2).

Одноктактний (одноступінчатий) синхронний RS–тригер (рисунок 18.3) тактується (синхронізується) потенціалом або одиничним імпульсом на вході С.

Часто потрібно здійснювати переключення тригера переходом потенціалу на його синхровхід С із 1 в 0 або з 0 в 1 (зрізом або фронтом вхідного імпульсу). Синхронний RS–тригер, що має таку спроможність, називається двоступінчатим (двотактним).

Нижче показано: позначення на електричних схемах (рисунок 18.4, а) і функціональну схему (рисунок 18.4, б) двотактного синхронного RS–тригера, що переключається переходом із 1 в 0 на динамічному тактовому (синхро) вході.

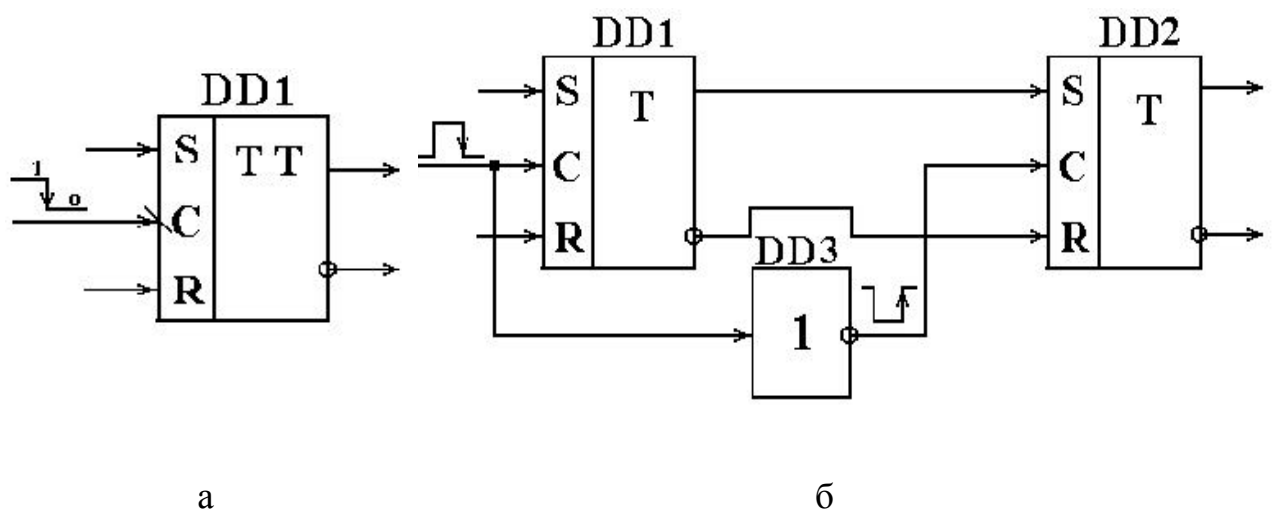


Рисунок 18.4 – Двотактний синхронний RS–тригер:

а – позначення на схемах; б – функціональна схема

Тригер виконано на двох однотактних синхронних RS–тригерах, розглянутих вище, і інверторі DD3. Вхід С (рисунок 18.4, а) називається динамічним, тому що активним сигналом на ньому є перехід із 1 в 0. Переключення тригера відбувається за два такти: у першому такті вхідна інформація записується в перший тригер DD1, а стан другого тригера DD2 не змінюється, тому що на його синхровхід з виходу інвертора подається нульовий імпульс. В другому такті в момент закінчення одиничного імпульсу на вході (при переході з 1 в 0) з виходу інвертора на синхровхід тригера DD2 починає надходити одиничний потенціал і інформація з першого тригера DD1 переписується в другий DD2. У такий спосіб стан

виходу змінюється лише в момент переходу з 1 в 0 вхідного синхросигналу.

Нижче показано: позначення на електричних схемах (рисунок 18.5, а) і функціональну схему (рисунок 18.5, б) двотактного синхронного RS–тригера, що переключається переходом з 0 в 1 на динамічному синхровході.

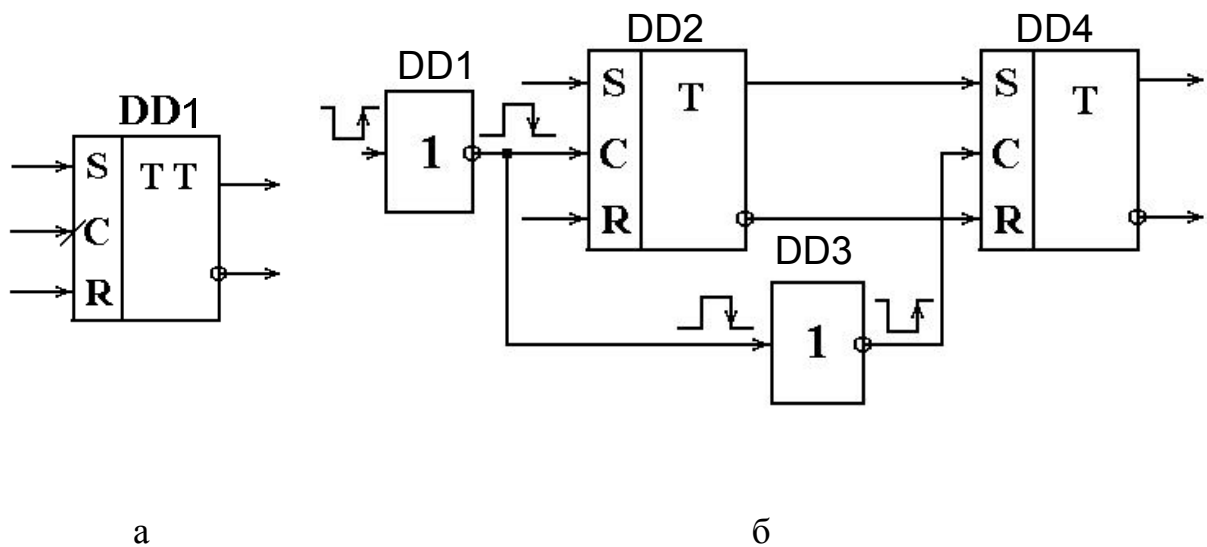


Рисунок 18.5 – Двотактний синхронний RS–тригер:
а – позначення на схемах; б – функціональна схема

18.2.1.2 Т–тригери (тригери з рахунковим входом)

Такий тригер містить лічильний (рахунковий) вхід, що позначається буквою Т, і переключається кожним імпульсом на Т–вході.

Нижче показано: позначення на електричних схемах (рисунок 18.6, а, б) і функціональну схему (рисунок 18.6, в) Т–тригера, що переключається переходом із 1 в 0 кожного вхідного імпульсу.

Тригер виконано на основі синхронного двоступінчатого RSC–тригера з динамічним синхровходом, охопленого двома зворотними зв'язками.

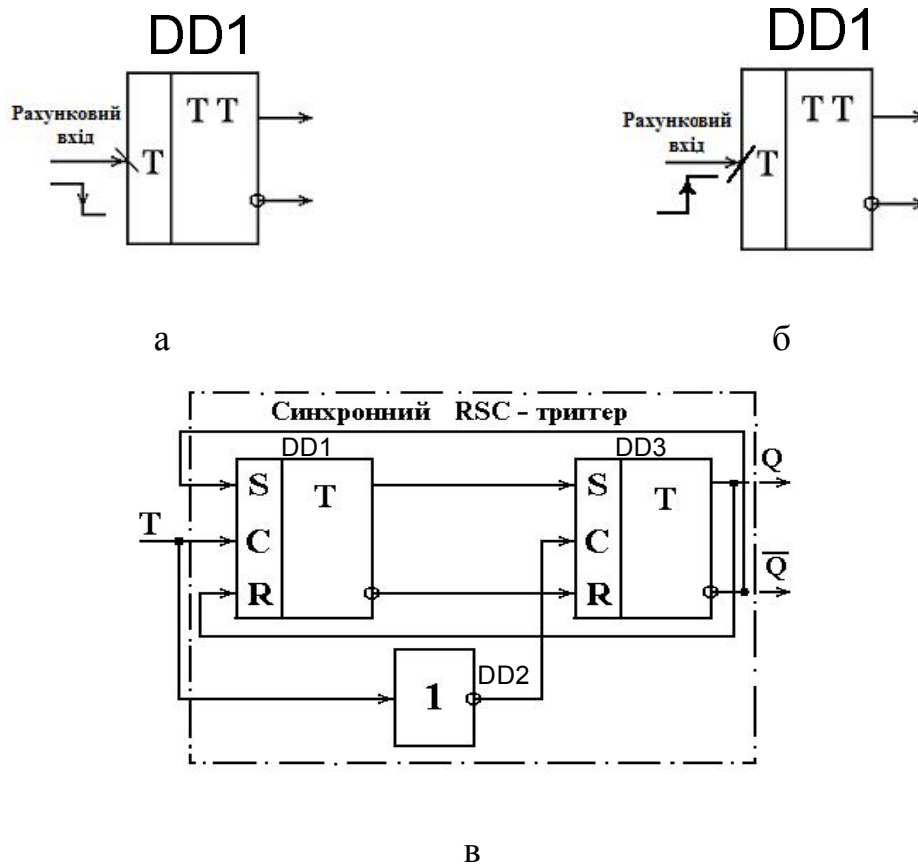


Рисунок 18.6 – Т-тригер: а, б – позначення на схемах; в – функціональна схема

В момент зрізу рахункових входних імпульсів тригер переключається в протилежний стан $Q^{t+1} = \bar{Q}^t$. На рисунку 18.7 приведено часові діаграми, що пояснюють роботу Т-тригера. Початковий стан схеми – одиничний ($U_Q=1$). Зрізом кожного рахункового імпульсу вихідний сигнал змінює своє значення на протилежне. Період вихідних імпульсів $T_{\text{вих}} = 2T_{\text{вх}}$, а частота $f_{\text{вих}} = f_{\text{вх}}/2$, тобто Т-тригер ділить вхідну частоту на 2.

На рисунку 18.6, б приведено позначення на електричних схемах Т-тригера, що переключається переходом з 0 в 1 на рахунковому вході.

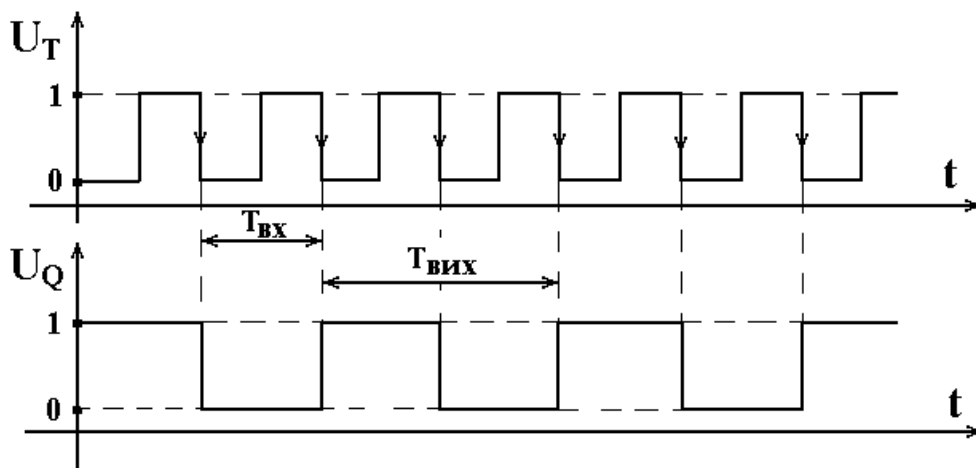


Рисунок 18.7 – Часові діаграми роботи Т-тригера (рисунок 18.6, а,в)

18.2.1.3 D – тригери (тригери затримки)

D – тригери (тригери затримки) містять інформаційний вхід (D) і тактовий (синхро) вхід (рисунок 18.8).



Рисунок 18.8 – Позначення D-тригера на електричних схемах:

а – одноктактного; б – двотактного

Існують одноктактні D-тригери, що переключаються потенціалом, або імпульсом на тактовому вході (рисунок 18.8, а), і двотактні D-тригери, що переключаються динамічним синхросигналом (переходом), наприклад, з 1 в 0 (рисунок 18.8, б).

Нижче показано: функціональну схему (рисунок 18.9, а) і часові діаграми роботи (рисунок 18.9, б) одноктактного D-тригера, виконаного на одноктактному синхронному RS-тригері (RSC – тригері) – DD1 і логічному елементі (інверторі) – DD2.

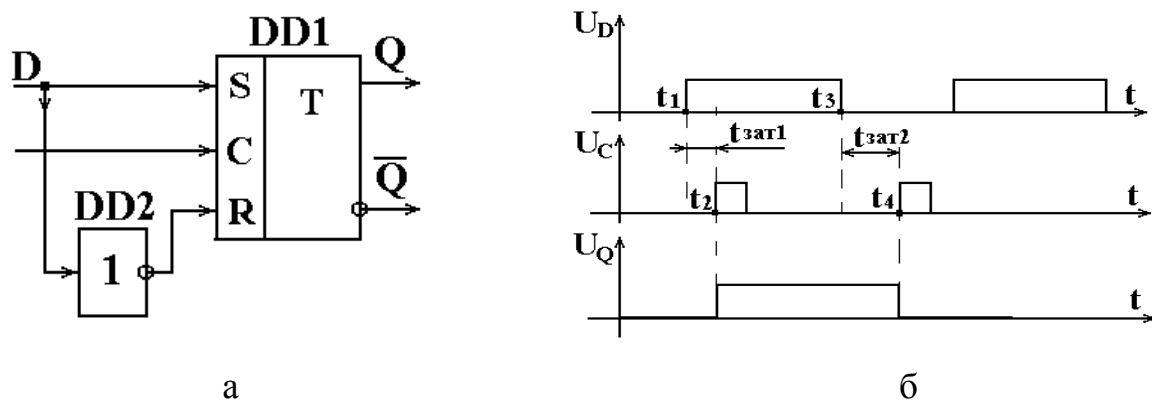


Рисунок 18.9 – Однотактний D–тригер:

а – функціональна схема; б – часові діаграми роботи

В момент надходження тактового імпульсу D–тригер переключається в стан, обумовлений сигналом на інформаційному вході D, тобто схема запам'ятовує сигнал на вході D у момент надходження синхроімпульсу ($Q^{t+1}=D$) і зберігає його до наступного тактового імпульсу. Затримка дорівнює інтервалу часу між моментами приходу інформаційного сигналу на D–вхід і надходженням синхросигналу на C–вхід : $t_{зат1} = t_2 - t_1$; $t_{зат2} = t_4 - t_3$ (рисунок 18.9, б). D–тригери широко застосовуються в якості елементів пам'яті, спроможних зберігати 1 біт інформації.

Нижче показано: позначення на електричних схемах (рисунок 18.10, а) і функціональну схему (рисунок 18.10, б) двотактного D–тригера, що переключається переходом з 1 в 0 на динамічному синхровході C.

Тригер виконано на основі двох однотактних RSC–тригерів (DD1, DD2) і двох інверторів (DD3, DD4).

D–тригер можна використовувати в якості тригера з рахунковим входом (T–тригера), якщо з'єднати його виводи як показано на рисунку 18.10, в.

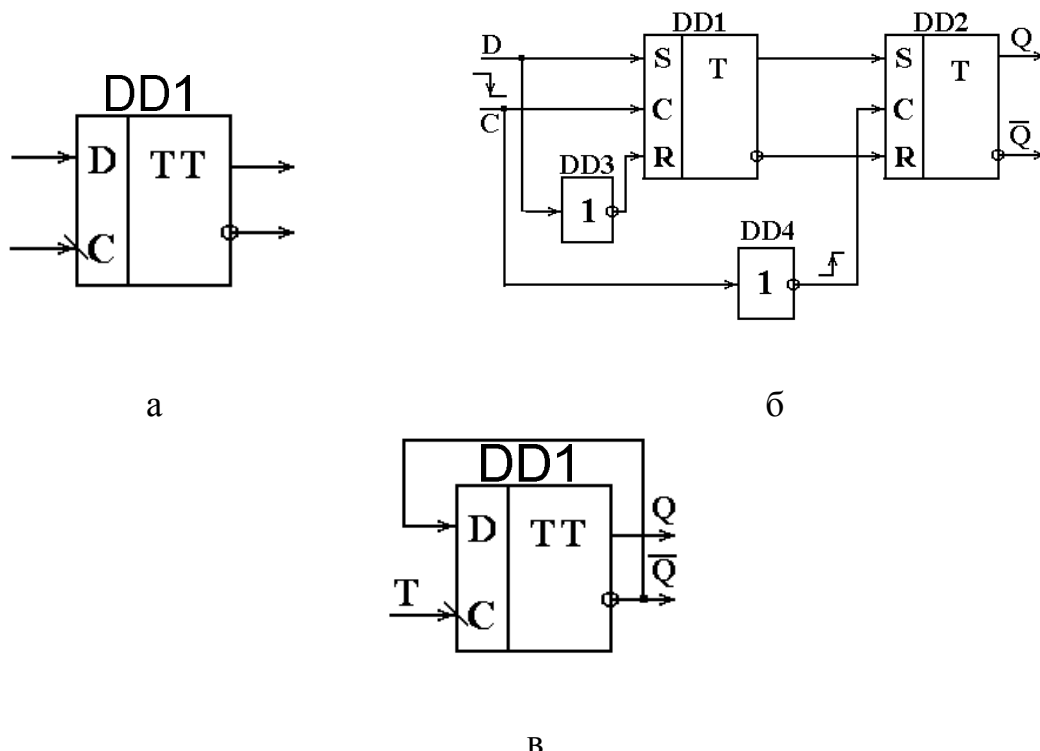


Рисунок 18.10 – Двотактний D–тригер:

а – позначення на схемах; б – функціональна схема;

в – реалізація Т–тригера на D–тригері

18.2.1.4 JK – тригери

JK – тригери найбільш універсальні серед синхронних тригерів.

Нижче показано: позначення на електричних схемах (рисунок 18.11, а), функціональну схему (рисунок 18.11, б), таблицю істинності (таблиця 18.3) і часову діаграму роботи (рисунок 18.11, в) двотактного синхронного JK–тригера, що переключається переходом з 1 в 0 на динамічному синхровході С.

Розглянемо роботу JK–тригера. Початковий стан схеми – нульовий ($U_Q=0$) (рисунок 18.11, в). При надходженні зрізу першого тактового імпульсу (момент t_1) сигнал на J–вході дорівнює 1, а на K–вході – 0. Тому тригер переключається в одиничний стан. Зрізом другого тактового імпульсу схема переключається в нульовий стан (момент t_2), тому що в цей час $J=0$, а $K=1$. В момент t_3 обидва керуючих сигнали $J=K=0$, тому стан

схеми не змінюється ($Q^{t+1}=Q^t$). При надходженні зрізу 4-го синхроімпульсу (момент t_4) $J=K=1$, тому тригер переключається в становище, протилежне початковому,

$$Q^{t+1}=\overline{Q}^t.$$

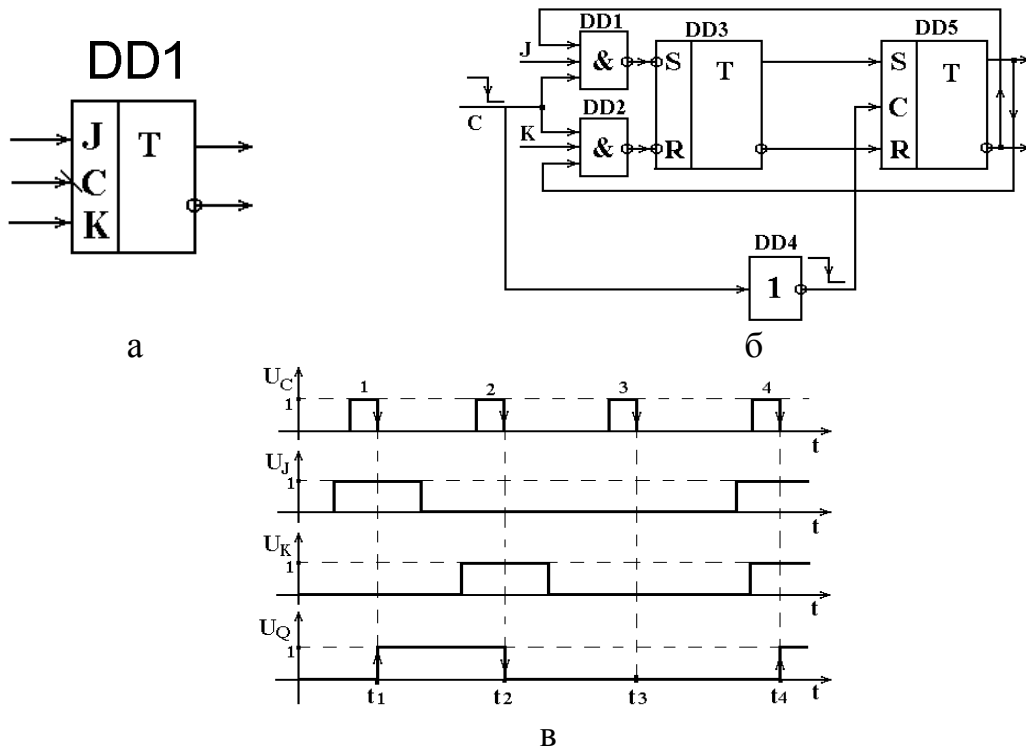


Рисунок 18.11 – Двотактний JK –тригер: а – позначення на схемах; б – функціональна схема; в – часові діаграми роботи

Таблиця 18.3 – Таблиця істинності JK–тригера

N ^o набору	J	K	C	Q^{t+1}
0	0	0	$\downarrow$	Q^t
1	0	1	$\downarrow$	0
2	1	0	$\downarrow$	1
3	1	1	$\downarrow$	$\overline{Q}^t$

На основі універсального JK–тригера може бути побудовано ряд інших тригерів.

Синхронний RS–тригер. Ототожнимо $J=S$ і $K=R$. При забороні комбінації $J=S=1$ і $K=R=1$ таблиця 18.3 зводиться до таблиці істинності RS–тригера (таблиця 18.1). Тому розглянута схема (рисунок 18.11) може використовуватися в якості двотактного синхронного RS–тригера.

T–тригер. У ньому використовується тільки 4–й рядок таблиці 18.3. Для цього входи J і K приєднуються до потенціалу, що відповідає логічній одиниці: $J=K=1$ (рисунок 18.12, а).

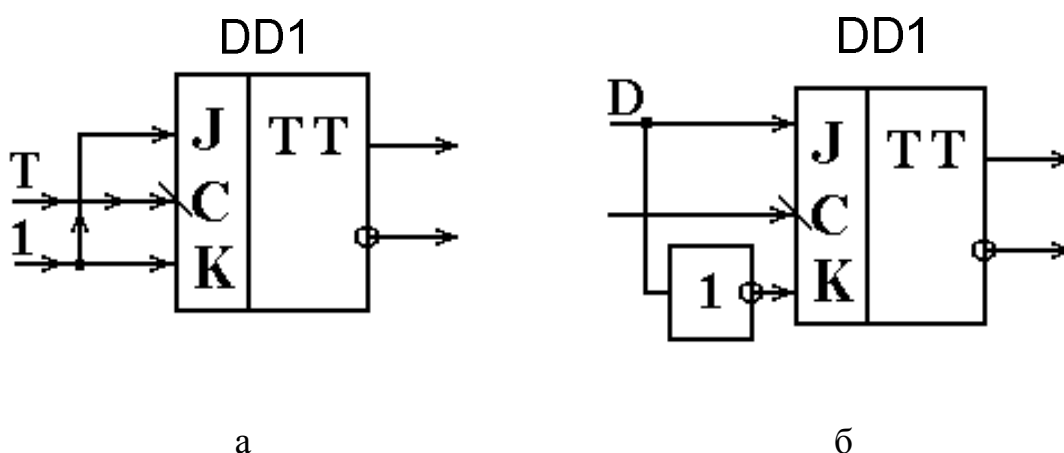


Рисунок 18.12 – Реалізація на JK–тригері: а – T–тригера; б – D–тригера

D–тригер. У цьому тригері $J = \bar{K} = D$, тобто крім тактового є тільки один вхід D (рисунок 18.12, б). З таблиці 18.3 (1–й і 2–й набори) видно, що в D–тригері $Q^{t+1}=D=J$, тобто останній запам'ятовує сигнал на вході D у момент зрізу тактового імпульсу і зберігає його до наступного синхросигналу.

18.2.1.5 Тригери у інтегральному виконанні

В сучасних серіях ІМС існує велика кількість різноманітних тригерів [12, 13, 23, 39].

Нижче, як приклад, наведено позначення на електричних схемах двох тригерів широкого використання, що випускаються у вигляді

інтегральної мікросхеми (рисунок 18.13). Мікросхема К555 ТМ2 включає два D–тригери з додатковими S і R входами для асинхронного встановлення схеми у початковий стан (рисунок 18.13, а). Активними сигналами на S і R– входах постають низькі рівні напруг (логічні нулі).

Мікросхема К555 ТВ1 (рисунок 18.13, б) містить один JK–тригер, який включає два асинхронних R і S– входи для встановлення схеми у початковий стан і два додаткових тривходових кон’юнктори, які включено на J і K входах.

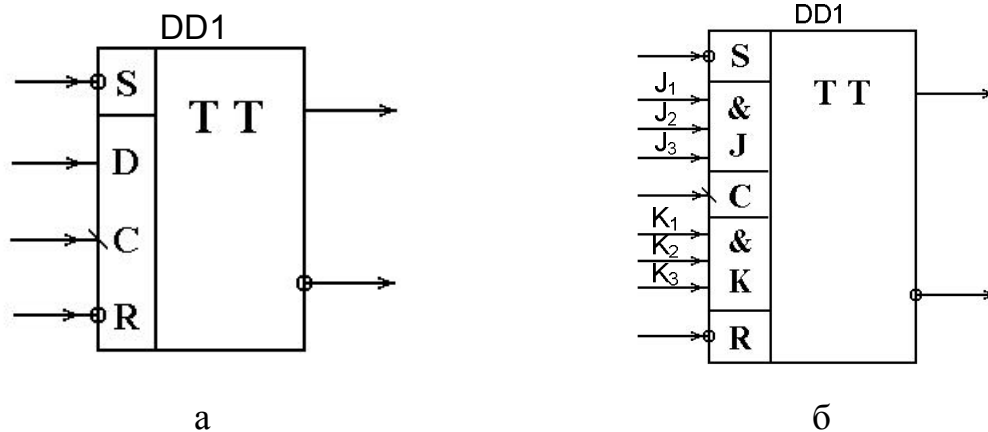


Рисунок 18.13 – Тригери у інтегральному виконанні:

а – мікросхема К555 ТМ2; б – мікросхема К555 ТВ1

Додаткові елементи І (кон’юнктори) реалізують логічні функції

$$J = J_1 \cdot J_2 \cdot J_3, \quad (18.1)$$

$$K = K_1 \cdot K_2 \cdot K_3.$$

Це розширює можливості JK–тригера, наприклад, спрощує побудову на подібних мікросхемах синхронних лічильників.

18.3 Регістри

Регістрами називають послідовні цифрові пристрої, призначені для запам'ятовування багаторозрядних цифрових кодів і виконання над ними деяких логічних перетворень. Основу регістрів складають тригери, кількість яких дорівнює кількості розрядів цифрового коду. Один тригер

зберігає 1 біт інформації (один двійковий розряд), відповідно N–розрядний регістр спроможний зберігати N біт інформації. Крім тригерів, регістри містять допоміжні схеми, що забезпечують прийом коду в регістр, видачу коду з регістра, зсув коду вправо, або вліво на необхідну кількість розрядів, перетворення паралельного коду в послідовний і навпаки, виконання над окремими розрядами регістра логічних операцій, наприклад, І, АБО, ВИКЛЮЧНЕ АБО, установлення регістра в початковий стан (“СКИДАННЯ”) і т. ін.

В залежності від способу введення і виведення розрядів двійкового числа, регістри поділяються на :

- паралельні ;
- послідовні ;
- послідовно–паралельні ;
- паралельно–послідовні.

18.3.1 Паралельні регістри

В таких регістрах введення і виведення інформації здійснюється в паралельній формі – одночасно усіх розрядів.

В залежності від кількості вхідних і вихідних каналів, паралельні регістри поділяються на однофазні (кожний розряд передається по одному каналу в прямому коді) і парафазні (розряди передаються двома каналами в прямому та інверсному кодах).

На рисунку 18.14 показано приклад двох паралельних регістрів РГ1, РГ2 з парафазним введенням–виведенням, виконаних на однотактних синхронних RSC–тригерах.

При парафазному обміні інформацією на R, S входах будь–якого тригера завжди присутня комбінація сигналів $X_i=1$, $\bar{X}_i=0$, або $X_i=0$, $\bar{X}_i=1$, що встановлює його в необхідний стан незалежно від того, у якому

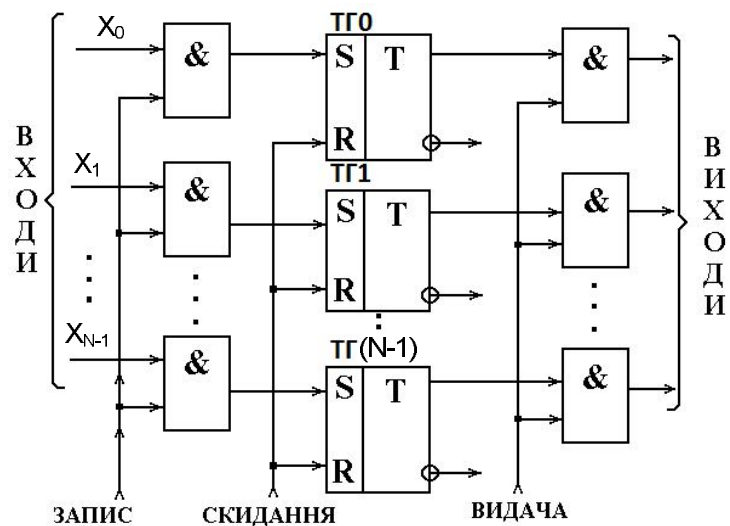


Рисунок 18.15 – Схема регістра на RS-тригерах з однофазним введенням–виведенням

Слід зазначити, що ця особливість характерна тільки для регістрів з однофазним записом, виконаних на RS-тригерах. Якщо в якості елемента пам'яті використовувати D-тригери, то їх попереднє скидання у нульовий стан при однофазному запису не потрібне (рисунок 18.16).

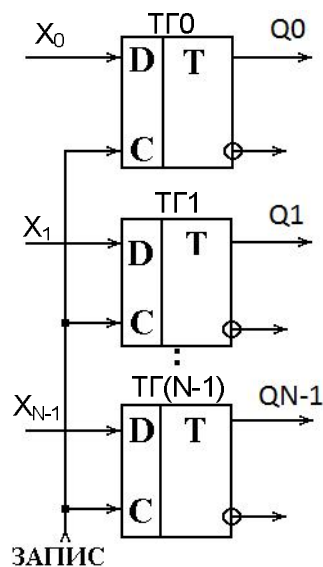


Рисунок 18.16 – Схема регістра на D-тригерах із однофазним введенням

18.3.2 Послідовні регістри

В таких регістрах тригери з'єднано послідовно і число вводиться і виводиться послідовно розряд за розрядом (рисунок 18.17).

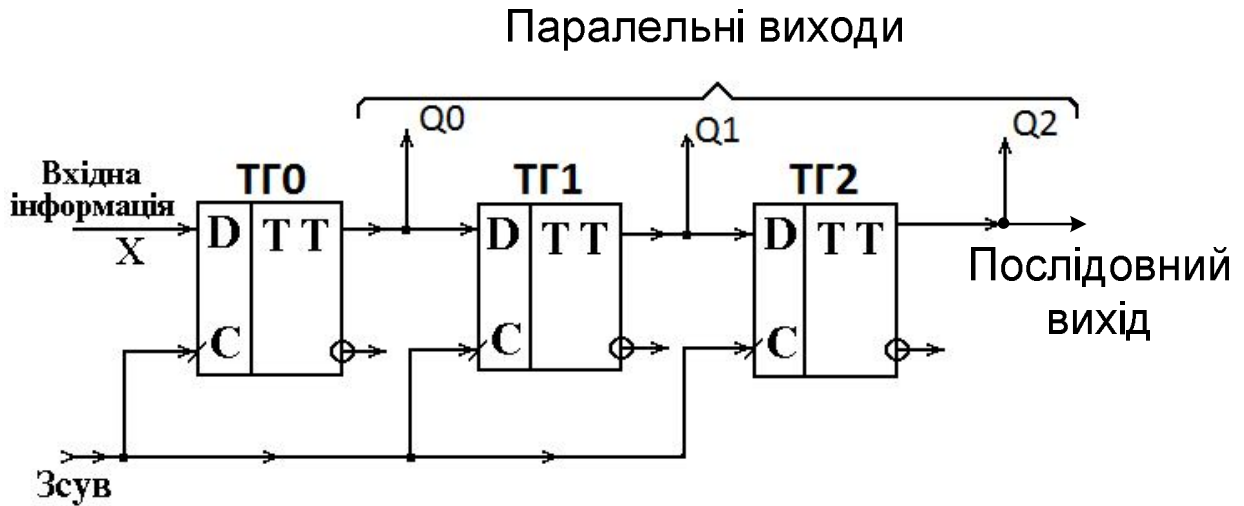


Рисунок 18.17 – Схема послідовного регістра

Наведений у прикладі послідовний регістр виконано на D–тригерах. Число, що в нього записується, надходить на один спільний інформаційний вхід X в послідовному коді (значення розрядів передаються послідовно один за одним). При надходженні першого імпульсу зсуву на синхровходи C в кожний тригер записується значення логічного сигналу на його D–вході:

$$Q0^{t+1} = X ; Q1^{t+1} = Q0^t ; Q2^{t+1} = Q1^t .$$

Ця інформація зберігається до надходження наступного імпульсу зсуву, після чого записаний перед цим код зсунеться вправо на один розряд, а в тригер ТГ0 запишеться нове значення вхідного інформаційного сигналу. Третій імпульс зсуву знову зсуне вміст регістра вправо на один розряд і запише в ТГ0 вхідний інформаційний біт.

Сказане ілюструють часові діаграми роботи, на яких припускається, що усі тригери регістра знаходяться в нульовому початковому стані (рисунок 18.18).

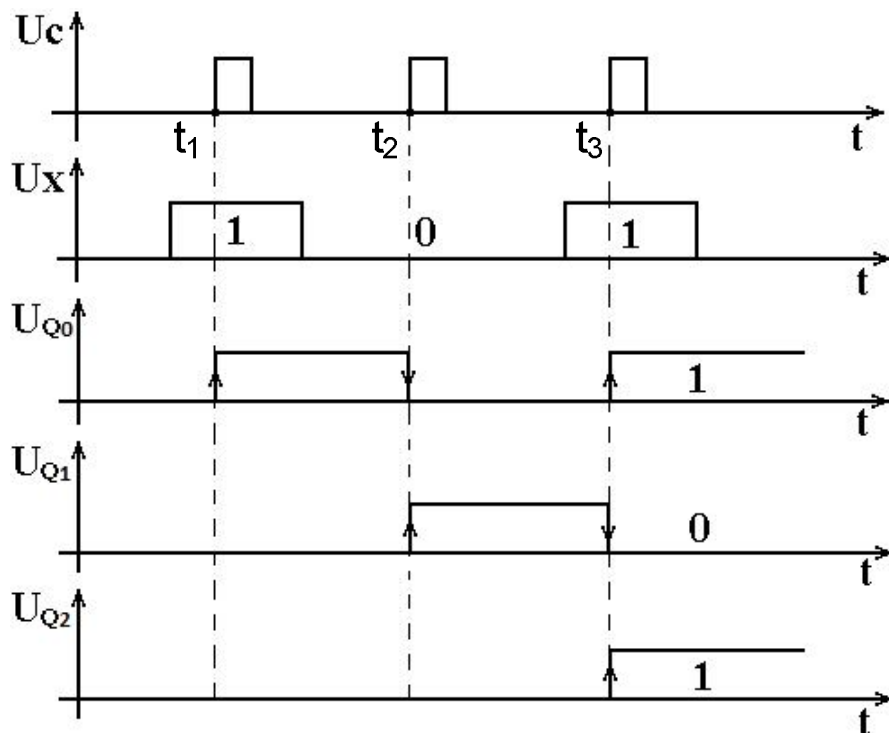


Рисунок 18.18 – Часові діаграми роботи послідовного регістра (регістра зсуву)

Аналізуючи роботу послідовного регістра (рисунки 18.17, 18.18) можна відзначити наступне:

- 1) число 101, що надійшло на вхід X регістра, після третього імпульсу на вході С опиняється записаним у розрядах тригера: $Q_2 = 1$, $Q_1 = 0$, $Q_0 = 1$. В загальному випадку, N – розрядний регістр заповнюється N – розрядним числом за N тактових імпульсів;
- 2) послідовний код, що надійшов на вхід X, перетвориться в регістрі в паралельний код і записане число може бути прочитано з виходів тригерів Q_2 , Q_1 , Q_0 паралельно (одночасно);
- 3) з надходженням кожного тактового імпульсу на вхід С, записана в регістр інформація зсувається (рух відбувається від входу до виходу), тому послідовний регістр називається регістром, що зсуває

(регістром зсуву) ;

- 4) інформацію, що записано в послідовний регістр, може бути зчитано з його виходу в послідовному коді. Для цього після запису даних у регістр необхідно знову подавати тактові імпульси на вхід С. Число порозрядно буде з'являтися на послідовному виході, звідки може прийматися пристроєм, що зчитує інформацію.

Послідовний регістр здійснює не тільки запис і зберігання інформації, але й перетворення форми її представлення.

18.3.3 Регістри зсуву

Ці регістри відносяться до послідовних регістрів і широко застосовуються в мікропроцесорах, мікроконтролерах, пристроях керування для зсуву записаної в них інформації вліво і вправо на задану кількість розрядів. Зсув кодів може використовуватися при виконанні операцій множення і ділення.

Відомо, що зсув двійкового числа вліво на один розряд еквівалентний множенню на два, а зсув вправо на один розряд – діленню на два. При цьому розряди, що виходять за межі розрядної сітки, губляться, а у вхідні розряди що звільнилися в процесі зсуву записуються нулі.

Такі зсуви називають логічними. Вони використовуються для множення і ділення на два чисел без знака. На рисунку 18.19 приведено схему трирозрядного регістра зсуву на двотактних D – тригерах, що містять S – входи для асинхронного запису вхідного двійкового числа (a_0 – МЗР ДВК, а a_2 – СЗР ДВК).

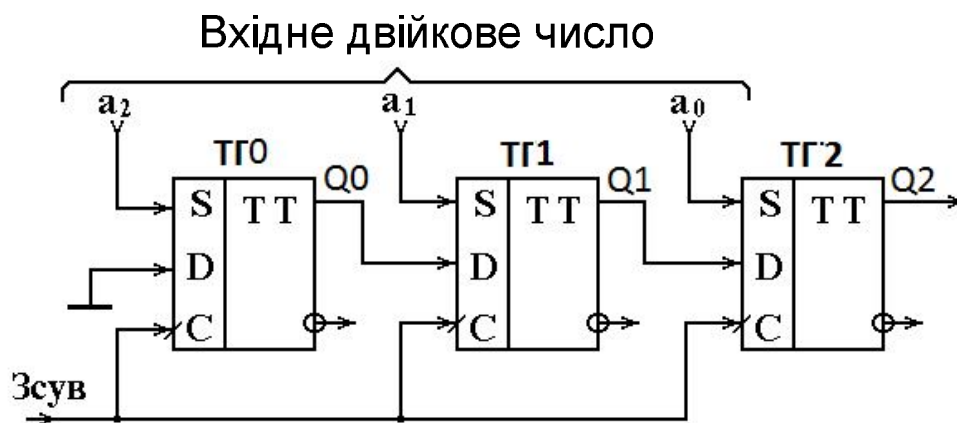


Рисунок 18.19 – Схема регістра зсуву вправо

Якщо, наприклад, записати в регістр двійкове число 110 і подати на С вхід один імпульс зсуву, то після цього схема займе стан : $Q_0=0$, $Q_1=Q_2=1$, що відповідає числу 3. Тобто сталося ділення вхідного числа шість на два (відбувся зсув вправо на один розряд).

Якщо з'єднати вихід крайнього правого розряду регістра з входом крайнього лівого розряду, то одержимо схему кільцевого (циклічного) регістра зсуву.

18.3.4 Послідовно–паралельні і паралельно–послідовні регістри

Ці пристрої виконуються на основі послідовного регістра, доповненого відповідною логікою, і призначені для перетворення послідовного коду в паралельний і навпаки.

В послідовно–паралельний регістр інформація записується в послідовному багаторозрядному коді, а потім паралельно зчитується з усіх розрядів сигналом керування.

У паралельно–послідовний регістр дані записуються паралельно в усі розряди, а зчитування інформації здійснюється у послідовній формі розряд за розрядом.

18.3.5 Регістри у інтегральному виконанні

В сучасних серіях ІМС широко подано різноманітні регістри [12, 13, 23, 39]. Розглянемо, як приклад, один із них – К555ІР1, який є 4 – розрядним універсальним регістром (рисунок 18.20).

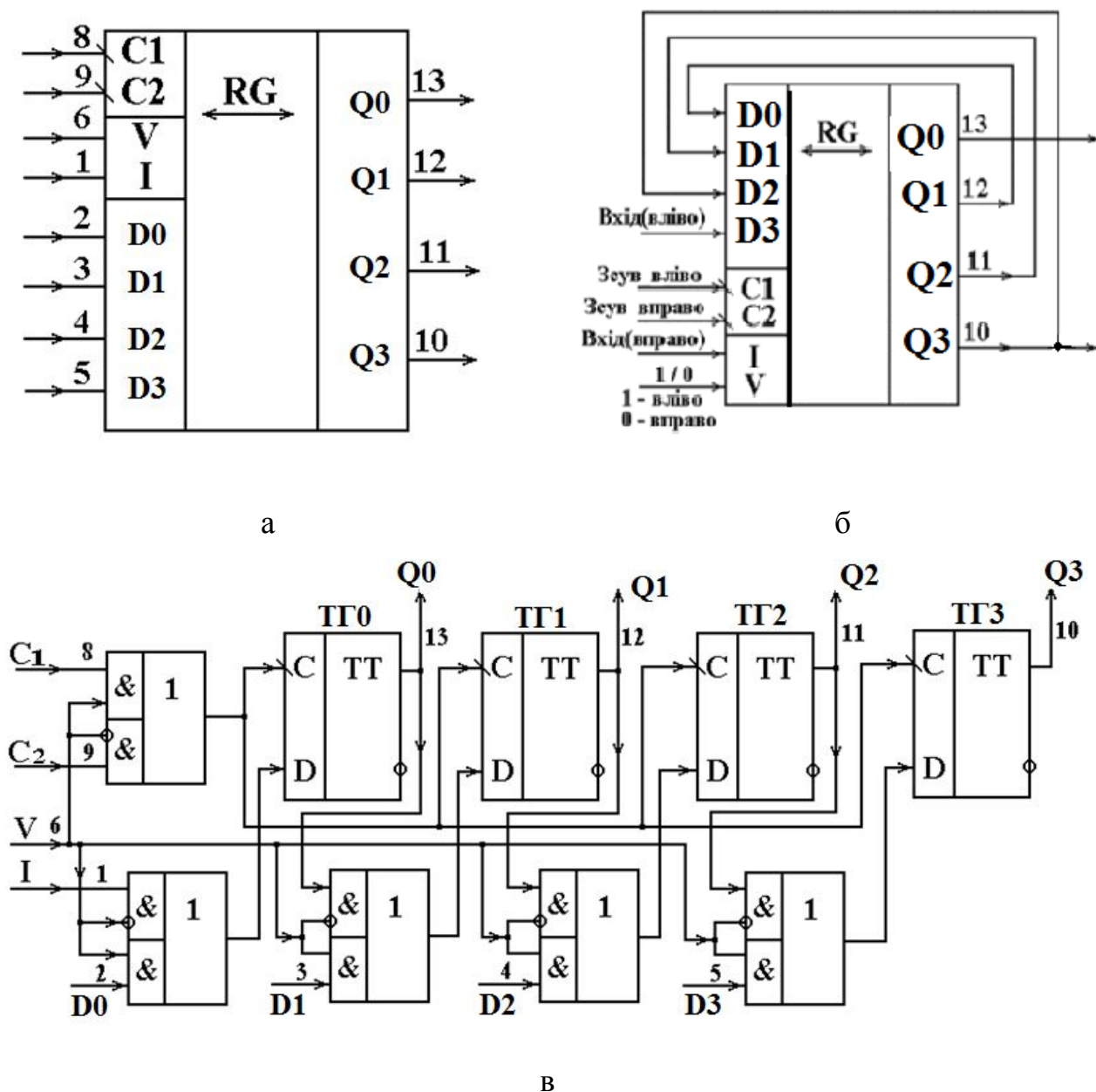


Рисунок 18.20 – Регістр К555 ІР1: а – позначення на схемах; б – реалізація схеми реверсивного регістра; в – функціональна схема

Ця мікросхема містить чотири D-тригери, які тактуються перепадом з 1 в 0 та з'єднані послідовно за допомогою елементів І-АБО (рисунок 18.20, в). Якщо на вхід V регістра подано сигнал “нуль”, то вихід кожного попереднього тригера через елемент І-АБО з'єднується з D-входом наступного. При цьому імпульси, що приходять на тактовий вхід C2, будуть щоразу встановлювати наступний тригер в стан, у якому до цього знаходився попередній. Вхід I регістра, який підключено до D-входу першого тригера, служить для прийому інформації в послідовному коді. Перед надходженням чергового імпульсу на тактовий вхід на вхід I повинне подаватись нове значення вхідного двійкового розряду. Після прийому чотирьох біт послідовного коду відповідний йому паралельний код може бути отримано з виходів тригерів Q0...Q3.

Запис до регістра інформації в паралельній формі відбувається з входів D0...D3 за подачею тактового імпульсу на вхід C1 і значенні керуючого сигналу V=1. Встановлюючи V=0 і подаючи тактові імпульси на вхід C2, можна виконати зсув записаного коду. При цьому з виходу Q3 знімається послідовний двійковий код.

Розглянуті регістри можуть використовуватись для зсуву інформації як вправо, так і вліво (як реверсивні). Для цього необхідно попарно з'єднати виводи Q3 і D2; Q2 і D1; Q1 і D0 (рисунок 18.20, б). Вхід V в цьому випадку грає роль перемикача напрямку зсуву. При V=0 і надходженні сигналів синхронізації на вхід C2 послідовний код подається на вхід I і виконується зсув вправо. Якщо V=1, а послідовний код надходить на вхід D3, то синхросигналами на вході C1 виконується зсув коду вліво.

18.4 Лічильники

Лічильники – це ПЦЕП, призначені для підрахунку імпульсів, які надходять на їх вхід. У паузах між імпульсами лічильник зберігає у двійковому коді інформацію про кількість імпульсів, що вже надійшло. Максимальне число, що може бути записано у лічильнику, дорівнює $(2^N - 1)$, де N – число розрядів лічильника. Кожен розряд містить тригер. Найбільш просто лічильники будуються на тригерах з входом, що лічить (Т–тригерах).

Проте для їх побудови можуть застосовуватися не тільки Т–тригери, але також D – та JK–тригери.

Основним параметром лічильника є коефіцієнт лічення $K_{\text{ЛПЧ}}$, обумовлений максимальною кількістю імпульсів, що може бути підраховано. N –розрядний двійковий лічильник може знаходитися в станах $0, 1, 2, \dots (2^N - 1)$. При надходженні на вхід лічильника 2^N –го імпульсу він переходить з стану $(2^N - 1)$ в стан 0 . Отже, його модуль лічення $K_{\text{ЛПЧ}} = 2^N$. Тобто, в залежності від кількості розрядів, такий лічильник може підраховувати максимально $2, 4, 8, 16, \dots, 2^N$ одиниць і сформувати на виході сигнал перенесення. Проте, в ряді випадків потрібно, щоб коефіцієнт лічення відрізнявся від 2^N . Широке поширення отримали, наприклад, десяткові лічильники, для яких $K_{\text{ЛПЧ}} = 10$. Такий лічильник після кожного 10–го імпульсу повертається у початковий стан, формуючи при цьому на виході імпульс перенесення. Кількість розрядів лічильника з довільним коефіцієнтом лічення визначається з умови

$$2^{(N-1)} < K_{\text{ЛПЧ}} < 2^N, \quad (18.2)$$

де N – кількість розрядів лічильника.

Вочевидь, для $K_{\text{ЛПЧ}} = 10$ необхідна кількість розрядів $N = 4$. Звичайний двійковий чотирирозрядний лічильник має $2^4 = 16$ різноманітних стійких

станів. Отже, для $K_{\text{ЛПЧ}}=10$ є $N=16-10=6$ зайвих станів, які необхідно виключити.

Крім значення коефіцієнта лічення лічильники можна класифікувати ще за рядом ознак.

В залежності від напрямку лічення розрізняють:

- лічильники, що підсумовують (лічення відбувається у прямому напрямі);
- лічильники, що віднімають (лічення відбувається у зворотному напрямі);
- реверсивні лічильники (з прямим і зворотним ліченням).

За способом організації схеми перенесення розрізняють лічильники з:

- послідовним;
- паралельним (наскрізним);
- паралельно–послідовним перенесенням.

В залежності від особливостей переключення окремих тригерів лічильники поділяються на:

- асинхронні;
- синхронні.

18.4.1 Асинхронний двійковий лічильник, що підсумовує, з послідовним перенесенням

Як приклад розглянемо 3-х розрядний лічильник, який виконано на двотактних Т–тригерах із додатковим R–входом для асинхронного установаження нульового початкового стану (УПС) (рисунок 18.21).

1) частота імпульсів на виході кожного тригера вдвічі менше частоти імпульсів на його вході. N-розрядний лічильник ділить частоту вхідних імпульсів у 2^N разів. З найбільшою частотою, яка дорівнює частоті вхідних імпульсів, переключається вхідний тригер лічильника;

2) у момент, що передує переключенню чергового тригера, усі попередні розряди лічильника знаходяться в одиничному стані;

3) восьмий імпульс для трирозрядного лічильника (рисунки 18.21, 18.22) є імпульсом переповнення, яким усі тригери скидаються в нуль (лічильник “обнуляється”). Дев'ятим імпульсом лічильник знову починає заповнюватись;

4) максимальна кількість імпульсів, що може зафіксувати схема, дорівнює $(2^N - 1)$. У нашому прикладі $N = 3$ і лічильник може зафіксувати 7, а порахувати не більш 8 імпульсів.

Роботу лічильника відбиває таблиця 18.4.

Таблиця 18.4 – Робота 3-х розрядного лічильника, що підсумовує

№ імпульсу	Q2	Q1	Q0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0

Неважко помітити, що стан розрядів являє собою запис у двійковому коді кількості імпульсів, що надійшло на вхід.

У розглянутому лічильнику кожен наступний розряд переключається сигналом перенесення, який формується на виході попереднього розряду,

тому схема називається лічильником із послідовним перенесенням. Переключення окремих тригерів відбувається послідовно один за одним (неодночасно, асинхронно), тому такий лічильник називається асинхронним.

18.4.2 Асинхронний двійковий лічильник, що віднімає, із послідовним перенесенням

Лічильник, що працює на віднімання, будується аналогічно лічильнику, що підсумовує, розглянутому вище. Відмінність складається лише в тому, що на Т-вхід тригера i -го розряду ($i = 0, 1, 2, 3, \dots (N-1)$, де N —число розрядів лічильника) подається сигнал з інверсного виходу попереднього розряду, тобто $\overline{Q_{i-1}}$ (рисунок 18.23).

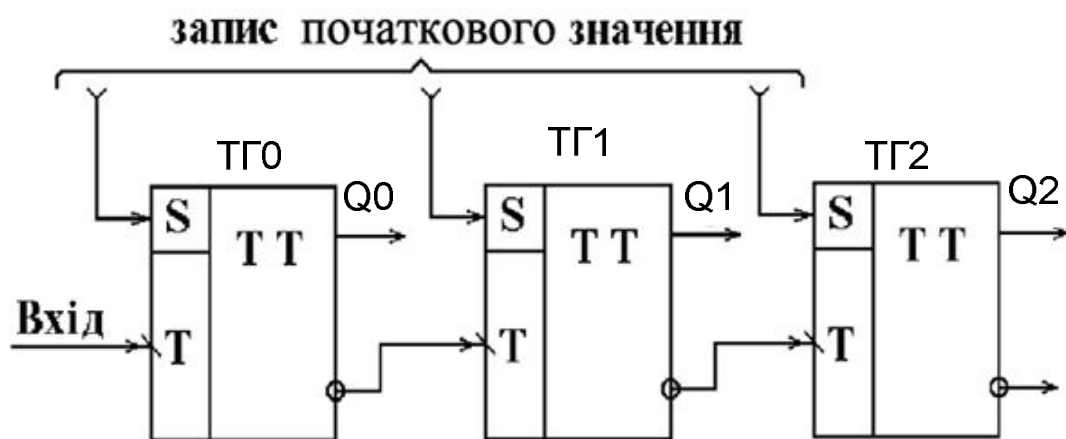


Рисунок 18.23 – Схема асинхронного 3-х розрядного лічильника, що віднімає

Т-тригери, на яких виконана аналізована схема, переключаються перепадом сигналу з 1 у 0 на Т-вході. Це означає, що переключення тригера i -го розряду буде відбуватися зрізом імпульсу $\overline{Q_{i-1}}$, тобто фронтом Q_{i-1} (момент зміни Q_{i-1} від 0 до 1). Роботу лічильника, що віднімає, відбиває таблиця 18.5. На початку роботи подачею одиничних сигналів на

S-входи тригерів встановлюється початковий стан лічильника $Q_0=Q_1=Q_2=1$.

Кожним вхідним імпульсом число, яке записано в лічильник, зменшується на одиницю. Стани розрядів лічильника являють собою двійковий запис чисел, що лінійно убують. Варто звернути увагу, що якщо при надходженні чергового імпульсу в лічильнику записано нулі, то наступним станом схеми будуть всі одиниці.

Таблиця 18.5 – Робота асинхронного 3-х розрядного лічильника, що віднімає

№ імпульса	Q2	Q1	Q0
0	1	1	1
1	1	1	0
2	1	0	1
3	1	0	0
4	0	1	1
5	0	1	0
6	0	0	1
7	0	0	0
8	1	1	1

18.4.3 Асинхронний реверсивний двійковий лічильник з послідовним перенесенням

Часто виникає необхідність, щоб лічильники мали можливість виконувати додавання або віднімання, тобто були реверсивними.

У таких лічильниках об'єднуються схеми лічильників, які підсумовують і віднімають. Реверсивні лічильники можуть мати два або один входи для подачі сигналів, які підраховуються.

Нижче показано схему реверсивного асинхронного лічильника, який має один вхід для подачі сигналів, що підраховуються (рисунок 18.24).

Одиничним керуючим сигналом на вході «+1» або - «-1» лічильник налаштовується на роботу в режимі додавання (на вході «+1» – одиниця, а на вході «-1» – нуль) або в режимі віднімання (на вході «+1» – нуль, а на вході «-1» – одиниця).

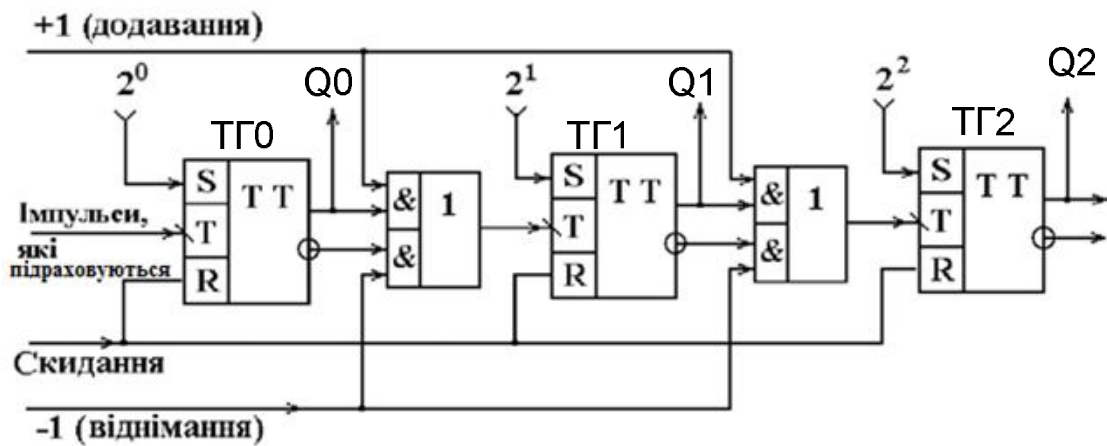


Рисунок 18.24 – Схема асинхронного 3-х розрядного реверсивного лічильника

Асинхронні лічильники мають просту структуру, але мають певні недоліки:

1) схема має порівняно низьку швидкодію, тому що при надходженні кожного імпульсу, що підраховуються, тригери переключаються послідовно і до i -го розряду сигнал, що переключає, проходить через $(i-1)$ попередніх. Тому інтервал між сусідніми вхідними імпульсами повинен перевищувати $t_{\text{пер}} \cdot (N-1)$, де $t_{\text{пер}}$ – час переключення одного тригера, а N – число розрядів лічильника;

Якщо для пристрою, до складу якого входить лічильник, відзначені недоліки є істотними, використовують синхронні лічильники.

У таких лічильниках стан тригерів змінюється одночасно під дією сигналів синхронізації на входах усіх тригерів.

Схема підрахувача на чотирьох триггерах ТТ (TG0, TG1, TG2, TG3). Вхідний сигнал "Вхід, який підраховує" подається на вхід J всіх триггерів. Виходи Q0, Q1, Q2 подаються на вхід C наступного триггера. Вихід Q3 є вихідним сигналом. Сигнали скидання подаються на вхід R всіх триггерів. Триггери TG0, TG1, TG2 мають виходи Q0, Q1, Q2 відповідно. Триггер TG3 має вихід Q3. Триггери TG0, TG1, TG2 мають виходи Q0, Q1, Q2 відповідно. Триггер TG3 має вихід Q3. Триггери TG0, TG1, TG2 мають виходи Q0, Q1, Q2 відповідно. Триггер TG3 має вихід Q3.

У схемі за допомогою кон'юнкторів організовано так зване наскрізне (паралельне) перенесення. Його ідея полягає в тому, що сигнал перенесення надходить на J, K входи наступних тригерів лише в тому випадку, якщо попередні знаходяться в стані одиниця.

Тригер ТГ0 переключається кожним імпульсом, який підраховується, тому що на його J і K-входах постійно подається одиниця. Інші тригери переключаються імпульсами, які підраховуються, при таких умовах: ТГ1 – при $Q_0=1$; ТГ2 – при $Q_0=1; Q_1=1$; ТГ3 – при $Q_0=1; Q_1=1; Q_2=1$.

Недоліком описаного лічильника є необхідність мати кон'юнктори з великою кількістю входів, кількість яких зростає зі збільшенням числа розрядів. Якщо число розрядів синхронного лічильника не перевищує чотири, то схему можна реалізувати без зовнішніх кон'юнкторів, використовуючи JK-тригери з вхідною логікою І.

Нижче показано схему синхронного лічильника що підсумовує, у якого число розрядів дорівнює 3 (рисунок 18.26).

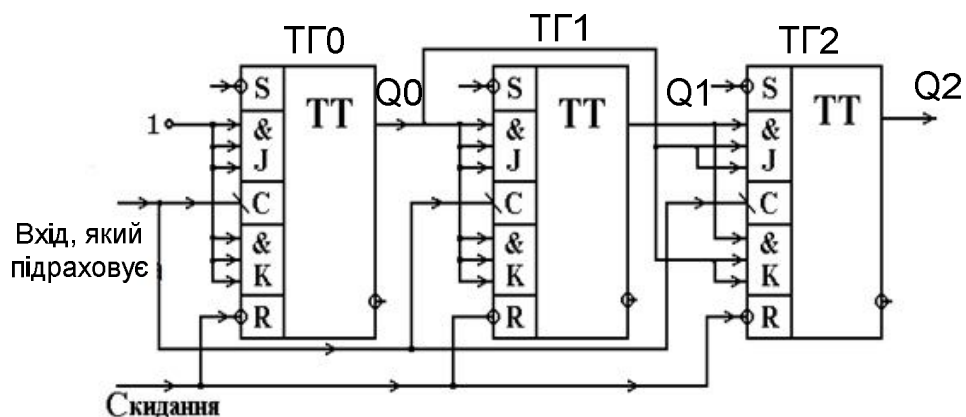


Рисунок 18.26 – Схема синхронного лічильника, що підсумовує, на JK-тригерах

Аналогічно може бути побудовано синхронний лічильник, що віднімає, із наскрізним перенесенням (рисунок 18.27).

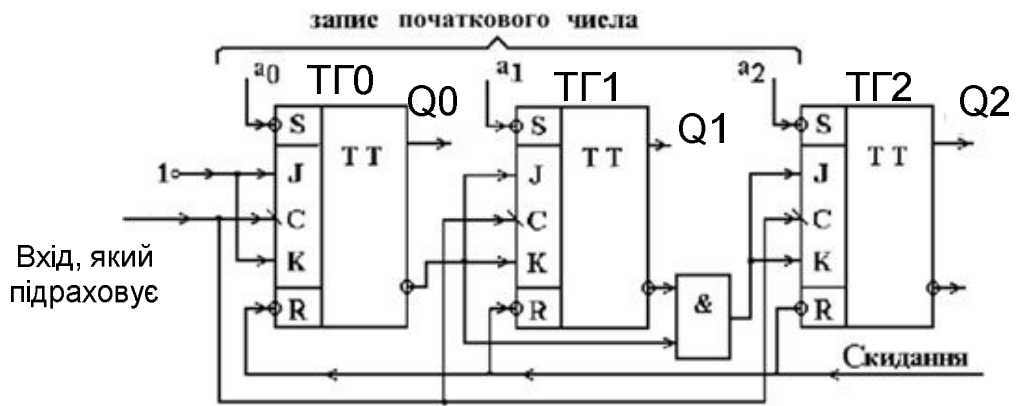


Рисунок 18.27 – Схема синхронного лічильника, що віднімає, на JK-тригерах

Реверсивний синхронний лічильник із наскрізним перенесенням приведено на рисунку 18.28.

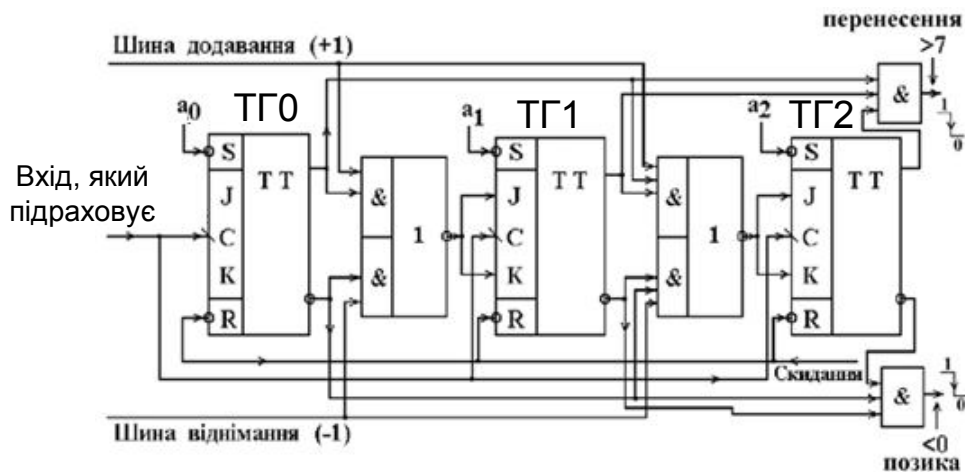


Рисунок 18.28 – Схема синхронного реверсивного лічильника на JK-тригерах

Схема містить одне джерело сигналів, які підраховуються, і два керуючих входи для переключення лічильника на додавання (+1), або віднімання (-1). На виході лічильника, позначеному «>7», одиничний сигнал з'являється при надходженні сьомого імпульсу і переході лічильника в стан, у якому всі тригери встановлено в 1. Наступним

восьмим імпульсом на цьому виході з'являється сигнал перенесення у наступний розряд у вигляді переходу з 1 в 0.

На виході, позначеному «<0» одиничний сигнал з'являється при встановленні всіх тригерів у нульовий стан і надходженні чергового імпульсу, що віднімає. При цьому всі тригери встановлюються в одиницю, а на виході «<0» з'являється сигнал позики у вигляді переходу з 1 в 0.

18.4.5 Десяткові лічильники

Як відзначалося раніше, у двійкових лічильниках коефіцієнт лічення, тобто кількість різноманітних стійких станів, дорівнює 2^N , де N – кількість розрядів. Проте в ряді випадків потрібно, щоб коефіцієнт лічення лічильника був відмінним від цього значення. Широке поширення одержали, наприклад, десяткові лічильники, для яких $K_{\text{ЛПЧ}} = 10$. Такий лічильник після кожного десятого імпульсу повертається у початковий стан, формуючи при цьому на виході імпульс перенесення. Розрядність лічильника з довільним коефіцієнтом лічення (не рівним 2^N) визначається з умови (18.2).

На рисунку 18.29 зображено функціональну схему, а в таблиці 18.6 приведено стани десяткового лічильника зі зворотними зв'язками.

Очевидно, що для $K_{\text{ЛПЧ}}=10$ потрібна кількість розрядів $N=4$. Оскільки двійковий 4-х розрядний лічильник має 16 різноманітних стійких станів, то для реалізації схеми з $K_{\text{ЛПЧ}}=10$ необхідно виключити $N=16-10=6$ надлишкових станів. Це можна здійснити шляхом введення зворотних зв'язків з виходу лічильника на одиничні входи тригерів тих розрядів, що у двійковому представленні числа N містять одиниці. Так, для $N = 6_{10} = 0110_2$ сигнал зворотного зв'язку варто подати на одиничні входи тригерів першого та другого розрядів.

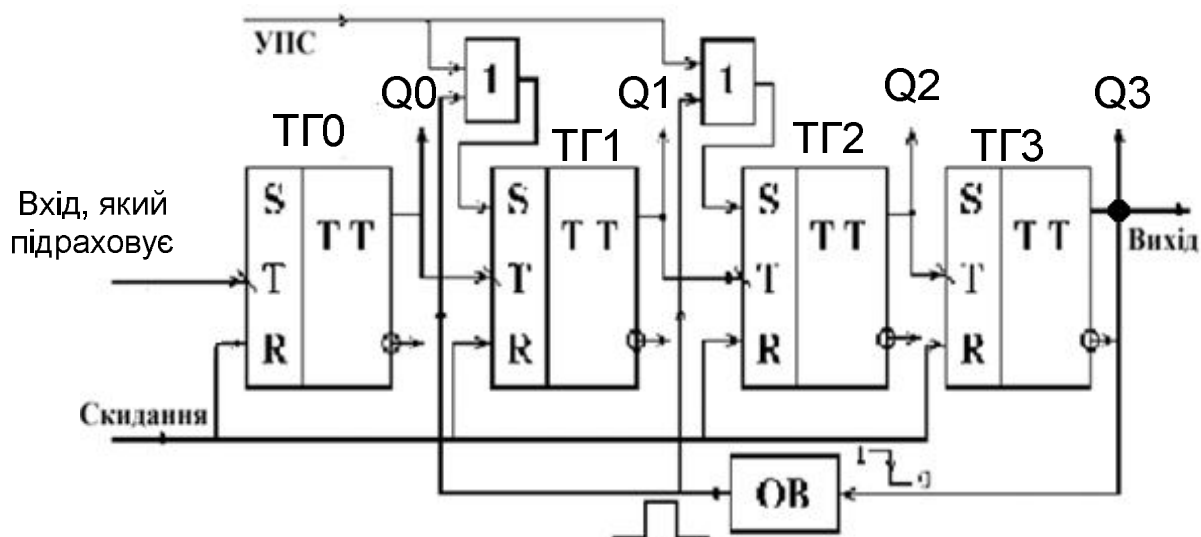


Рисунок 18.29 – Функціональна схема десятичного лічильника зі зворотними зв'язками

Таблиця 18.6 – Робота десятичного лічильника зі зворотними зв'язками

№ імпульсу	Стан тригерів				№ імпульсу	Стан тригерів			
	Q3	Q2	Q1	Q0		Q3	Q2	Q1	Q0
0	0	1	1	0	6	1	1	0	0
1	0	1	1	1	7	1	1	0	1
2	1	0	0	0	8	1	1	1	0
3	1	0	0	1	9	1	1	1	1
4	1	0	1	0	10	0	1	1	0
5	1	0	1	1	11	0	1	1	1

Перед початком роботи імпульсом “скидання” лічильник обнуляється, а потім сигналом «Установлення початкового стану» (УПС) у тригери ТГ1, ТГ2 записуються одиниці, тобто лічильник встановлюється у початковий стан 0110_2 , що відповідає десятичному числу 6. Після приходу дев'ятого імпульсу схема переключиться в стан 1111_2 , а потім черговий (десятий) імпульс формує на виході (Q3) сигнал перенесення (перепад з 1 в 0). Цим сигналом запускається одновібратор ОБ, що формує короткий

одиничний імпульс, що до приходу чергового імпульсу, який підраховується, знову встановить лічильник у початковий стан 0110_2 .

Далі описаний процес повторюється і лічильник має 10 стійких станів ($K_{\text{ліч}}=10$) і формує на виході сигнал перенесення після надходження кожного 10-го імпульсу.

Розглянуту схему (рисунок 18.29) можна спростити без зміни логіки її функціонування. Замість одновібратора і двох диз'юнкторів вводиться один чотиривходовий кон'юнктор (рисунок 18.30), що забезпечує установлення лічильника в стан 0110_2 на початку роботи і при надходженні 10-го імпульсу, коли всі тригери переключаються в нульовий стан.

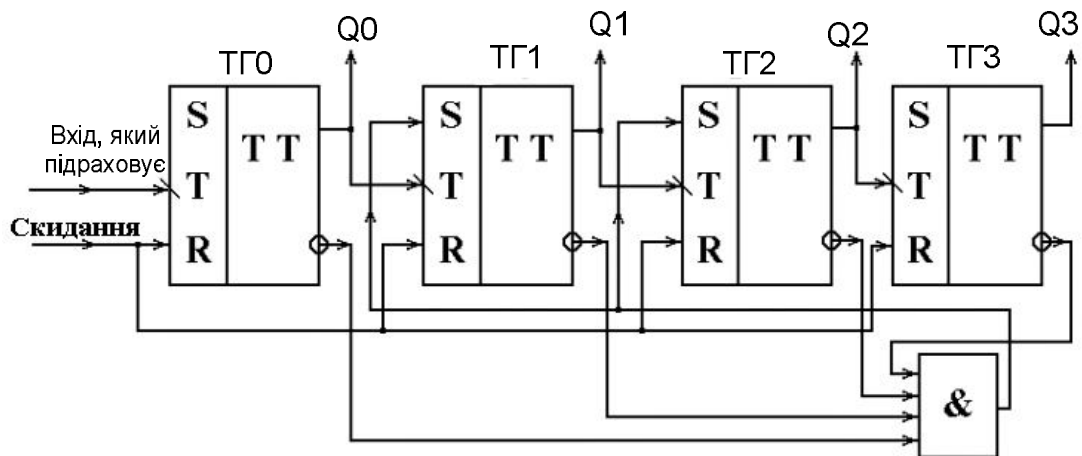


Рисунок 18.30 – Схема десяткового лічильника з кон'юнктором

Існує ще ряд способів вилучення надлишкових станів, наприклад, використовуючи примусове встановлення схеми у нульовий стан при досягненні лічильником стану, рівного 10.

Схему десяткового лічильника, яку побудовано за описаним способом, зображено на рисунку 18.31.

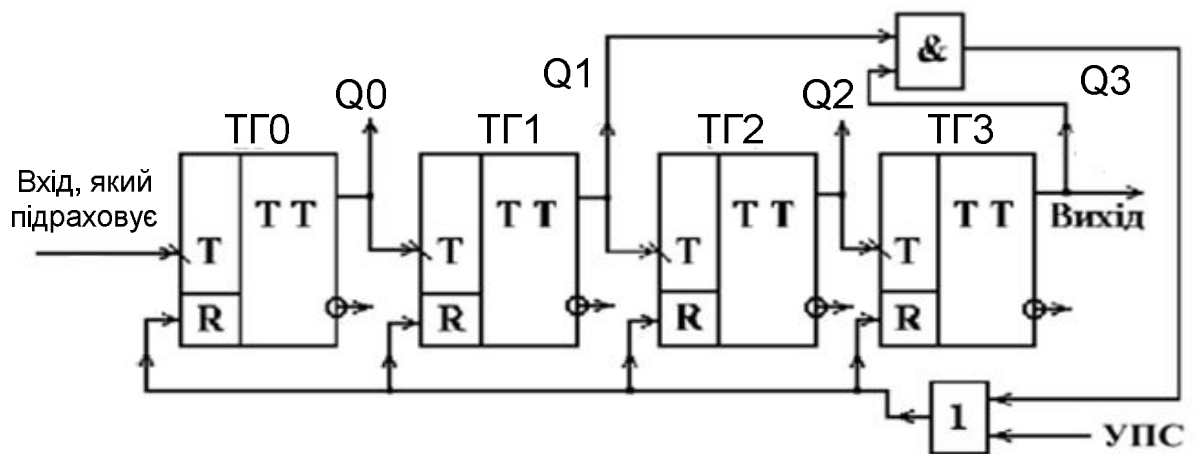


Рисунок 18.31 – Схема десяткового лічильника з примусовим встановленням схеми у нульовий стан при досягненні лічильником стану, рівного 10

Перед початком підрахунку сигналом УПС усі тригери лічильника встановлюються у початковий нульовий стан. При надходженні на вхід, який підраховує, десяти імпульсів на виходах Q1 і Q3 встановляться одиниці, завдяки чому одиничним сигналом з виходу кон'юнктора всі тригери знову буде скинуто в 0. При цьому на виході лічильника Q3 перший раз з'явиться сигнал перенесення (перехід з 1 в 0), що свідчить про те, що на вхід лічильника прийшло десять імпульсів. Далі описаний процес повторюється.

18.4.6 Лічильники в інтегральному виконанні

У різноманітних серіях інтегральних мікросхем широко подано лічильники [1...3, 22, 26, 27]. Як приклад розглянемо ІМС К555ІЕ7, котра являє собою двійковий 4-ри розрядний реверсивний лічильник (рисунок 18.32).

Мікросхема містить два входи для імпульсів, які підраховуються. Якщо лічильник працює як лічильник, що підсумовує, то імпульси, які підраховуються, подаються на вхід «С+», а якщо як лічильник, що віднімає, то на «С–», причому на невикористаному вході, який підраховує,

повинна бути напруга високого рівня. У якості чергового імпульсу, який підраховується, на одному з входів «C+» або «C-» сприймається фронт одиничного імпульсу (перехід з 0 в 1).

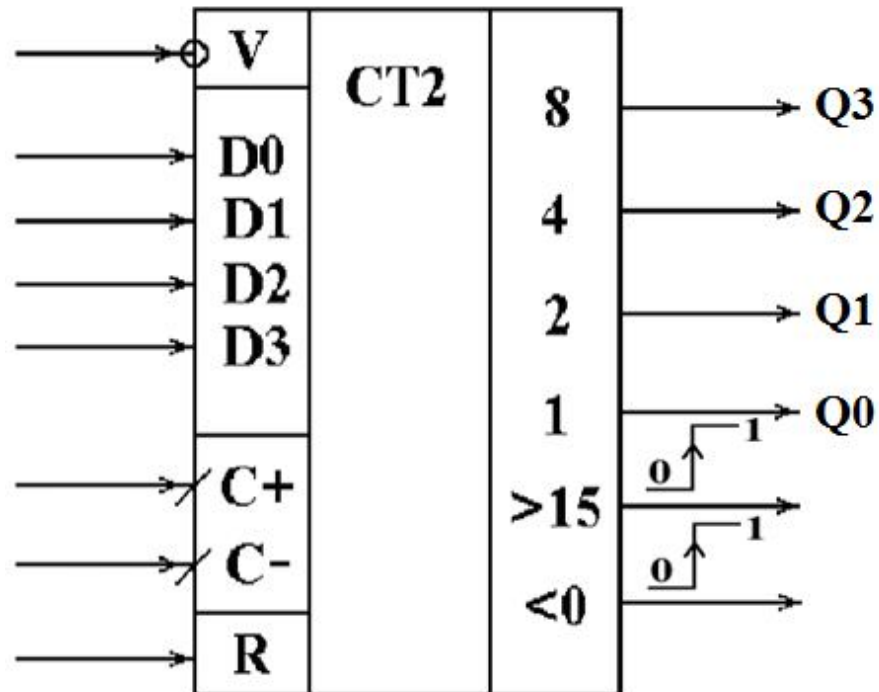


Рисунок 18.32 – Позначення ІМС K555IE7

Лічильник містить асинхронний вхід скидання в нуль R і входи для паралельного запису початкової кодової комбінації D0... D3. Цей запис проводиться при наявності нульових сигналів на входах R і V (завантаження).

На виході «>15» формується сигнал перенесення при підсумовуванні вхідних імпульсів, коли їх кількість перевищує 15, а на виході «<0» – сигнал позики при відніманні, коли черговий імпульс на вхід «C-» надходить при нульовому стані лічильника. Ці сигнали являють собою перехід з 0 в 1 і відповідають на фронт (перехід з 0 в 1) одиничних вхідних імпульсів, які підраховується.

На рисунку 18.33 показано приклад побудови 8-розрядного реверсивного лічильника на двох 4-розрядних типу К555ІЕ7.



349

надходженні на вхід 256-го імпульсу. Це відбувається за умови, що підрахунок почався з нульового значення.

Сигнал позики на виході «<0» другої схеми DD5 (перехід з 0 в 1) з'являється при надходженні на вхід 256-го імпульсу, що віднімає. Це відбувається за умови, що віднімання починалося з одиничних значень в усіх розрядах. При цьому відбувається віднімання з нуля одиниці і всі тригери лічильника знову встановлюються в одиницю.

18.5 Подільники частоти

У подільниках частоти вхідна періодична послідовність імпульсів ділиться на задане число.

У якості подільника частоти можна використовувати лічильник, коефіцієнт лічення якого $K_{\text{ЛПЧ}}$ визначає число, на яке ділиться частота вхідних імпульсів. Особливість подільника складається в тому, що він має один вихід.

Коефіцієнт ділення $K_{\text{ДЛД}}=K_{\text{ЛПЧ}}$ може мати постійне, або змінне значення.

Подільники зі змінним коефіцієнтом ділення (ПДЗКД) може бути побудовано за різноманітними схемотехнічними варіантами. Наприклад з попереднім установленням початкового стану, від якого ведеться підрахунок, до переповнення лічильника, або з установленням заданого проміжного значення, до котрого, починаючи з нульового, ведеться підрахунок вхідних імпульсів, а потім результат скидається і починається новий цикл лічення. Приклади лічильників, працюючих за описаними правилами, розглянуто нижче.

Приклад ПДЗКД, побудованого за першим варіантом (з попереднім установленням початкового стану), приведено на рисунку 18.34.

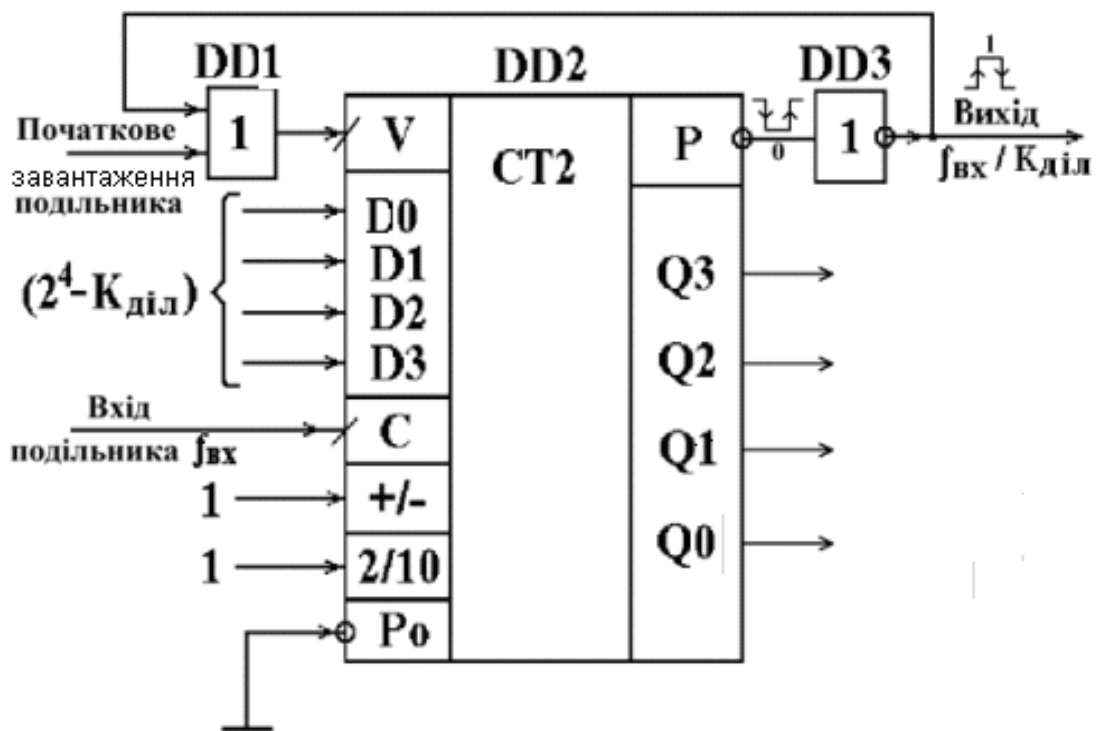


Рисунок 18.34 – Схема подільника частоти з попереднім установленням початкового стану

Подільник виконано на основі мікросхеми чотирирозрядного двійково/десятькового реверсивного лічильника К561ІЕ14 (DD2). На входи попереднього установлення D0 ... D3 подається код, що відповідає кількості “зайвих” станів ($2^4 - K_{дл}$). Вихід сигналу перенесення Р з'єднано через інвертор DD3 та диз'юнктор DD1 з керуючим входом V.

Переходом з 0 в 1 на цьому вході число з входів D0... D3 записується в тригери лічильника. На входи «+/-» і «2/10» подаються одиничні сигнали, що налаштовують ІМС на роботу в режимі двійкового лічильника, що підсумовує. Щоб дозволити підрахунок вхід Р0 з'єднують з корпусом (нульовим потенціалом). Під впливом вхідних імпульсів на вході С лічильник–подільник послідовно проходить стани від початкового, попередньо встановленого по входах D0... D3, до кінцевого, коли він заповнюється одиницями у всіх чотирьох розрядах.

Наступним імпульсом після цього схема скидається в нуль і на виході Р формується сигнал перенесення. Цим сигналом дозволяється запис у лічильник початкового коду і цикл знову повторюється.

З виходу схеми знімається послідовність імпульсів частотою

$$f_{\text{вих}} = f_{\text{вх}} / K_{\text{дл}}. \quad (18.3)$$

Для розглянутого пристрою $K_{\text{дл}}$ приймає значення від 1 до 16.

На рисунку 18.35 наведено приклад подільника, побудованого за другим варіантом.

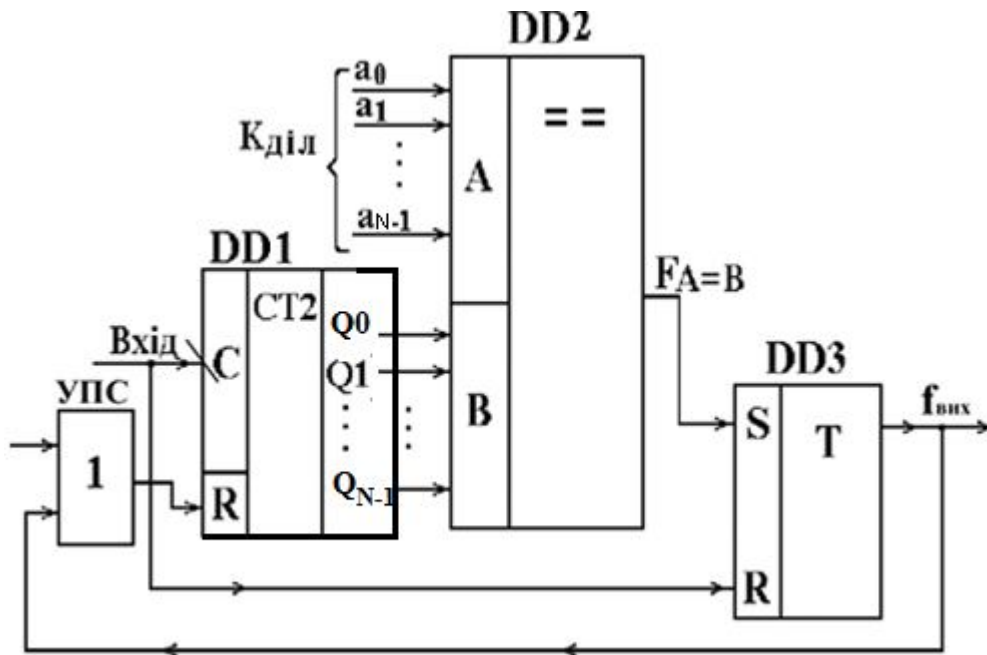


Рисунок 18.35 – Схема подільника частоти із установленням заданого проміжного стану, до якого ведеться підрахунок

Основу ПДЗКД складає двійковий лічильник (DD1), що починає підрахунок з нульового значення і продовжує роботу до встановленого проміжного стану, рівного необхідному коефіцієнту ділення $K_{\text{дл}}$. Після цього лічильник знову скидається в нуль і починається новий цикл підрахунку. Для визначення моменту досягнення рівності кодів, що визначають проміжний стан лічильника і значення $K_{\text{дл}}$ у схемі використано цифровий компаратор (DD2). В момент рівності кодів $A=B$ на

(рисунок 18.37, а) і часові діаграми, які пояснюють його роботу (рисунок 18.37, б).

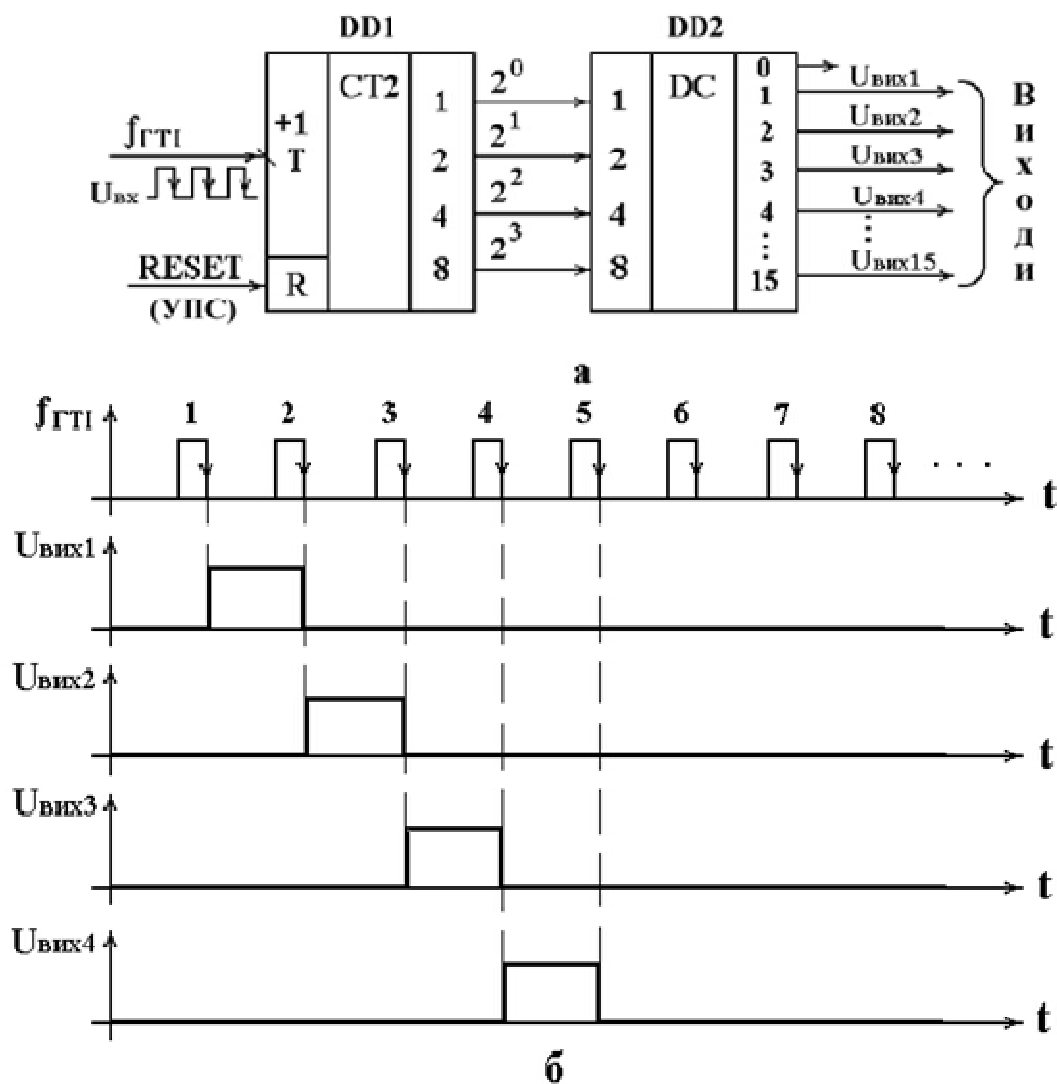


Рисунок 18.37 – Розподільувач: а – функціональна схема; б – часові діаграми роботи

ПИТАННЯ ДЛЯ САМОКОНТРОЛЮ

- 1) Дайте визначення поняттю «тригер».
- 2) Які існують різновиди схемної реалізації тригерів?
- 3) Коли відбувається переключення синхронного та асинхронного тригерів?
- 4) Дайте класифікацію тригерів за функціональним призначенням.
- 5) На яких ЛЕ можуть бути виконанні асинхронні RS–тригери?
- 6) В яких випадках використовують синхронні RS–тригери?
- 7) Назвіть види синхронних RS–тригерів.
- 8) В чому відмінність Т–тригера в порівнянні з RS–тригером?
- 9) Яка будова D–тригера? Види D–тригерів.
- 10) Чому D–тригер називають тригером затримки?
- 11) Що таке регістр?
- 12) На які види поділяються регістри в залежності від способу введення і виведення розрядів числа?
- 13) У який стан переключається тригер при підключенні до нього напруги живлення?
- 14) Назвіть основні властивості тригера.
- 15) Поясніть особливості використання регістрів зсуву для виконання математичних операцій множення та ділення
- 16) Для чого можна використовувати S– та R–входи у D, або JK–тригерах?
- 17) Яку особливість мають двотактні тригери у порівнянні з однотоктними?
- 18) Що таке лічильник?
- 19) Який основний параметр лічильника? Що він характеризує?
- 20) Яка існує класифікація лічильників?

- 21) Які висновки можна зробити проаналізувавши часові діаграми роботи лічильника, що підсумовує?
- 22) Яка відмінність в будові між лічильником, що віднімає, і лічильником, що підсумовує?
- 23) Назвіть недоліки асинхронних лічильників.
- 24) Який недолік синхронного лічильника, що підсумовує?
- 25) В чому основна відмінність десяткових лічильників від двійкових?
- 26) Для чого призначенні подільники частоти?
- 27) Який ПЦП називається розподільувачем?
- 28) Яку максимальну кількість імпульсів може підрахувати N-розрядний двійковий лічильник?
- 29) Яке максимальне двійкове число можна записати у N-розрядний двійковий лічильник?
- 30) Поясніть, що означає поняття «переповнення» двійкового лічильника, що підсумовує, та який віднімає.
- 31) Поясніть, як двійковий лічильник, який підсумовує, можна застосовувати у якості подільника вхідної частоти на 2, 4, 8, 16, ..., 2^N .

ЛІТЕРАТУРА

[3, 11...13, 16, 17, 21, 22, 25...27, 31]

19 АНАЛОГО–ЦИФРОВІ ПЕРЕТВОРЮВАЧІ (АЦП)

19.1 Призначення та види АЦП

Аналого–цифрові перетворювачі (АЦП) – це пристрої, що перетворюють вхідні аналогові сигнали у відповідні їм цифрові сигнали, придатні для роботи з ЦОМ і іншими цифровими пристроями. АЦП широко застосовуються в пристроях дискретної автоматики, цифрових системах керування для перетворення аналогових сигналів від датчиків у цифрову форму, у системах відображення інформації для цифрової індикації, у системах передачі даних і багатьох інших областях техніки [14...18, 20].

Різні за фізичною природою сигнали, що знімаються з датчиків, і що характеризують контрольований процес, спочатку перетворюються в електричний сигнал, а потім вже за допомогою перетворювачів “напруга–код” – у цифрові. На вході АЦП, як правило, є напруга, яка постійно чи повільно змінюється, а з виходу знімаються дані в паралельному двійковому коді.

Методи побудови АЦП, які орієнтовано на використання у мікропроцесорних системах, поділяються на послідовні, паралельні і послідовно–паралельні. Класифікація типів АЦП і основні принципи побудови приведені в [14,16,18].

19.2 Розрахунок АЦП

В АЦП здійснюється квантування (дискретизація) за рівнем і часом (рисунки 19.1). На вхід перетворювача надходить аналогова напруга $U_{ВХ}$, що перетворюється в дискретну величину, яка визначається у фіксовані моменти часу найближчим до безперервної (аналогової) величини рівнем квантування.

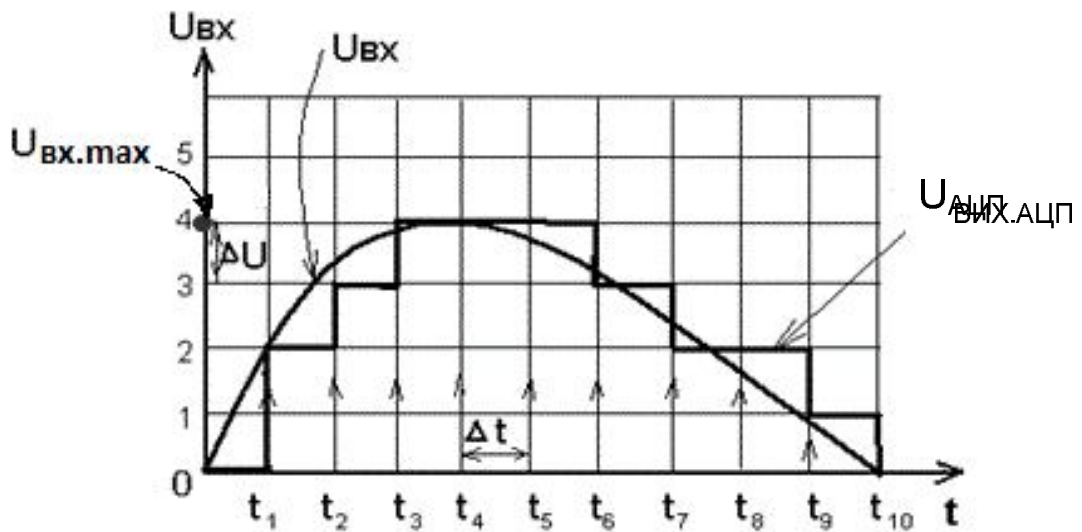


Рисунок 19.1 – Квантування (дискретизація) аналогової величини за рівнем і часом

На виході АЦП кожному дискретному значенню відповідає комбінація двійкового коду, число розрядів якого позначимо буквою N_p . Величина N_p залежить від числа дискретних значень N_d на виході АЦП, включаючи нульове. Вибір N_p робиться відповідно до співвідношення:

$$2^{N_p} \geq N_d. \quad (19.1)$$

Число дискретних значень (рівнів квантування) залежить від похибки квантування за рівнем.

Абсолютна похибка квантування за рівнем

$$\delta_{ABC} \leq \frac{\Delta U}{2}, \quad (19.2)$$

де ΔU – величина кроку квантування за рівнем, що дорівнює

$$\Delta U = \frac{U_{BXMAX} - U_{BXMIN}}{N_d - 1}. \quad (19.3)$$

З наведеного співвідношення (19.2) випливає, що максимальна абсолютна похибка дорівнює половині кроку квантування за рівнем. Відносна похибка квантування за рівнем

$$\begin{aligned}\delta_{\text{ВІД}} &\leq \frac{\delta_{\text{АБС}} \cdot 100\%}{U_{\text{ВХ.МАХ}} - U_{\text{ВХ.МІН}}} = \frac{\Delta U \cdot 100\%}{\{2 \cdot (U_{\text{ВХ.МАХ}} - U_{\text{ВХ.МІН}})\}} = \\ &= \frac{(U_{\text{ВХ.МАХ}} - U_{\text{ВХ.МІН}}) \cdot 100\%}{\{(N_{\text{Д}} - 1) \cdot 2 \cdot (U_{\text{ВХ.МАХ}} - U_{\text{ВХ.МІН}})\}} = \frac{50}{N_{\text{Д}} - 1} [\%].\end{aligned}\quad (19.4)$$

У наведеній формулі з $N_{\text{Д}}$ віднімається одиниця, тому що одним з дискретних значень є нульове. Звідси необхідне число дискретних значень, що відображує нашу безперервну функцію з заданою точністю, визначається як

$$N_{\text{Д}} \geq \frac{50}{\delta_{\text{ВІД}}} + 1. \quad (19.5)$$

Наприклад, при $\delta_{\text{ВІД}} \leq 0,2\%$ $N_{\text{Д}}$ повинно бути не менше 251. Приймаючи $N_{\text{Д}}=256$ визначаємо, що число розрядів $N_{\text{Р}}$ у цьому випадку повинно бути 8 ($2^8=256$). Якщо вхідна безперервна величина змінюється, наприклад, у діапазоні від 0 до 2,55 В, то величина кроку квантування за рівнем при $N_{\text{Д}}=256$ дорівнює $\Delta U=10$ мВ; $\delta_{\text{АБС}} \leq 5$ мВ; $\delta_{\text{ВІД}} \leq 50/255 < 0,2\%$.

При проектуванні АЦП важливе значення має вибір величини кроку квантування за часом $\Delta t=T$. Значення T визначає необхідну швидкодію АЦП і каналу обробки інформації.

За теоремою Котельникова значення $\Delta t=T$ повинно задовільняти виразу:

$$\Delta t = T \leq \frac{1}{2f_{\text{МАХ}}}, \quad (19.6)$$

де $f_{\text{МАХ}}$ – частота вищої гармоніки спектру вхідного сигналу АЦП.

Фізично цей вираз варто трактувати в такий спосіб: на один період максимальної гармоніки вхідного аналогового сигналу при переході від аналогової до дискретної величини необхідно взяти не менш двох відліків.

19.3 Пристрій вибірки і зберігання (ПВЗ)

19.3.1 Обґрунтування необхідності застосування ПВЗ

При аналого-цифровому перетворенні швидко змінюваних сигналів виникають динамічні похибки, що визначаються, по-перше, частотою і часом перетворення, а, по-друге, – апертурною похибкою.

Похибка, що виникає через невідповідність вхідного сигналу перетвореному цифровому значенню, називається апертурною похибкою АЦП. Ця невідповідність виникає, якщо зміна вхідного сигналу під час перетворення еквівалентна більш ніж одиниці молодшого значущого розряду (МЗР). У цьому випадку, при швидко змінюваному у часі вхідному сигналі створюється невизначеність у тім, яким у дійсності було миттєве значення вхідного сигналу в момент вибірки.

Час між моментом фіксації миттєвого значення вхідного сигналу (моментом відліку) і моментом одержання його цифрового еквівалента називається апертурним часом.

Апертурна похибка визначається збільшенням змінюваного у часі вхідного сигналу АЦП за час перетворення. Точне значення апертурної похибки можна визначити, розклавши вираз для вхідного сигналу $U_{BX}(t)$ у ряд Тейлора біля точок відліку, що для i -ї точки має вигляд (рисунок 19.2)

$$U_{BX}(t_i+t_A) = U_{BX}(t_i) + t_A \cdot U'_{BX}(t_i) + (t_A^2/2) \cdot U''_{BX}(t_i) + \dots \quad (19.7)$$

У першому наближенні апертурна похибка може бути представлена у вигляді:

$$\Delta U_A(t_i) = U_{BX}(t_i+t_A) - U_{BX}(t_i) \approx U'(t_i) \cdot t_A, \quad (19.8)$$

де t_A – апертурний час, що для розглянутого випадку дорівнює часу перетворення $t_{ПРТ}$ АЦП.

Припустимо, наприклад, що вхідний сигнал має синусоїдальну форму:

$$U_{BX}(t) = U_m \cdot \sin 2\pi f t.$$

Тоді апертурна похибка дорівнює:

$$\Delta U_A(t_i) = U_m \cdot 2\pi f t_A \cos 2\pi f t.$$

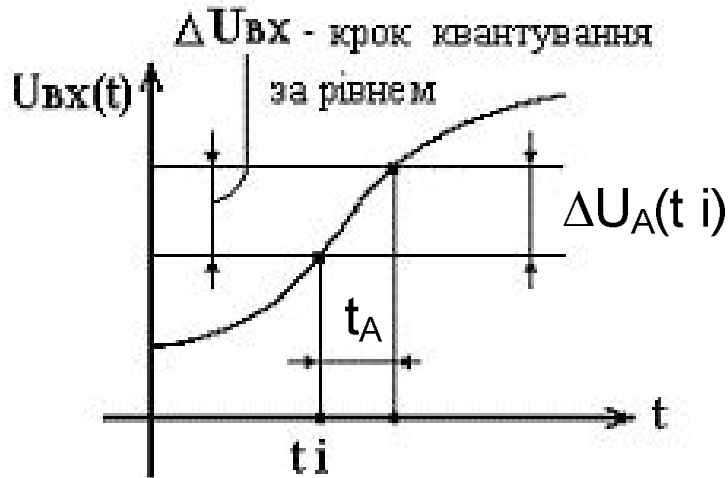


Рисунок 19.2 – Визначення апертурної похибки біля i -ї точки відліку

Максимальне значення похибки дорівнює:

$$\Delta U_{A.MAX}(t_i) = U_m \cdot 2\pi f t_A. \quad (19.9)$$

Якщо прийняти, що для N_p – розрядного АЦП апертурна похибка не повинна перевищувати кроку квантування за рівнем ΔU_{BX} (рисунок 19.2), то між частотою сигналу f , апертурним часом t_A й апертурною похибкою має місце співвідношення:

$$\Delta U_{BX} = \frac{U_m}{2^{N_p} - 1} \geq U_m \cdot 2\pi f \cdot t_A. \quad (19.10)$$

Розділивши ліву і праву частини нерівності (19.10) на U_m отримаємо:

$$\frac{1}{2^{N_p} - 1} \geq 2\pi f \cdot t_A. \quad (19.11)$$

Наприклад, якщо $N_p = 8$, а час перетворення АЦП $t_{ПРТ} = 7,5$ мкс, то частота вхідного сигналу не повинна перевищувати 83 Гц. У цьому випадку апертурна похибка не перевищує одиниці молодшого значущого розряду двійкового коду на виході АЦП.

19.3.2 Призначення та схема включення ПВЗ

Для зменшення апертурної похибки АЦП звичайно використовуються пристрої вибірки і зберігання (ПВЗ), що включаються між входом АЦП і виходом джерела аналогового сигналу.

ПВЗ призначений для запам'ятовування миттєвого значення вхідного аналогового сигналу в момент вибірки і підтримки цього значення на постійному рівні під час перетворення інформації в АЦП. Подібний пристрій необхідно застосовувати в тих випадках, коли за час перетворення інформації в АЦП зміна його вхідного аналогового сигналу еквівалентна дискретній зміні вихідного сигналу більш ніж на одиницю молодшого значущого розряду (МЗР). У якості ПВЗ може бути, наприклад, використано мікросхему К1100СК2. На рисунку 19.3 зображено позначення цієї мікросхеми на електричних схемах і пояснюється, яким чином ПВЗ пов'язано з іншими частинами мікропроцесорної системи керування (МПСК). Тривалість імпульсу запису інформації у ПВЗ (імпульсу вибірки) $t_{\text{зап}}$ ($t_{\text{в}}$) при значенні ємності збереження $C_{\text{зб}}=1\text{нф}$ дорівнює 5 мкс.

Сучасні мікросхеми АЦП та модулі АЦП у складі мікроконтролерів мають у своєму складі ПВЗ.

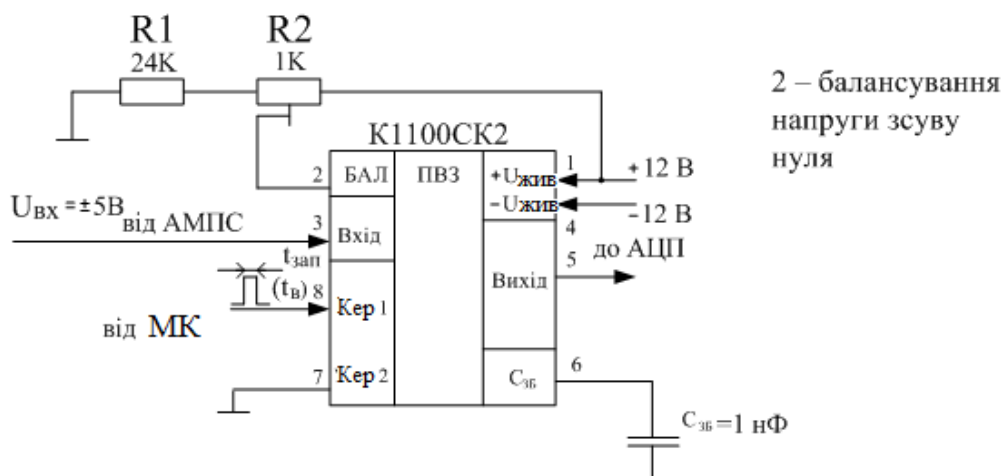


Рисунок 19.3 – Схема включення ПВЗ

мікросхемі операційного підсилювача (ІМС ОП); схему формування рівнів (СФР), що перетворює різнополярні імпульси на виході ІМС ОП в цифровий сигнал, та інвертор.

Якщо вхідна напруга $U_{ВХ}$ більше напруги, що знімається з виходу ЦАП, то на виході ВАК з'являється від'ємний імпульс. СФР перетворює його в нульовий цифровий сигнал. При цьому з виходу інвертора АК знімається логічна одиниця, що подається на вхід D РПН. При надходженні на вхід С РПН імпульсу від ГТІ зберігається логічна 1 у старшому (N-1) розряді і з'являється 1 у (N-2) розряді. Якщо $U_{ВХ} < U_{ЦАП}$, то з виходу АК знімається логічний 0. Імпульсом на синхровході вміст старшого (N-1) розряду РПН обнуляється, а в (N-2)-й записується одиниця. Якщо після першого порівняння на виходах двох старших розрядів РПН містяться дві одиниці (при першому порівнянні $U_{ВХ} > U_{ЦАП}$), то вихідний сигнал ЦАП: $U_{ЦАП} \approx (0,5 + 0,25)U_{ВХ.МАХ}$. Якщо після першого порівняння на виході (N-1) розряду буде нуль, а на виході (N-2) розряду – одиниця, то вихідний сигнал ЦАП: $U_{ЦАП} \approx 0,25 * U_{ВХ.МАХ}$. На компараторі $U_{ВХ}$ знову порівнюється з цією напругою і т.д. Так установлюються всі розряди на виході РПН до самого молодшого. Після виконання останнього N_p -го порівняння, де N_p – число розрядів вихідного коду АЦП, цикл формування вихідного коду закінчується. Стан виходів РПН відповідає цифровому еквіваленту вхідної напруги. Якщо, наприклад, $U_{ВХ} = U_{ВХ.МАХ}$, то комбінація вихідного коду дорівнює 111...11 (всі одиниці). У розглянутому АЦП час перетворення $t_{ПРТ}$ постійний і визначається числом розрядів N_p вихідного двійкового коду і тактовою частотою $f_{ГТІ} = 1/T_{ГТІ}$: $t_{ПРТ} \approx N_p * T_{ГТІ}$. Розглянуті АЦП мають досить високу швидкодію при відносно простій структурі, тому знаходять широке застосування.

19.4.2 АЦП К1113 ПВ1

19.4.2.1 Опис мікросхеми К1113 ПВ1

Мікросхема К1113 ПВ1 (рисунок 19.5) являє собою функціонально-закінчений АЦП послідовного наближення з часом перетворення ≤ 30 мкс, розрахований на вхідні напруги (0...10,23)В (уніполярний сигнал) чи (-5,12...+5,11) В (біполярний сигнал) [10, 33].

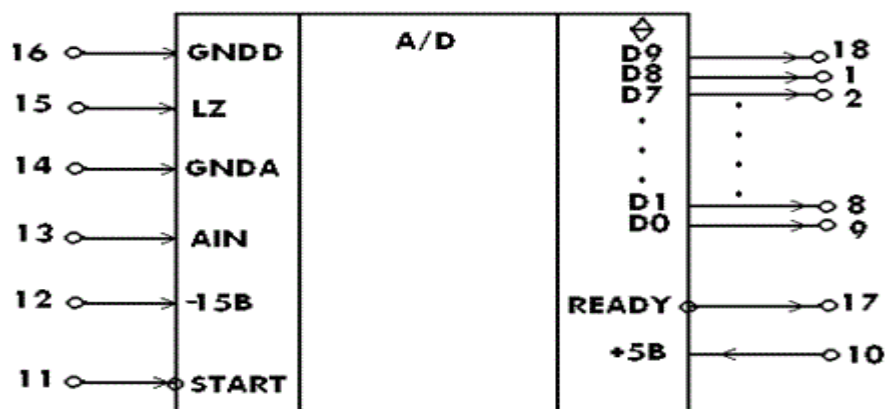


Рисунок 19.5 – Умовне позначення і нумерація виводів мікросхеми К1113 ПВ1

Для переключення діапазонів вхідних напруг використовується вхід LZ. Якщо LZ=0, то перетворюються уніполярні вхідні сигнали від 0 до 10,23В, якщо ж LZ=1, то перетворювач працює в двохполярному режимі ($U_{BX} = -5,12 \dots +5,11$) В. Коефіцієнт передачі АЦП: $K_{\text{ПЕР}} = \frac{1}{10} \left[\frac{\text{МЗР}}{\text{мВ}} \right]$.

Якщо використовувати не всі десять розрядів вихідного двійкового коду розглянутого АЦП, то існує кілька варіантів його підключення. Наприклад, якщо $N_p = 8$, то можна підключити вісім виходів АЦП, що відповідають молодшим розрядам. Інші два розряди не підключаються. У цьому випадку коефіцієнт передачі: $K_{\text{ПЕР}} = \frac{1}{10} \left[\frac{\text{МЗР}}{\text{мВ}} \right]$, а

$U_{\text{BX.MAX}} = 10 \cdot 255 = 2550 \text{ мВ} = 2,55 \text{ В}$. Якщо використовувати вісім виходів АЦП, що відповідають старшим розрядам, то $K_{\text{ПЕР}} = \frac{1}{40} \left[\frac{\text{МЗР}}{\text{мВ}} \right]$, а $U_{\text{BX.MAX}} =$

$= 40 \cdot 255 = 10,2\text{В}$. Якщо $N_p = 7$, і вихідний ДВК (двійковий код) знімається з семи старших виходів, то $K_{\text{ПЕР}} = \frac{1}{80} \left[\frac{\text{МЗР}}{\text{мВ}} \right]$, а $U_{\text{ВХ.МАХ}} = 80 \cdot 127 = 10,16\text{В}$. На рисунку 19.6 наведено позначення цієї мікросхеми на електричних схемах і пояснюється яким чином АЦП пов'язаний з іншими частинами мікропроцесорної системи керування (МПСК). Особливості взаємодії АЦП і мікроконтролера МПСК пояснює часова діаграма роботи АЦП (рисунок 19.7).

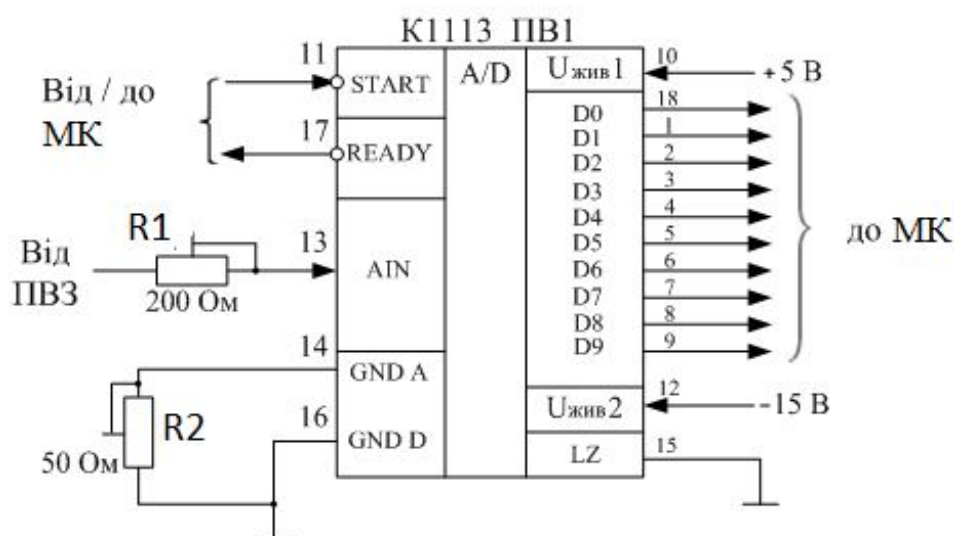


Рисунок 19.6 – Схема включення АЦП

Запуск АЦП відбувається при переключенні сигналу на вході START (СТАРТ) з логічної одиниці в нуль. Під час перетворення на виході READY (ГОТОВНІСТЬ) присутня логічна одиниця, а шина даних знаходиться в третьому (високоімпедансному) стані. По закінченню перетворення вихідні сигнали на виводах даних D0..D9 переходять в активний стан, а сигнал на виході READY переключається з 1 в 0. Одержавши сигнал готовності, МК-р зчитує (вводить) дані від АЦП і переводить сигнал на вході START у стан 1 на час, не менший 2 мкс. Цим здійснюється „скидання” АЦП, після якого може вироблятися наступний «запуск» АЦП і т.д.

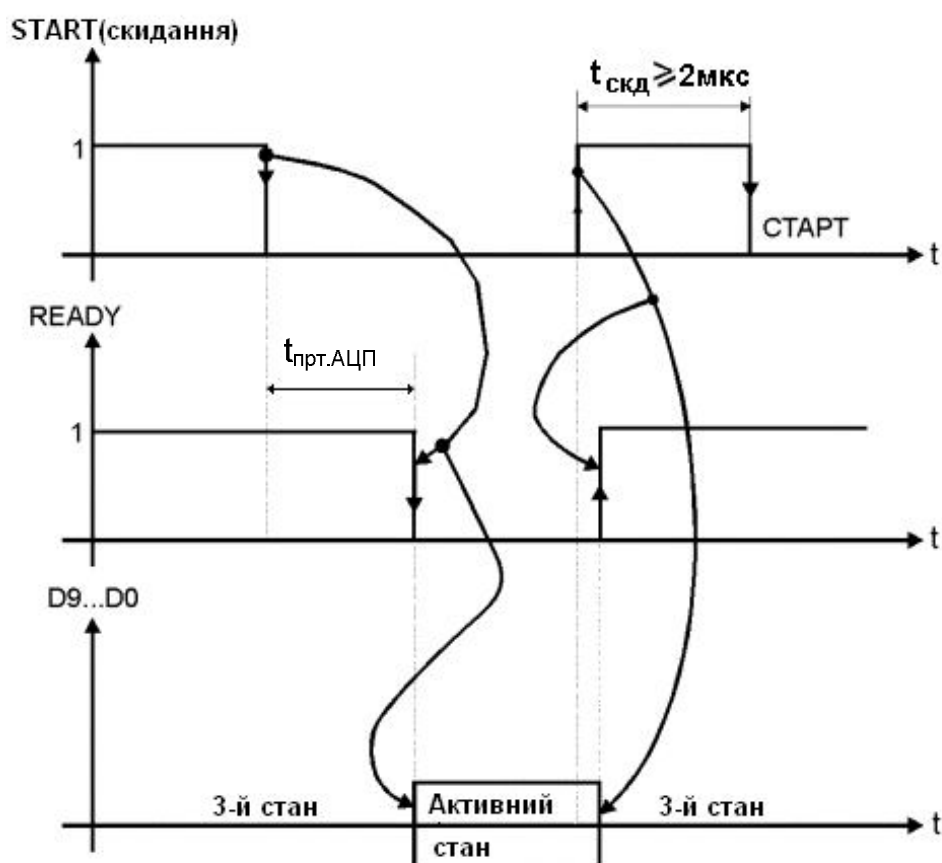


Рисунок 19.7 – Часові діаграми роботи АЦП

19.4.2.2 Розрахунок АЦП на базі мікросхеми К1113 ПВ1

Виконаємо розрахунок абсолютної і відносної похибок перетворення, а також максимально припустимої частоти вищої гармоніки спектра вхідного сигналу для АЦП К1113 ПВ1. Кількість розрядів вихідного коду в цій мікросхемі дорівнює десяти ($N_P=10$), діапазон значень вхідної напруги $U_{\text{ВХ.МАХ}} - U_{\text{ВХ.МІН}} = 10,23 \text{ В}$. Тому з виразів (19.1, 19.3) отримаємо:

$$N_D \leq 2^{10} = 1024; \Delta U = 10230 / 1023 = 10 \text{ мВ}.$$

Згідно (19.2, 19.4) абсолютна похибка перетворення такого АЦП буде не більше, ніж 5 мВ, тобто $\delta_{\text{АБС}} \leq 5 \text{ мВ}$, а відносна – не більше, ніж $(50 / 1023) \%$, тобто $\delta_{\text{ВІД}} \leq (50 / 1023) \approx 0,049 \%$.

Величина кроку квантування за часом, відповідно до рисунку 19.7, повинна бути не менша, ніж $(t_{\text{ПРТ.АЦП}} + t_{\text{СКД}})$, де $t_{\text{ПРТ.АЦП}} \leq 30 \text{ мкс}$ – час перетворення АЦП; $t_{\text{СКД}} \geq 2 \text{ мкс}$ – час скидання АЦП, тобто не менша 32 мкс. А значить максимально припустима частота вищої гармоніки спектра вхідного сигналу для АЦП К1113 ПВ1, яка впливає з (19.6), буде дорівнювати:

$$F_{\text{МАХ}} = 1 / [2 * (t_{\text{ПРТ.АЦП}} + t_{\text{СКД}})] \approx 15,6 \text{ кГц.}$$

19.4.3 Паралельно–послідовний АЦП

19.4.3.1 Опис мікросхеми АЦП МАХ154

На сучасному ринку мікросхем представлено широкий спектр надвеликих інтегральних схем (НВІС) АЦП, серед яких досить розповсюдженими є мікросхеми фірми «МАХІМ».

Нижче розглянуто одну з таких сучасних НВІС–паралельно–послідовний АЦП – МАХ154, виконаний за КМОН–технологією. Мікросхема являє собою високошвидкісний чотирьохканальний АЦП, а також виконує функції мультиплексора і ПВЗ.

Перетворювач має вбудований пристрій вибірки–зберігання, мультиплексор, внутрішній формувач опорної напруги: 2.5В.

Зовнішній вигляд мікросхеми наведено на рисунку 19.8, а опис виводів – у таблиці 19.1.

Інтерфейс із мікропроцесором має можливість адресації мікросхеми як області пам'яті чи порту введення/виведення без використання зовнішньої логіки. В якості виходу використовується регістр–защіпка з третім станом, що дозволяє прямо підключити мікросхему до шини даних або портів введення.

Діапазон аналогового входу: від 0В до 5В.

Напруга живлення: +5В.

Час перетворення разом із часом скидання на кожен канал: 2.5 мкс.

Похибка: 1/2 МЗР.

Вхідний струм, що споживається: 15мА.

Припустимий діапазон робочих температур: –40°C до +85°C.

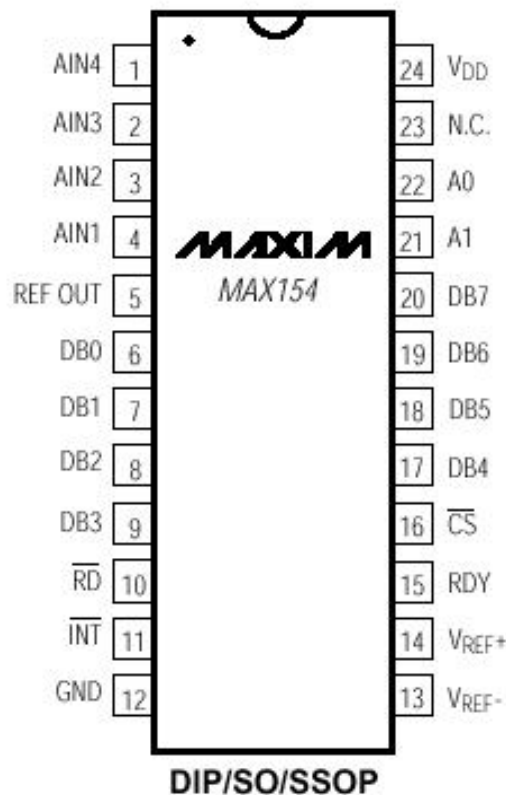


Рисунок 19.8 – Зовнішній вигляд і нумерація виводів мікросхеми АЦП MAX154

Мікросхема MAX154 використовує тільки два керуючих виводи: читання – RD і вибір кристала – CS. Операції читання і перетворення ініціюються низькими рівнями CS і RD, які заціпують сигнали на адресних входах мультиплексора. Функціональну схему MAX154 наведено на рисунку 19.9.

На вході схеми стоїть чотирьохканальний аналоговий мультиплексор, що у залежності від комбінації сигналів на адресних входах A0, A1 з'єднує (комутує) один з аналогових входів із пристроєм вибірки–зберігання, який запам'ятовує вхідний сигнал і підтримує його практично незмінним під час перетворення АЦП.

Таблиця 19.1 – Опис виводів мікросхеми MAX154

Номер виводу	Назва	Призначення
1	AIN4	Аналоговий вхід 4
2	AIN3	Аналоговий вхід 3
3	AIN2	Аналоговий вхід 2
4	AIN1	Аналоговий вхід 1
5	REF OUT	Вихід внутрішньої опорної напруги: +2.5В
6	DB0	Біт 0 виходу
7	DB1	Біт 1 виходу
8	DB2	Біт 2 виходу
9	DB3	Біт 3 виходу
10	RD	Керуючий біт доступу до даних і початку перетворення
11	INT	Сигнал індикації завершення перетворення
12	GND	Земля
13	Vref-	Нижня границя вхідного сигналу
14	Vref+	Верхня границя вхідного сигналу
15	RDY	Вихідний сигнал готовності для мікропроцесора. Приймає значення логічного нуля, коли CS активний, і переходить у третій стан по закінченню перетворення
16	CS	Вибір мікросхеми (кристала)
17	DB4	Біт 4 виходу
18	DB5	Біт 5 виходу
19	DB6	Біт 6 виходу
20	DB7	Біт 7 виходу
21	A1	Біт 1 номеру вхідного каналу
22	A0	Біт 0 номеру вхідного каналу
23	NC	Не використовується
24	Vdd	Живлення +5В

Вибір вхідного каналу адресними сигналами A1 і A0 відображає таблиця 19.2. В АЦП використано «паралельно–послідовний» принцип перетворення. Два чотирирозрядних паралельних АЦП служать для одержання вихідного 8–бітного результату.

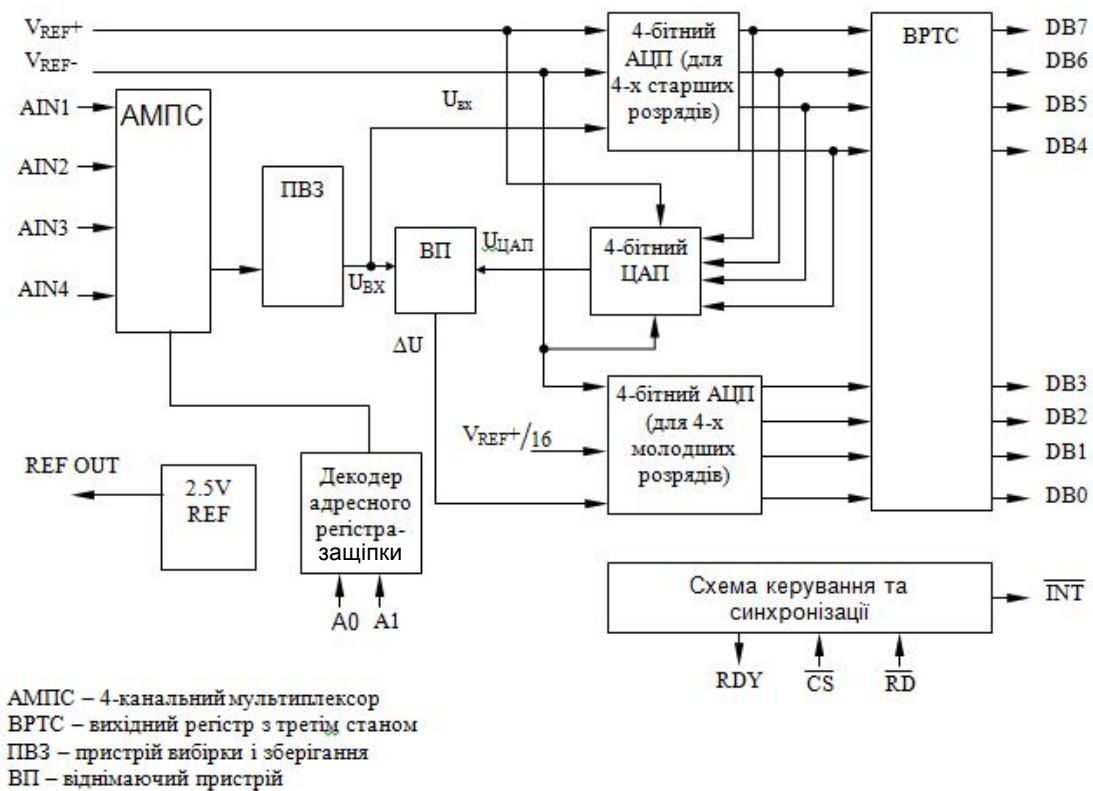


Рисунок 19.9 – Функціональна схема MAX154

Таблиця 19.2 – Вибір вхідного каналу

A1	A0	Вхідний канал
0	0	AIN1
0	1	AIN2
1	0	AIN3
1	1	AIN4

Кожний з чотирьохрозрядних АЦП містить по п'ятнадцять компараторів, що здійснюють порівняння поточного значення вхідного сигналу з нормованими постійними еталонними напругами. Величини цих напруг залежать від значень опорних напруг: V_{REF+} і V_{REF-} , і відрізняються один від одного на величину ΔU , що відповідає зміні вихідного 4-розрядного ДВК кожного АЦП на: $\pm 1\text{МЗР}$ (див. підрозділ 19.4.3.3).

На початку перетворення, використовуючи 15 компараторів, верхній 4-бітний АЦП старших 4-х розрядів порівнює значення вхідної напруги з еталонними напругами і подає на вихід 4-ри старших біти.

Одночасно значення цих старших біт надходять на вхід ЦАП, що формує аналогову напругу, пропорційну цьому коду. Ця напруга віднімається з вхідного аналогового сигналу та отримана різниця ΔU надходить на вхід нижнього 4-бітного АЦП, де порівнюється з еталонними напругами 15 компараторів для одержання значень 4-х молодших розрядів вихідного ДВК.

На виході MAX154 знаходиться регістр-защівка з третім станом, що дозволяє прямо підключати мікросхему до шини даних або портів введення.

Існує два режими роботи мікросхеми, що визначаються тривалістю сигналу на вході RD.

Режим 0 (рисунок 19.10) ініціалізується утриманням низького значення сигналу читання RD до завершення перетворення.

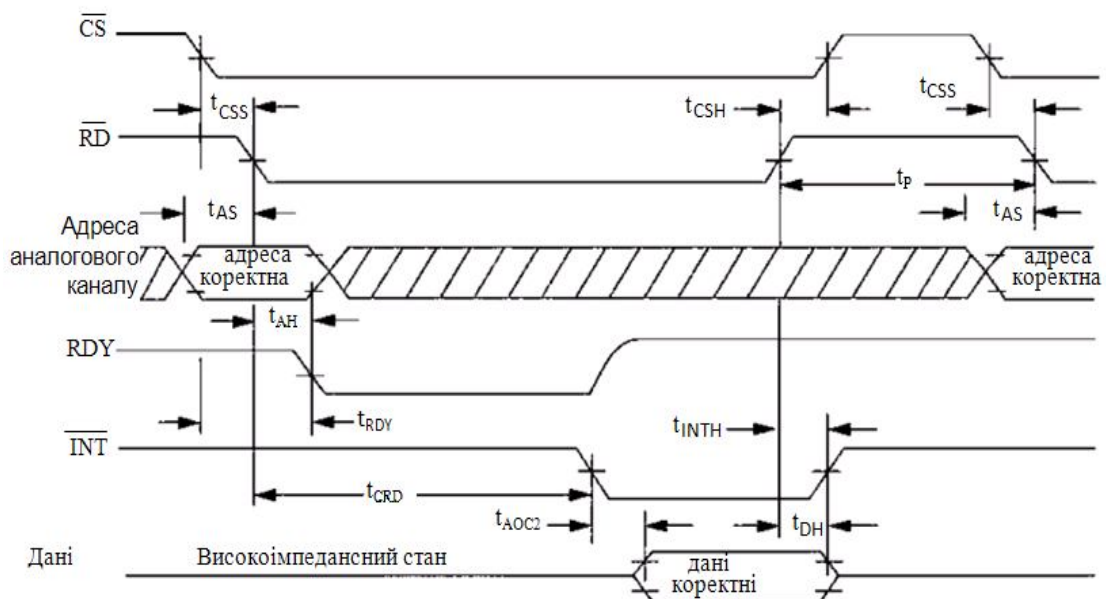


Рисунок 19.10 – Часові діаграми роботи MAX154 в режимі 0

Він призначений для мікропроцесорів, що можуть бути переведені в стан чекання. У цьому режимі перетворення починається разом з

операцією читання (низький рівень CS і RD) і дані зчитуються, коли перетворення завершується.

Логічний нуль на входах CS і RD заціпує адресні входи мультиплексора та ініціює перетворення. Виходи DB0...DB7 знаходяться у високоімпедансному стані до закінчення перетворення. Сигнал готовності RDY підключається до входу READY/WAIT мікропроцесора.

RDY приймає логічний нуль за спадом CS і переходить у високоімпедансний стан по закінченню перетворення, коли результат видається на лінії даних. Сигнал INT приймає значення логічного нуля, коли перетворення закінчується і логічної одиниці, коли сигнал на вході RD переходить в одиничний стан.

Режим 1 (рисунок 19.11) не вимагає чекання з боку мікропроцесора.

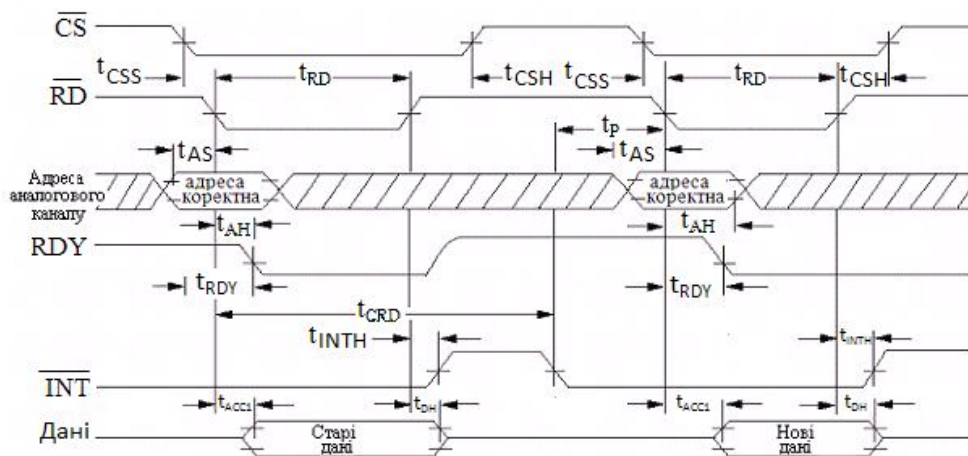


Рисунок 19.11 – Часові діаграми роботи MAX154 у режимі 1

Операція читання одночасно ініціює перетворення і читання результатів попереднього перетворення. Сигнал INT приймає значення логічної одиниці за фронтом RD і логічного нуля по закінченню перетворення. Друга операція читання необхідна для зчитування результатів попереднього перетворення.

Другий сигнал $\overline{RD}$ заціпує нову адресу в мультиплексорі та ініціює наступне перетворення. Затримка в 2,5мкс повинна дотримуватися між операціями читання.

На рисунку 19.12 наведено передатну характеристику мікросхеми MAX154.

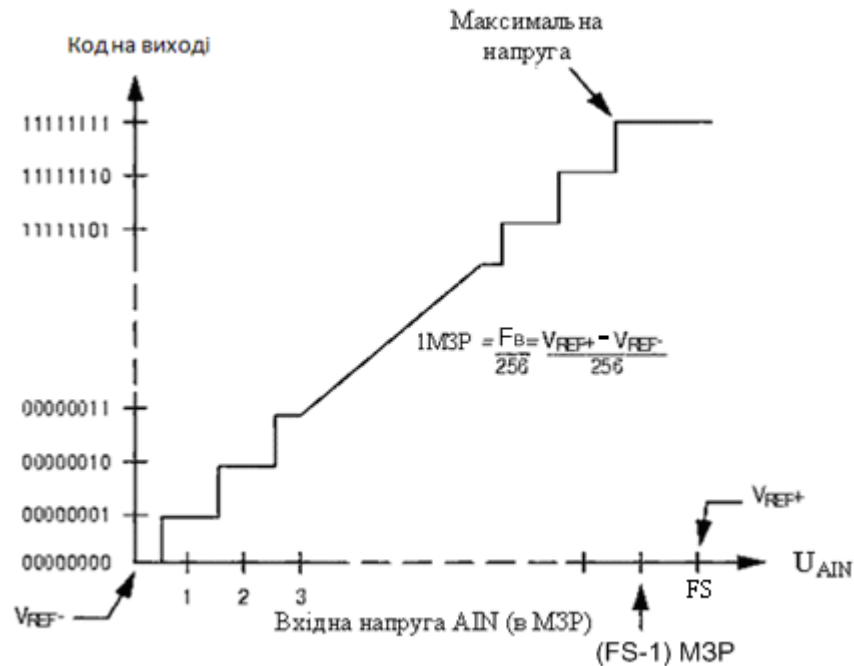


Рисунок 19.12 – Передатна характеристика MAX154

19.4.3.2 Розрахунок АЦП на базі мікросхеми MAX154

Мікросхема MAX154 може вимірювати вхідний сигнал зі швидкістю зміни до 157 мВ/мкс.

Якщо вхідний сигнал змінюється за синусоїдальним законом

$$U_{BX.AЦП} = U_m \cdot \sin 2\pi f \cdot t, \quad (19.12)$$

то швидкість його зміни:

$$\frac{dU_{BX.AЦП}}{dt} = U_m \cdot 2\pi f \cdot \cos 2\pi f \cdot t. \quad (19.13)$$

При $2\pi f t = 0$ значення швидкості буде максимальним, а $\cos 0 = 1$.

У цьому випадку вираз (19.13) матиме вигляд:

$$\frac{dU_{\text{ВХ.АЦП}}}{dt} \max = U_m \cdot 2\pi f. \quad (19.14)$$

Підставляючи замість $\frac{dU_{\text{вх.АЦП}}}{dt} \max$ значення 157мВ/мкс, а також враховуючи, що максимальне значення U_m , що може оброблятися розглянутим АЦП, дорівнює 2,5В, визначимо значення максимальної частоти:

$$f = \frac{157 \cdot 10^6}{10^3 \cdot 2,5 \cdot 6,28} = 10 \text{кГц}.$$

Максимальна частота квантування за часом $f_{\text{МАХ}}$ обмежена часом перетворення $t_{\text{ПРТ}} = 2\text{мкс}$ і часом між перетвореннями (часом скидання) $t_{\text{СКИД}} = 0,5\text{мкс}$. Тоді:

$$f_{\text{МАХ}} = \frac{1}{t_{\text{ПРТ}} + t_{\text{СКИД}}} = \frac{1}{(2,0 + 0,5) \text{мкс}} = 400 \text{кГц}. \quad (19.15)$$

При використанні в АЦП МАХ154 чотирьох каналів перетворення максимальна частота дискретизації на один канал дорівнює:

$$f_{\text{МАХ.К}} = \frac{f_{\text{МАХ}}}{4} = \frac{400 \text{кГц}}{4} = 100 \text{кГц}. \quad (19.16)$$

Це значення значно перевищує вимоги теореми взяття відліків (теореми Котельникова): частота дискретизації повинна бути не менш, як у два рази вище, ніж максимальна частота зміни вхідного сигналу, що дорівнює 10 кГц.

19.4.3.3 Опис роботи паралельного 4–х розрядного АЦП

Спрощену схему паралельного чотирирозрядного АЦП наведено на рисунку 19.13. Перетворювачі цього типу здійснюють одночасне квантування сигналу за допомогою набору компараторів, включених паралельно джерелу вхідного сигналу $U_{\text{ВХ}}$. Порогові рівні компараторів встановлюються за допомогою резистивного діляника, підключеного до

джерела опорної напруги $U_{оп}$ відповідно до шкали квантування, що використовується.

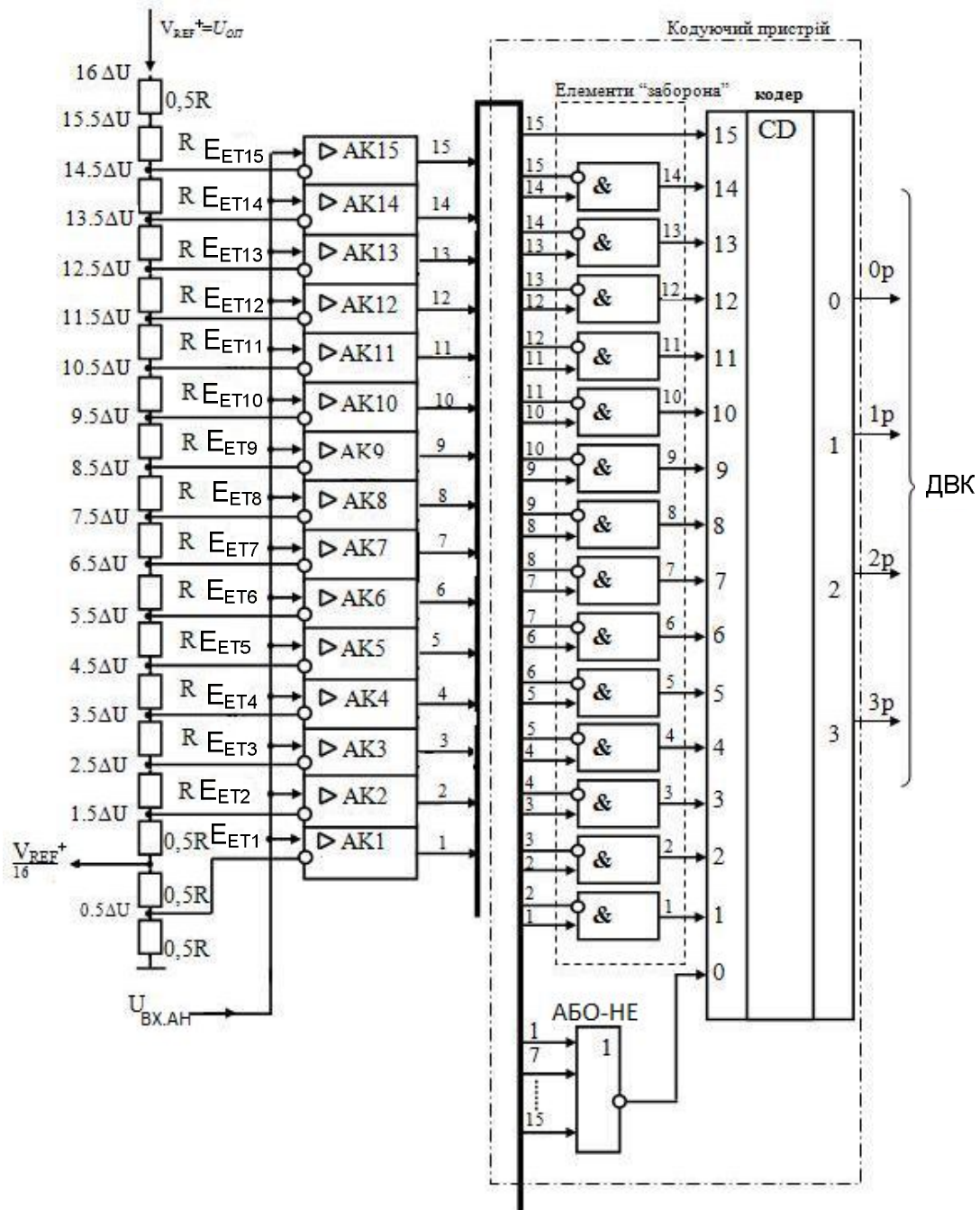


Рисунок 19.13 – Структурна схема паралельного 4 розрядного АЦП

Число рівнів квантування, а відповідно і число компараторів для N -розрядного АЦП дорівнює: $2^N - 1$. При подачі на такий набір компараторів сигналу $U_{BX.AN}$ на їхніх виходах має місце дискретний сигнал, що відображає спрацювання окремих компараторів. Так, наприклад

(рисунки 19.13), якщо вхідна напруга не виходить за межі діапазону від $2,5\Delta U$ до $3,5\Delta U$ (ΔU – крок квантування), то компаратори з першого по третій встановлюються в стан 1, а компаратори з четвертого по п'ятнадцятий – у стан 0. Для перетворення числа компараторів, що спрацювали, у двійковий код використовується відповідний пристрій, що кодує. Стани даного кодуєчого пристрою для чотирирозрядного АЦП показано в таблиці 19.3. Наприклад, якщо вхідна напруга перевищує рівень $2,5\Delta U$, але менше рівня $3,5\Delta U$, то вихідний двійковий код повинен мати значення: 0011, що відповідає рівню з номером 3.

Таблиця 19.3 – Стани кодуєчого пристрою для 4-го АЦП

Вхідна напруга	Стан компараторів															Вихідний двійковий код				
	$u_{вх}^*$	AK15	AK14	AK13	AK12	AK11	AK10	AK9	AK8	AK7	AK6	AK5	AK4	AK3	AK2	AK1	a_3	a_2	a_1	a_0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0
3	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1	1
4	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	1	0	0
5	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	1	0	1
6	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	0	1	1	0
7	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	0	1	1	1
8	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	0	0	0
9	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	0	0	1
10	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0	1	0
11	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1
12	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0
13	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1
14	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
15	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

*Вхідна напруга дана в умовних одиницях: цифрами від 0 до 15 пронумеровані рівні квантування аналогового вхідного сигналу.

При вказаному значенні рівня вхідної напруги спрацювають нижні три аналогових компаратори (AK1...AK3) і на їхніх виходах з'являються

логічні одиниці. Інші компаратори не спрацьовують і на їхніх виходах будуть логічні нулі. Для цього стану вихідних сигналів компараторів логічна одиниця з'являється на виході третього елемента “заборона”. На виходах інших елементів “заборона” будуть присутні логічні нулі. На виході кодуєчого пристрою після елементів “заборона” стоїть кодер (шифратор) шістнадцятипозиційного унітарного коду з активним одиничним рівнем в чотирьохрозрядний паралельний двійковий код. Цей двійковий код відповідає десятковому номеру входу, на якому присутня активна одиниця. У нашому прикладі це вхід з номером 3, тому вихідний ДВК: 0011.

Якщо вхідна напруга менша рівня $0,5\Delta U$, то не спрацює жоден компаратор, на виході елемента АБО–НЕ буде логічна 1, а двійковий код буде мати значення: 0000. Якщо вхідна напруга перевищує рівень $14,5 \Delta U$, то логічна 1 з'являється на виході п'ятнадцятого компаратора, на виходах всіх чотирнадцяти елементів “заборона” будуть логічні 0, що відповідає вихідному ДВК: 1111. Кодуючий пристрій (рисунок 19.13) реалізовано з застосуванням одного 15–ти входового логічного елемента «АБО–НЕ»; 14–ти елементів «заборона» і шифратора (кодера) 16–позиційного “унітарного” коду в 4–х розрядний двійковий код (роботу кодуєчого пристрою показує таблиця 19.3).

ПИТАННЯ ДЛЯ САМОКОНТРОЛЮ

- 1) Що таке аналого–цифровий перетворювач? Для чого призначені АЦП?
- 2) Як визначається і від чого залежить кількість рівнів квантування АЦП?
- 3) Чому дорівнює абсолютна та відносна похибка АЦП від квантування за рівнем?
- 4) Для чого призначено пристрої вибірки і зберігання? Чому необхідно їх використовувати?
- 5) З чого складається АЦП послідовного наближення? Навести структуру АЦП послідовного наближення.
- 6) Як відбувається перетворення сигналу в АЦП послідовного наближення?
- 7) Як відбувається перетворення сигналу в паралельно–послідовному АЦП?
Приклад паралельно–послідовного АЦП.
- 8) Пояснити роботу паралельного 4–х розрядного АЦП.
- 9) З яких міркувань вибирається величина кроку квантування за рівнем у АЦП?
- 10) Пояснить фізичне трактування теореми Котельнікова.
- 11) Чому дорівнює коефіцієнт передачі мікросхеми АЦП К1113 ПВ1?
- 12) Як розрахувати максимальне значення вхідної напруги АЦП К1113ПВ1 у випадках, коли:
 - число розрядів вихідного ДВК $N_{Р.ДВК}$ дорівнює 9, які видаються на виходи старших розрядів;
 - $N_{Р.ДВК} = 7$, двійковий код видається на 2–й, 3–й, ..., 8–й виходи АЦП;
 - $N_{Р.ДВК} = 5$, двійковий код видається на 4–й, 5–й, ..., 8–й виходи АЦП ?
- 13) Пояснить роботу АЦП К1113 ПВ1 за часовими діаграмами.
- 14) Пояснить передатну характеристику АЦП МАХ154.

ЛІТЕРАТУРА

[14...16, 18, 20]

ПРЕДМЕТНИЙ ПОКАЖЧИК

- D – тригер, 317
- JK – тригер, 320
- RS – тригери
- асинхронні, 311
 - синхронні, 313
- АЦП, 200, 355
- К1113 ПВ1, 362
 - паралельно–послідовний, 366
- Базис, 205
- Булева алгебра, 202
- Генератор
- напруги, що змінюється лінійно, 149
 - прямокутних імпульсів, 133
 - тактових імпульсів, 262
- Двійковий код, 195
- ДДНФ, 206
- Демультіплексор, 288
- Десяткові лічильники, 341
- Дешифратор
- BCD–коду у семисегментний код, 280
 - двійкового коду, 277
- Диз'юнктор, 226
- Диференціюючі кола, 22
- активні, 32
 - пасивні, 23
- Діаграми Вейча, 210
- Діодні ключі, 49
- паралельні, 54
 - послідовні, 49
- Діодні обмежувачі амплітуди, 56
- ДКНФ, 208
- Еквівалентна схема активного ДК, 34
- Еквівалентність, 231
- Завадостійкість, 257
- Закони булевої алгебри, 206
- Імпульс, 19
- Імпульсні тригери
- несиметричні, 108
 - симетричні, 103
- Інвертор, 223
- Інтегруючі кола
- активні, 44
 - пасивні, 36
- Карті Карно, 213
- Квантування
- за рівнем, 198
 - за рівнем і за часом, 199
 - за часом, 199
- Коефіцієнт
- об'єднання по входу, 256
 - розгалуження по виходу, 256

Компаратор	- паралельно—послідовні, 330
- аналоговий	- послідовні, 326
- регенеративний, 123	- послідовно—паралельні, 330
- цифровий, 296	
Компаратор	Розподільувач, 351
- аналоговий, 117	Система числення, 195
Кон'юнктор, 223	Суматор, 291
Крок квантування, 201	Теорема де Моргана, 206
КЦП, 268	Тиристор, 64
Лічильник, 332	- діодний, 65
Мінімізація ПФ, 209	- тріодний, 67
Мультиплексор, 285	Тиристорні ключі, 64
Напівсуматор, 293	Транзисторний ключ
Нееквівалентність, 233	- відкритий у початковому стані,
Ненасичені ключі, 89	86
Перемикальна функція, 202	- закритий у початковому стані,
Повторювач, 227	85
Подільники частоти, 347	- на біполярних транзисторах,
Похибка АЦП, 201	77
Принципова схема активного ДК,	- на польових транзисторах, 96
33	- послідовний, 95
Пристрій	Тригер, 99
- вибірки і зберігання, 357	ТТЛ, 247
- контролю парності, 295	Т–тригер, 316
- формування рівнів, 126	ЦАП, 168
Регістри	Шифратор
- зсуву, 328	- двійкового коду, 272
- паралельні, 324	- двійково—десятькового коду,
	277
	ШПП на тиристорах, 72

СПИСОК РЕКОМЕНДОВАНОЇ ЛІТЕРАТУРИ

Основна література

- 1 Аналогова схемотехніка та імпульсні пристрої. В.І. Бойко та ін. – К.: Вища шк., 2004.
- 2 Аналоговая и цифровая электроника / Под ред. О.П. Глудкина. – М.: Горячая Линия – Телеком, 1999.
- 3 Бойко В. І., Гуржій А. М., Жуйков В. Я. та ін. Схемотехніка електронних систем: Книга 2. Цифрова схемотехніка. – «Вища школа», 2004.
- 4 Браммер Ю.А., Пащук И.Н. Импульсная техника. – М: Высшая школа, 1985.
- 5 Електроніка і мікросхемотехніка / В.І.Сенько, М.В.Панасенко, Є.В.Сенько та ін. – К.:Обереги, 2000. – Т.1.
- 6 Лечин В.И., Савелов Н.С. Электроника. – Ростов н/Д: Фомикс, 2000.
- 7 Промышленная электроника/ В.С. Руденко и др. – К.: Техника, 1979.
- 8 Прянишников В.Я. Электроника: Курс лекций. – СПб.: Корона принт, 1998.
- 9 Руденко В.С и др. Приборы и устройства промышленной электроники / В.С. Руденко В.И., Сенько, В.В. Трифонюк (Б–ка иженера). – К.: Техника, 1990.
- 10 Руденко В.С., Ромашко В.Я., Трифонюк В.В. Промислова електроніка – К.: Либідь, 1993.
- 11 Скаржепа В. А. Луценко А. Н. Электроника и микросхемотехника. – К.: Вища шк., 1989.
- 12 Скаржепа В. А., Новацкий А. А., Сенько В.И. Электроника и микросхемотехника. Лабораторный практикум. –К: Выща шк., 1989.

- 13 Скаржепа В. А., Сенько В.И. Электроника и микросхемотехника. Сборник задач.– К: Выща шк., 1989.
- 14 Федорков Б.Г., Телец В.А. Микросхемы ЦАП и АЦП: функционирование, параметры, применение.– М.: Энергоатомиздат, 1990.
- 15 Микросхемы АЦП и ЦАП. – М.: Издательский дом «Додэка», 2005.
- 16 Лебедев О. Н. Изделия электронной техники. Цифровые микросхемы. Микросхемы памяти. Микросхемы ЦАП и АЦП: Справочник/О. Н. Лебедев, А.И. Мирошниченко, В. А. Телец; Под ред. А. И. Ладика и А. И. Сташкевича. – М.: Радио и связь, 1994.
- 17 Корис Р., Шмидт – Вальтер Х. Справочник инженера – схемотехніка. – М.: Техносфера, 2008.
- 18 Гутников В.С. Интегральная электроника в измерительных устройствах. 2–е издание, перераб. И дополн.– Л.: Энергоатомиздат. Ленингр. отделение, 1988.
- 19 Димитрова М.И, Пунджев В.П. 33 схемы с логическими элементами И–НЕ. / Пер. с болг – Л.: Энергоатомиздат. Ленингр. отд–ние, 1988.
- 20 Никамин В. А. Аналого–цифровые и цифро–аналоговые преобразователи. – Альтекс–А, 2003.
- 21 Опадчий Ю.Р., Глудкин О.П. Аналоговая и цифровая электроника. – М.: «Горячая линия –Телеком», 1999.
- 22 Пухольский Г.И., Новосельцева Т.Я. Цифровые устройства: Учебное пособие для ВТУЗов. – СПб.: Политехника, 1996.
- 23 Стешенко В.Б. ПЛИС фирмы ALTERA: проектирование устройств обработки сигналов. – Додека, 2000.
- 24 Тарасов И.Е. Разработка цифровых устройств на основе ПЛИС Xilinx с применением языка VHDL. – Горячая линия – Телеком, 2005.

25 Токхейм Р. Основы цифровой электроники: Пер. с англ.–М.: Мир, 1988.

26 Угрюмов Е. П. Цифровая схемотехника. – СПб.: БХВ – Санкт – Петербург, 2000.

27 Рональд Дж. Точки, Нил С. Уидмер. Цифровые системы . Теория и практика. 8 – е издание.: Пер. С англ. – М.: Издательский дом «Вильямс», 2004.

Додаткова література

28 Виноградов Ю. В. Основы электронной и полупроводниковой техники.– М.: Энергия, 1972.

29 Горбачев Г. Н., Чаплыгин Е. Е. Промышленная электроника Учебник для вузов / Под ред. В. А. Лабунцова – М.:– Энергоатомиздат, 1988.

30 Гусев В.Г., Гусев Ю.М. Электроника. – М.: Высшая школа, 1982.

31 Зубчук В.И. и др. Справочник по цифровой схемотехнике / В.И. Зубчук, В.П. Сигорский, А.Н. Шкуро – К.: Техника, 1990.

32 Нестеренко Б.К. Интегральные операционные усилители: Справочное пособие по применению. – М.: Энергоиздат, 1982.

33 Операционные усилители: Справочник/Е.Ф.Турута (составитель) – М.: Патриот, 1996.

34 Партала Радиокомпоненты и материалы: Справочник. – К.: Радиоаматор, 1998.

35 Степаненко И. П. Основы теории транзисторов и транзисторных схем, изд. 3–е, перераб. И доп. – М.: Энергия, 1973.

36 Фолкенбери Л. Применение операционных усилителей и линейных ИС / Пер. с англ. – М.: Мир, 1985.

37 Хоровиц П., Хилл У. Искусство схемотехники: В 3 т.: Пер. с англ. –М.: Мир, 1993.

- 38 Цифровая и вычислительная техника. Э.В.Евреинов и др. Под редакцией Э.В.Евреинова. Москва: Радио и связь, 1991.
- 39 Цифровые интегральные микросхемы. Справочник / П. П. Мальцев, Н.С. Долидзе, М.И.Критенко и др. – М.: Радио и связь, 1994.
- 40 Якубовский С.В., Барканов Н.А., Кудряшов Б.П. Аналоговые и цифровые интегральные микросхемы. – М.: Радио и связь, 1985.
- 41 Бирюков С.А. Применение цифровых микросхем серий ТТЛ и КМОП. –М.: ДМК, 1999.
- 42 Калабеков Б.А. Цифровые устройства и микропроцессорные системы: Учебник для техникумов связи. – М.: Горячая линия – Телеком, 2000.
- 43 Жеребцов Н. П. Основы электроники. – Л: Энергоатомиздат, 1985.
- 44 В.В. Сташин и др. Проектирование цифровых устройств на однокристалльных микроконтроллерах. – М.: Энергоатомиздат, 1990.