Міністерство освіти і науки України
Національний технічний університет україни
«Київський політехнічний інститут
імені Ігоря Сікорського»

А. О. Новацький

Комп’ютерна електроніка

Підручник

*Затверджено Вченою радою КПІ ім.Ігоря Сікорського
як підручник для студентів, які навчаються за спеціальністю
126 «Інформаційні системи та технології»,
спеціалізацією «Інтегровані іформаційні системи»*

Київ
КПІ ім. Ігоря Сікорського
2018

Рецензенти: Дорошенко Анатолій Юхимович, доктор фіз.-мат. наук, професор, зав. відділом Інституту програмних систем НАН України
Чемерис Олександр Анатолійович, доктор техн. наук, ст.н.с., заступник директора з наукової роботи Інституту проблем моделювання в енергетиці ім. Г.Є. Пухова НАН України

Відповідальний редактор: Юрчук Леонід Юрійович, кандидат техн. наук, доцент, КПІ ім. Ігоря Сікорського, кафедра автоматики та управління в технічних системах

Гриф надано Вченою радою КПІ ім.Ігоря Сікорського (протокол № 10 від 12.11.2018 р.)

Електронне мережне навчальне видання

Новацький Анатолій Олександрович, кандидат техн. наук, доцент

Комп‘ютерна електроніка

Комп’ютерна електроніка [Електронний ресурс] : підручник для студ. спеціальності 126 «Інформаційні системи та технології», спеціалізації «Інтегровані інформаційні системи» / А.О. Новацький ; КПІ ім. Ігоря Сікорського. – Електронні текстові дані (1 файл: 80.9 Мбайт). – Київ : КПІ ім. Ігоря Сікорського, 2018. – 469 с.

Стисло викладені основи фізики напівпровідників, принципи дії та характеристики основних електронних елементів. Розглянуто операційні підсилювачі та схеми на їх основі; види зворотних зв’язків та їх вплив на основні характеристики електронних пристроїв; принципи побудови та розрахунку генераторів синусоїдальних коливань. Наведено матеріал про основні імпульсні електронні пристрої: формувачі імпульсів, генератори, тригери, компаратори. Значна увага приділяється аналізу, синтезу та побудові комбінаційних та послідовних цифрових електронних пристроїв. Окремо розглянуто цифро-аналогові та аналого-цифрові пристрої, які поєднують мікроконтролери з аналоговими об’єктами керування.

Підручник може бути використаний студентами вищих навчальних закладів при вивченні курсу «Комп´ютерна електроніка», а також при виконанні курсових та бакалаврських проектів, в яких використовуються електронні та мікропроцесорні пристрої.

© А.О.Новацький, 2018
© КПІ ім.Ігоря Сікорського, 2018

ЗМІСТ

Перелік використаних скорочень **10**
Вступ **14**
1. ЕЛЕКТРОННІ ЕЛЕМЕНТИ ТА ФІЗИЧНІ ОСНОВИ ЇХ РОБОТИ..... 17
1.1. Електрофізичні властивості напівпровідників 17
1.1.1. Енергетичні рівні електронів у атомі 17
1.1.2. Енергетичні стани електронів у твердому тілі 17
1.1.3. Електропровідність матеріалів 19
1.1.4. Розподіл електронів за квантовими станами 20
1.1.5. Фізичні властивості напівпровідників 21
1.1.6. Власна провідність напівпровідників 21
1.1.7. Домішкова провідність напівпровідників 23
1.2. Електронно-дірковий перехід 26
1.2.1. Загальна характеристика електронно-діркового переходу 26
1.2.2. Фізичні процеси у *p-n*-переході за відсутності зовнішнього електричного поля 26
1.2.3. Ефект випрямлення у *p-n*-переході 29
1.2.4. Вольт-амперна характеристика p-n-переходу 31
1.2.5. Пробій *p-n*-переходу 32
1.2.6. Температурні властивості *p-n*-переходу 33
1.2.7. Частотні властивості *p-n*-переходу 34
1.3. Напівпровідникові діоди 35
1.3.1. Загальна характеристика напівпровідникових діодів 35
1.3.2. Випрямні діоди 36
1.3.3. Високочастотні і надвисокочастотні діоди 39
1.3.4. Імпульсні діоди 40
1.3.5. Напівпровідникові стабілітрони (опорні діоди) 40
1.3.6. Тунельні діоди 41
1.3.7. Варикапи 43
1.3.8. Гетероперехід 44
1.3.9. Перехід Шотткі 44
1.3.10. Стабістори 44
1.3.11. Двоанодні стабілітрони 44
1.4. Біполярні транзистори 45
1.4.1. Загальна характеристика біполярних транзисторів 45
1.4.2. Принцип роботи транзистора 46
1.4.3. Схеми включення біполярних транзисторів 50
1.4.4. Статичні вольт-амперні характеристики транзистора 50

1.4.5. Робота транзистора з навантаженням 51
1.4.6. Режими роботи транзистора 53
1.4.7. Складений транзистор 54
1.5. Польові транзистори 55
1.5.1. Загальна характеристика польових транзисторів 55
1.5.2. Польові транзистори із затвором у вигляді *p-n*-переходу 56
1.5.3. Польові транзистори з ізольованим затвором 58
1.5.4. Основні властивості та застосування польових транзисторів 61
1.6. Тиристори 62
1.6.1. Загальна характеристика тиристорів 62
1.6.2. Некерований тиристор (диністор) 63
1.6.3. Керований тиристор (триністор) 65
1.6.4. Керований тиристор, який замикається 67
1.6.5. Симетричний тиристор (симістор) 68
1.7. Оптоелектронні прилади 69
1.7.1. Загальна характеристика оптоелектронних приладів 69
1.7.2. Світлодіоди 70
1.7.3. Приймачі оптичного випромінювання 72
1.7.4. Оптрони 77
Контрольні запитання та завдання 80
2. ЕЛЕКТРОННІ ПІДСИЛЮВАЧІ 82
2.1. Класифікація та основні характеристики електронних підсилювачів 82
2.2. Вимірювання вхідного опору підсилювача 86
2.3. Вимірювання вихідного опору підсилювача 87
2.4. Зворотні зв’язки у підсилювачах 88
2.4.1. Загальні відомості про зворотні зв’язки у підсилювачах 88
2.4.2. Зворотний зв’язок за напругою 90
2.4.3. Зворотний зв’язок за струмом 90
2.4.4. Комбінований зворотний зв’язок 90
2.4.5. Послідовний зворотний зв’язок 91
2.4.6. Паралельний зворотний зв’язок 91
2.4.7. Коефіцієнт зворотного зв’язку 92
2.4.8. Вплив від’ємного зворотного зв’язку на основні параметри та характеристики підсилювача 92
2.5. Підсилювачі змінного струму 94
2.5.1. Однокаскадний підсилювач на біполярному транзисторі із спільним емітером 94
2.5.2. Режими (класи) роботи підсилювачів 96

2.5.3. Однокаскадний підсилювач на біполярному транзисторі із спільним колектором (емітерний повторювач) 98
2.5.4. Підсилювач на польовому транзисторі з *n-p*-переходами 99
2.5.5. Схема із фіксованим струмом бази 102
2.5.6. Схема із фіксованою базовою напругою 103
2.5.7. Схема із колекторною стабілізацією 104
2.5.8. Фазо-інверсний підсилювач 104
2.5.9. Підсилювач напруги на метал–оксид–напівпровідник–польовому транзисторі 105
2.5.10. Емітерний повторювач на складеному транзисторі 106
2.5.11. Підсилювач із автоматичним регулюванням підсилення 107
2.6. Підсилювачі постійного струму 110
2.6.1. Загальні відомості про підсилювачі постійного струму 110
2.6.2. Диференціальний підсилювач постійного струму 112
2.6.3. Підсилювачі постійного струму із перетворенням постійного струму у змінний (підсилювач постійного струму на несучій частоті) 117
2.7. Операційні підсилювачі 118
2.7.1. Загальна характеристика операційних підсилювачів 118
2.7.2. Основні параметри операційних підсилювачів 125
2.7.3. Режим підсумовуючої точки 127
2.7.4. Операційний підсилювач, що не інвертує 127
2.7.5. Операційний підсилювач, що інвертує 129
2.7.6. Диференціальний операційний підсилювач 131
2.7.7. Підсумовуючий операційний підсилювач, що інвертує 132
2.7.8. Підсумовуючий операційний підсилювач, що не інвертує 134
2.7.9. Операційний підсилювач, що диференціює 135
2.7.10. Операційний підсилювач, що інтегрує 137
2.7.11. Операційний підсилювач, що логарифмує 138
2.7.12. Операційний підсилювач, що антилогарифмує 140
2.8. Підсилювачі потужності 141
2.8.1. Загальна характеристика підсилювачів потужності 141
2.8.2. Безтрансформаторні підсилювачі потужності 142
2.8.3. Трансформаторні підсилювачі потужності 145
2.9. Електричні фільтри 148
2.9.1. Загальна характеристика електричних фільтрів 148
2.9.2. Активні фільтри нижніх частот 148
2.9.3. Активні фільтри верхніх частот 151
2.9.4. Активні смугові фільтри (селективні підсилювачі) 152
Контрольні запитання та завдання 155

3. ГЕНЕРАТОРИ ГАРМОНІЙНИХ СИНУСОЇДАЛЬНИХ КОЛИВАНЬ 158
3.1. Загальна характеристика генераторів гармонійних синусоїдальних коливань 158
3.2. *RC*-генератори синусоїдальних коливань 158
3.2.1. Загальні відомості про *RC*-генератори синусоїдальних коливань158
3.2.2. Частотно-селективні *RC*-чотириполюсники 160
3.2.3. *RC*-автогенератори із поворотом фази..... 165
3.2.4. *RC*-автогенератори без повороту фази 167
Контрольні запитання та завдання 169
4. ДЖЕРЕЛА ЖИВЛЕННЯ ЕЛЕКТРОННИХ СХЕМ..... 170
4.1. Загальні відомості про джерела живлення електронних схем 170
4.2. Батарейки та акумулятори..... 170
4.3. Джерела живлення від мережі змінного струму..... 171
4.3.1. Загальні відомості про джерела живлення від мережі змінного струму 171
4.3.2. Безперервні джерела живлення 171
4.3.4. Компенсаційні стабілізатори постійної напруги 181
4.3.5. Імпульсні джерела живлення 182
Контрольні запитання та завдання 182
5. ФОРМУВАЧІ ІМПУЛЬСІВ..... 183
5.1. Призначення та особливості застосування імпульсних електронних пристроїв 183
5.2. Диференціюючі кола 188
5.3. Інтегруючі кола 199
5.4. Пристрої формування рівнів..... 208
Контрольні запитання та завдання 212
6. ЕЛЕКТРОННІ КЛЮЧІ..... 213
6.1. Діодні ключі..... 213
6.1.1. Загальні відомості про діодні ключі 213
6.1.2. Послідовні діодні ключі 213
6.1.3. Паралельні діодні ключі..... 217
6.1.4. Діодні обмежувачі амплітуди 220
6.2. Тиристорні ключі 225
6.2.1. Принцип роботи та особливості застосування тиристорів в ключах225
6.2.2. Застосування тиристора в керованому випрямлячі..... 226
6.2.3. Широтно-імпульсні перетворювачі на тиристорах 229
6.3. Транзисторні ключі..... 231
6.3.1. Загальні відомості про транзисторні ключі..... 231

6.3.2. Транзисторні ключі на біполярних транзисторах 231
6.3.3. Ключі на польових транзисторах 247
Контрольні запитання та завдання 248
7. ІМПУЛЬСНІ ТРИГЕРИ 250
7.1. Загальні відомості про тригери..... 250
7.2. Симетричні тригери 252
7.3. Несиметричні тригери (тригери Шмітта) 257
Контрольні запитання та завдання 263
8. АНАЛОГОВІ КОМПАРАТОРИ 265
8.1. Загальні відомості про компаратори 265
8.2. Аналогові компаратори для порівняння однополярних напруг на інтегральній мікросхемі операційного підсилювача..... 266
8.3. Аналогові компаратори для порівняння різнополярних напруг на інтегральній мікросхемі операційного підсилювача..... 267
8.4. Регенеративний компаратор 269
Контрольні запитання та завдання 272
9. ГЕНЕРАТОРИ ІМПУЛЬСІВ..... 273
9.1. Генератори прямокутних імпульсів 273
9.1.1. Загальні відомості про генератори прямокутних імпульсів..... 273
9.1.2. Автоколивальний МВ 274
9.1.3. Мультивібратор, що чекає 281
9.2. Генератори напруги, що змінюється лінійно 285
9.2.1. Загальні відомості про генератори напруги, що змінюється лінійно 285
9.2.2. Генератор напруги, що змінюється лінійно, на біполярному транзисторі..... 286
9.2.3. Генератори напруги, що змінюється лінійно з зовнішнім запуском 288
9.2.4. Автоколивальний генератор напруги, що змінюється лінійно 293
9.2.5. Застосування генераторів напруги, що змінюється лінійно..... 297
Контрольні запитання та завдання 298
10. МАТЕМАТИЧНИЙ АПАРАТ ЦИФРОВОЇ ЕЛЕКТРОНІКИ 299
10.1. Основні поняття та задачі цифрової електроніки 299
10.2. Дискретизація аналогових сигналів 300
10.2.1. Загальні відомості про дискретизацію аналогових сигналів..... 300
10.2.2. Квантування за рівнем 301
10.2.3. Квантування за часом 302
10.2.4. Квантування за рівнем і за часом 302

10.3. Застосування алгебри логіки (булевої алгебри) під час аналізу і синтезу цифрових електронних пристроїв 304
10.3.1. Визначення перемикальних функцій 304
10.3.2. Способи опису перемикальних функцій 304
10.3.3. Перемикальні функції однієї змінної 305
10.3.4. Перемикальні функції двох змінних 306
10.3.5. Базисні логічні функції 306
10.3.6. Принцип двоїстості булевої алгебри 307
10.3.7. Основні закони та теореми булевої алгебри 307
10.3.8. Досконала диз'юнктивна нормальна форма запису булевих виразів 308
10.3.9. Досконала кон'юктивна нормальна форма запису булевих виразів 309
10.3.10. Мінімізація логічних функцій 310
Контрольні запитання та завдання 317
11. РЕАЛІЗАЦІЯ ЛОГІЧНИХ ФУНКЦІЙ 318
11.1. Основні типи логічних елементів 318
11.2. Реалізація логічних функцій у різних базисах 331
11.3. Технології виготовлення логічних елементів 336
11.4. Параметри і характеристики цифрових інтегральних мікросхем 344
11.5. Генератори тактових імпульсів на логічних елементах 349
11.5.1. Генератор тактових імпульсів на двох інверторах 349
11.5.2. Генератор тактових імпульсів на трьох інверторах 351
Контрольні запитання та завдання 352
12. КОМБІНАЦІЙНІ ЦИФРОВІ ПРИСТРОЇ 354
12.1. Аналіз і синтез комбінаційних цифрових пристроїв 354
12.1.1. Аналіз комбінаційних цифрових пристроїв 354
12.1.2. Синтез комбінаційних цифрових пристроїв 354
12.2. Типові комбінаційні цифрові пристрої 356
12.2.1. Загальні характеристики комбінаційних цифрових пристроїв .. 356
12.2.2. Шифратори та дешифратори 357
12.2.3. Мультиплексори 368
12.2.4. Демультиплексори 370
12.2.5. Мультиплексори–селектори (мультиплексори–демультиплексори) 371
12.2.6. Суматори і напівсуматори 372
12.2.7. Пристрої контролю парності 376
12.2.8. Цифрові компаратори 377
12.2.9. Побудова комбінаційного цифрового пристрою на мультиплексорах 379

12.2.10. Побудова комбінаційного цифрового пристрою на дешифраторах 381
12.2.11. Побудова комбінаційного цифрового пристрою на постійному запам'ятовуючому пристрої 382
12.2.12. Побудова комбінаційного цифрового пристрою на програмованих логічних інтегральних схемах 383
Контрольні запитання та завдання 386
13. ПОСЛІДОВНІ ЦИФРОВІ ЕЛЕКТРОННІ ПРИСТРОЇ 387
13.1. Визначення послідовних цифрових електронних пристроїв 387
13.2. Тригери 387
13.3. Регістри 398
13.4. Лічильники 406
13.5. Подільники частоти 418
13.6. Розподілювачі 420
Контрольні запитання та завдання 421
14. ЦИФРО-АНАЛОГОВІ ПЕРЕТВОРЮВАЧІ 423
14.1. Структура типової локальної мікропроцесорної системи керування 423
14.2. Загальна характеристика цифро-аналогових перетворювачів 425
14.3. Цифро-аналогові перетворювачі на матриці *R*–2*R* з підсумовуванням струмів 425
14.4. Цифро-аналогові перетворювачі на матриці *R*–2*R* з підсумовуванням напруг 429
14.5. Цифро-аналоговий перетворювач на базі мікросхеми К572 ПА1 432
14.6. Цифро-аналоговий перетворювач на базі мікросхеми MAX506 .. 435
14.7. Цифро-аналоговий перетворювач на конденсаторах, що переключаються 439
Контрольні запитання та завдання 443
15. АНАЛОГО-ЦИФРОВІ ПЕРЕТВОРЮВАЧІ 445
15.1. Призначення та види аналого-цифрових перетворювачів 445
15.2. Розрахунок аналого-цифрових перетворювачів 445
15.3. Пристрій вибірки і зберігання 447
15.4. Аналого-цифрові перетворювачі послідовного наближення 449
15.5. Паралельно-послідовний аналого-цифровий перетворювач 454
Контрольні запитання та завдання 463
Список літератури 464
Предметний покажчик 467

ПЕРЕЛІК ВИКОРИСТАНИХ СКОРОЧЕНЬ

А – анод
АЕ – активний елемент
АЕП – аналоговий електронний пристрій
АІ – активний інтегратор
АІМ – амплітудно-імпульсна модуляція
АК – аналоговий компаратор
АРП – автоматичне регулювання підсилення
АФ – активний фільтр
АЦП – аналого-цифрові перетворювачі
АЧХ – амплітудно-частотна характеристика
Б – база
БДЖ – безперервне джерело живлення
БЗЗ – багатопетлевий зворотний зв’язок
БТ – біполярний транзистор
В – виток
ВАК – власне аналоговий компаратор
ВАХ – вольт-амперна характеристика
ВД – випрямний діод
ВІС – велика інтегральна схема
ВЗЗ – від’ємний зворотний зв’язок
ВЧ – високочастотний
ГГСК – генератор гармонійних синусоїдних коливань
ГНЗЛ – генератор напруги, що змінюється лінійно
ГПН – генератор пилкоподібної напруги
ГСК – генератор синусоїдних коливань
ГТІ – генератор тактових імпульсів
ДВК – двійковий код
ДДНФ – досконала диз’юнктивна нормальна форма
ДЕП – дискретні електронні пристрої
ДЖ – джерело живлення
ДЗЗ – додатний зворотний зв’язок
ДК – диференціююче коло
ДКЛ – діодний ключ
ДНФ – диз’юнктивна нормальна форма
ДНКН – джерело напруги, що керується напругою
ДОН – джерело опорної напруги
ДП – диференціальний підсилювач

ДППС – диференціальний підсилювач постійного струму
ДПС – двигун постійного струму
ДТ – детектор
Е – емітер
ЕМП – емітерний повторювач
ЕП – електронний пристрій
ЕРС – електрорушійна сила
З – затвор
ЗГ – задаючий генератор
ЗЗ – зворотний зв’язок
ЗП – запам’ятовуючий пристрій
ЗФ – загороджуючий фільтр
І – інвертуючий
ІД – імпульсний діод
ІДЖ – імпульсне джерело живлення
ІЕП – імпульсні електронні пристрої
ІК – інтегруюче коло
ІМС – інтегральна мікросхема
ІМС ОП – інтегральна мікросхема операційного підсилювача
ІС – інтегральна схема
ІСП – інтегратор сигналу похибки
ІЧ – інфрачервоний
К – колектор
КЕ – керувальний електрод
КЗ – коротке замикання
ККД – коефіцієнт корисної дії
КНП – керований напругою підсилювач
КМОН – комплементарний метал окисел напівпровідник
КЦП – комбінаційний цифровий пристрій
КНФ – кон’юктивна нормальна форма
ЛД – лазерний діод
ЛЕ – логічний елемент
ЛМПСК – локальна мікропроцесорна система керування
ЛСН – лінія статичного навантаження
МВ – мультивібратор
МДМ – модулятор-демодулятор
МДН – метал-діелектрик-напівпроводник
МЗР – молодший значущий розряд
МК – мікроконтролер

МОН – метал–окисел–напівпроводник
МПС – мікропроцесорна система
МПСК – мікропроцесорна система керування
МС – мікросхема
Н – неінвертуючий
НВІС – надвелика інтегральна схема
НВЧ – надвисокочастотний
НД – напівпровідниковий діод
НП – навантажувальна пряма
НС – напівпровідниковий стабілітрон
НЧ – низькочастотний
ОВ – одновібратор
ОП – операційний підсилювач
ОС – оптичне середовище
ОТ – одноперехідний транзистор
П – підсилювач
ПВЗ – пристрій вибірки–зберігання
ПВЧ – підсилювач високої частоти
ПДЗКД – подільники зі змінним коефіцієнтом ділення
ПЗС – підсилювач змінного струму
ПЗП – постійний запам’ятовуючий пристрій
ПІ – підсилювачі–інвертори
ПЛІС – програмовані логічні інтегральні схеми
ПНЧ – підсилювач низької частоти
ПП – підсилювач потужності
ППЕ – порівняльний і підсилювальний елемент
ППС – підсилювач постійного струму
ПР – перетворювач рівня
ПТ – польовий транзистор
ПФ – перемикальна функція
ПЦЕП – послідовний цифровий електронний пристрій
ПЦП – послідовний цифровий пристрій
РЕ – регулювальний елемент
РМ – резистивна матриця
РПН – регістр послідовного наближення
С – стік
СА – спільний анод
СБ – спільна база
СВ – спільний витік

СД – світлодіод
СЕ – спільний емітер
СЗ – спільний затвор
СК – спільний колектор
СП – схема порівняння
СПР – синхронізувальний пристрій
СРС – самостійна робота студентів
СС – спільний стік
СТК – стумовий ключ
СФ – смуговий фільтр
СФР – схема формування рівнів
СЧ – середньочастотний
Т – транзистор
ТД – тунельний діод
ТК – транзисторний ключ
ТКН – температурний коефіцієнт напруги
ТШ – тригер Шмітта
УПС – установлення початкового стану
ФВЧ – фільтр верхніх частот
ФД – фотодіод
ФІ – фармувач імпульсів
ФНЧ – фільтр нижніх частот
ФР – фоторезистор
ФТ – фототранзистор
ФТР – фототиристор
ФЧХ – фазо-частотна характеристика
ЦАП – цифро-аналогові перетворювачі
ЦЕП – цифрові електронні пристрої
ЦІМС – цифрова інтегральна мікросхема
ЦК – цифровий компаратор
ЦОМ – цифрова обчислювальна машина
ЧІМ – частотно-імпульсна модуляція
ЧСЧ – частотно-селективний чотириполюсник
ШІП – широтно-імпульсний перетворювач
ШФ – шинний формувач

ВСТУП

У сучасних інтегрованих інформаційних системах використовують головним чином електричні сигнали, для яких характерні висока швидкість їх оброблення, простота формування та передачі на великі відстані, широкий діапазон струмів і напруг (від часток мікроамперів і мікровольтів до тисяч амперів і сотень кіловольтів), простота перетворення електричної енергії в інші види (теплову, механічну, світлову) і т. ін.

Зміст інформації, яка передається за допомогою цих сигналів, перетворюється (модулюється або кодується) в їх електричні або часові параметри, а потім демодулюється або декодується, тобто перетворюється у фізичні впливи на об'єкти керування (нагрів, пересування, обертання) або в зручні для візуального зчитування форми (пересування стрілки вимірювальних приладів, цифри і символи інформаційних табло).

У процесі формування, передавання і оброблення електричні сигнали підлягають різноманітним перетворенням: підсиленню, фільтрації для усунення спотворень і захисту від завад, формуються за формою, амплітудою або тривалістю. Для цього використовують електронні пристрої, які складаються з електронних елементів і пасивних електричних ланцюгів (резисторів, конденсаторів, котушок індуктивності), які призначені для зв'язку окремих електронних елементів або виконують самостійні функції перетворення електричних сигналів.

Характеристики електронних пристроїв визначаються характеристиками їх електронних елементів. Завдяки їх унікальним особливостям формування, оброблення та перетворення електричних сигналів можуть здійснюватися з частотою у десятки та сотні мегагерц, рівень сигналу може бути підсилено від частки мікровольта до сотень вольт, а його потужність – від частки нановат до сотень кіловат. За допомогою електронних цифрових і цифро-аналогових пристроїв над електричними сигналами можна виконувати арифметичні і логічні операції, операції диференціювання, інтегрування і перетворення практично за будь-яким математичним законом.

Роль електронних пристроїв особливо зростає сьогодні у зв'язку з широким застосуванням мікропроцесорної техніки для перероблення інформаційних сигналів і силових напівпровідникових приладів для перетворення електричної енергії.

Електронні елементи сучасних електронних пристроїв випускають двох видів:

– у вигляді окремих дискретних компонентів (діодів, транзисторів, тиристорів і т. ін.);

– у вигляді мікросхем (інтегральних схем (ІС)), в яких в одному корпусі в один функціональний вузол об’єднано низку окремих елементів, які виповнені, зазвичай, на одному кристалі напівпровідника.

Елементи першого виду застосовують передусім у силових ланцюгах інформаційних систем, які найменш складні за схемотехнікою, розсіюють більшу кількість теплоти, мають більші габарити. Використовують їх також у слаботочних ланцюгах для погодження окремих мікросхем, коригування характеристик деяких пристроїв та у випадках, коли застосування мікросхем з тих чи інших причин недоцільне.

Сфери використання елементів другого виду беззупинно розширюються. Вони виконують дедалі складніші функції, вміщують все більшу кількість окремих електронних елементів. Вершиною сучасного розвитку електроніки є створення в одному корпусі (на одному кристалі) програмованих електронних елементів – мікропроцесорних наборів і мікроЕОМ (мікроконтролерів (МК)), використання яких відкриває новий етап у розвитку всіх галузей техніки, особливо автоматики.

Незалежно від ступеня складності мікросхем і численних функцій, які вони реалізують, основу їх структури складають елементарні схеми, фізичні принципи й особливості роботи яких простіше та ефективніше виявляються під час моделювання мікросхем за допомогою окремих дискретних електронних і електричних елементів. Це сприяє глибшому сприйняттю принципів побудови електронних пристроїв різного ступеня складності, дозволяє ефективніше і повніше використовувати їх якості, спрощує процес налаштування і пошук несправностей.

Подальший розвиток економіки України тісно пов’язаний з широкою автоматизацією й удосконаленням технологічних процесів на основі електроніки, обчислювальної та мікропроцесорної техніки.

У сучасних умовах спеціалісти різного профілю не можуть активно вдосконалювати технологічні процеси без достатньо глибоких знань основ електроніки, принципів побудови та функціонування пристроїв аналогової та цифрової схемотехніки, методів аналізу і розрахунку електронних пристроїв із заданими характеристиками.

Електронні пристрої поділяють на аналогові (безперервні) та дискретні (переривчасті), які, у свою чергу, поділяють на імпульсні та цифрові.

Сьогодні провідне місце на ринку електронних пристроїв і систем займає цифрова електроніка.

Однак повністю витіснити аналогову техніку цифрова не зможе. Фізичні процеси, від яких електронна підсистема отримує інформацію та якими керує в системах автоматики і керування, мають аналогову природу, тому на вході та виході необхідні аналого-цифрові (АЦП) та цифро-аналогові перетворювачі (ЦАП).

Навчальний матеріал підручника складається із п'ятнадцяти розділів.

У кінці кожного розділу наведено запитання та завдання для самоконтролю.

У підручнику в стислому вигляді та доступній формі викладено всі розділи програми підготовки бакалаврів і магістрів спеціальності «Інформаційні системи та технології» спеціалізації «Інтегровані інформаційні системи» згідно з вимогами державного стандарту України. Це підвищить ефективність не лише аудиторних занять, а й самостійної роботи студентів. Матеріал скомпонований так, що кожний наступний розділ є логічним продовженням попереднього.

У результаті вивчення курсу студенти засвоюють принципи функціонування, вибору, практичної реалізації пристроїв і систем електроніки різного призначення, методи їх аналізу та розрахунку за заданими статичними й динамічними параметрами. Студент має знати: принципи побудови та функціонування пристроїв аналогової і цифрової схемотехніки; принципи вибору методів аналізу і розрахунку електронних пристроїв із заданими характеристиками, а також уміти: розрахувати та моделювати електронні ланки; узагальнити динамічні показники електронних пристроїв; виконати розрахунки різних електронних пристроїв; розробити структурні та принципові схеми.

Підручник написано на основі досвіду викладання дисциплін згідно з програмами підготовки бакалаврів, інженерів і магістрів напряму «Системна інженерія» в Національному технічному університеті України «Київський політехнічний інститут імені Ігоря Сікорського».

Курс забезпечується основними дисциплінами: математика, фізика, програмування та теоретичні основи електротехніки.

Зі свого боку курс забезпечує засвоєння студентами більшості наступних дисциплін бакалаврату, оскільки в ньому розглядаються сучасні електронні елементи та пристрої, які є основою сучасних інтегрованих систем.

1. ЕЛЕКТРОННІ ЕЛЕМЕНТИ ТА ФІЗИЧНІ ОСНОВИ ЇХ РОБОТИ

1.1. Електрофізичні властивості напівпровідників

1.1.1. Енергетичні рівні електронів у атомі

Згідно з квантовою теорією електрон може мати цілком певні (дискретні або квантові) значення енергії і дискретні значення орбітальної швидкості, тому електрон навколо ядра може рухатися тільки за певними орбітами. Кожній орбіті відповідає своя енергія електрона або енергетичний рівень. Енергетичні рівні електронів відокремлені один від одного забороненими інтервалами, й електрони не можуть переходити з однієї орбіти на іншу. Сукупність рівнів утворює енергетичний спектр електронів в атомі. Графічно енергетичний спектр електронів в окремому атомі можна подати у вигляді одновимірної діаграми, де можливі значення енергії показані горизонтальними лініями (рис. 1.1).

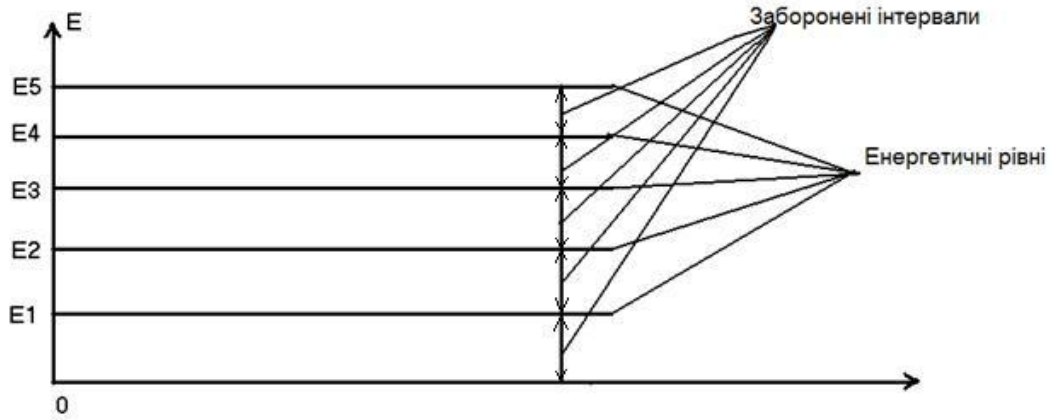


Рис. 1.1. Енергетичний спектр електронів в атомі

У не збудженому стані електрони в атомі розміщені на найближчих до ядра орбітах. Не повністю заповненою може бути лише зовнішня орбіта. Під час поглинання енергії атомом якийсь електрон може перейти на один з вищих вільних рівнів (утворюється збуджений атом) або зовсім залишити атом (утворюється іон).

1.1.2. Енергетичні стани електронів у твердому тілі

Взаємодія багатьох атомів у твердому тілі викликає зсув і розщеплювання енергетичних рівнів електронів. Під час об’єднання у твердому тілі N однакових атомів кожен рівень енергії розщеплюється на N

близько розміщених одний до одного енергетичних рівнів, які утворюють дозволену енергетичну зону. На рис. 1.2 показане розщеплення енергетичних рівнів E_1 і E_2 електронів у одиночному атомі під час утворення системи з шести однакових атомів (N = 6); r– відстань між атомами.

Якщо $r >> r_2$, атоми не впливають один на одний. У разі зближенні атомів на відстань $r < r_2$ відбувається розщеплення рівня E_2 на шість дискретних значень. Подальше зменшення $r < r_1$ супроводжується розщепленням енергетичного рівня E_1. Якщо $r = r_0$, у системі утворюються дві сукупності дискретних енергетичних станів, що лежать в інтервалах ΔE_1 *і* ΔE_2, їх називають дозволеними енергетичними зонами. Зони ΔE_1 *і* ΔE_2 за $r = r_0$ розділені проміжком ΔE_3, що не містить енергетичних станів. Такий проміжок називають забороненою зоною.

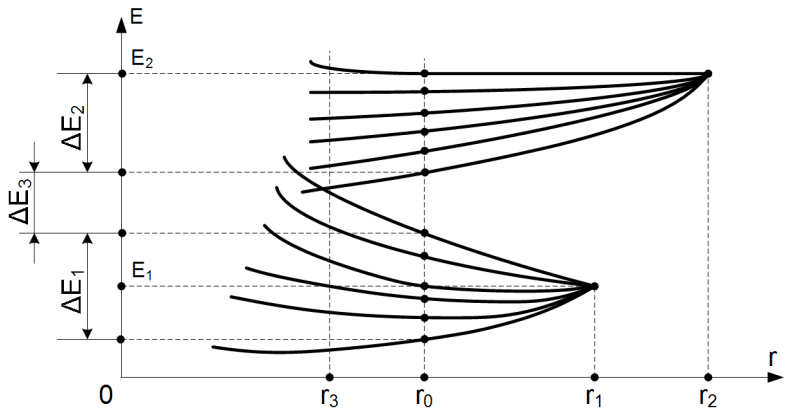


Рис. 1.2. Розщеплення енергетичних рівнів електронів у твердому тілі

Заборонені зони відповідають таким значенням енергії, які електрон мати не може. З подальшим зближенням атомів $r \le r_3$ зони перекриваються ΔE_1 і ΔE_2, тобто заповнюється заборонена зона ΔE_3. На рис. 1.3 графічно показано енергетичні зони твердого тіла.

Рівні енергії, зайняті електронами за температури 0 К, коли немає зовнішніх впливів, утворюють у твердому тілі заповнену зону. Сукупність енергетичних рівнів валентних електронів утворює валентну зону (верхня частина заповненої зони).

Дозволені рівні енергії, які залишаються незайнятими за T = 0 К, утворюють вільну зону. Нижню частину вільної зони називають зоною провідності, оскільки рівні, що входять у неї, можуть займати валентні електрони, що отримали додаткову енергію ззовні.

Енергетичні рівні та енергетичні зони характеризують тільки енергетичне положення електрона, а не його геометричне розміщення у твердому тілі.

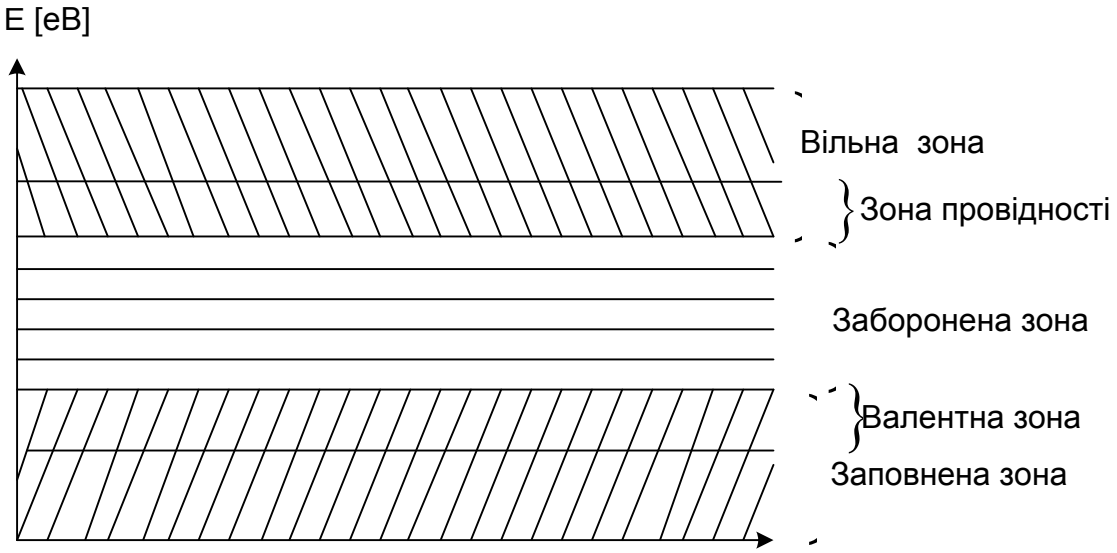


Рис. 1.3. Енергетичні зони твердого тіла

1.1.3. Електропровідність матеріалів

Електропровідність матеріалів визначається шириною забороненої зони між валентною зоною і зоною провідності. Провідність твердого тіла визначається тією енергією, яку потрібно передати валентним електронам, щоб вони могли перейти на вищий енергетичний рівень, що відповідає зоні провідності, при цьому електрони втрачають зв'язок з ядром і стають вільними.

На рис. 1.4 показано діаграми енергетичних зон для провідника, діелектрика і напівпровідника.

У провідника зона провідності і валентна зона перекриваються (забороненої зони немає) і валентні електрони легко переходять у зону провідності. У діелектриків ширина забороненої зони велика. Для переходу валентних електронів у зону провідності їм потрібно передавати значну енергію (не менше 3 еВ). Для напівпровідників заборонена зона відносно невелика (приблизно 0,5–2 еВ).

На рис. 1.4, *в* енергетичний рівень, що відповідає нижній межі (дну) зони провідності, позначений $E_П$, енергетичний рівень, що відповідає верхній межі (стелі) валентної зони – $E_В$.

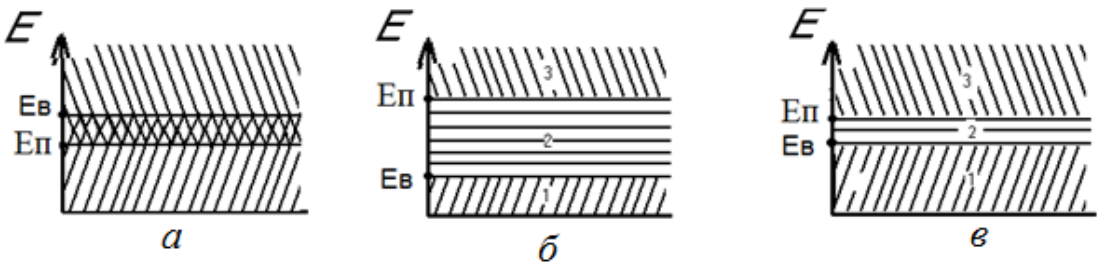


Рис. 1.4. Діаграми енергетичних зон: *а* – провідник; *б* – діелектрик; *в* – напівпровідник

1.1.4. Розподіл електронів за квантовими станами

Процес заняття електронами того або іншого енергетичного рівня має імовірнісний характер і описується функцією розподілу Фермі [3; 20]

$$f_n(E) = P_n(E) = \frac{1}{e^{\frac{E-E_F}{kT}} + 1},$$

де $f_n(E)$ – функція розподілу Фермі; $P_n(E)$ – ймовірність того, що за температури T квантовий стан з енергією E зайнятий електроном; E_F – рівень Фермі – енергетичний рівень, функція Фермі якого рівна 0,5 за температур, що відрізняються від абсолютного нуля; T – абсолютна температура; k – стала Больцмана.

Ймовірність того, що квантовий стан з енергією E вільний від електрона, тобто зайнятий діркою

$$f_P(E) = \frac{1}{e^{\frac{E_F-E}{kT}} + 1}.$$

На рис. 1.5 зображена функція $f_n(E)$ для T = 0 К і T > 0 К.

У чистому (власному) напівпровіднику енергетичний рівень Фермі E_{F_I} можна визначити за співвідношенням

$$E_{F_I} = E_B + \frac{\Delta E_З}{2} = E_П - \frac{\Delta E_З}{2}.,$$

тобто рівень Фермі у бездомішковому напівпровіднику за будь-якої температури розташований посередині забороненої зони.

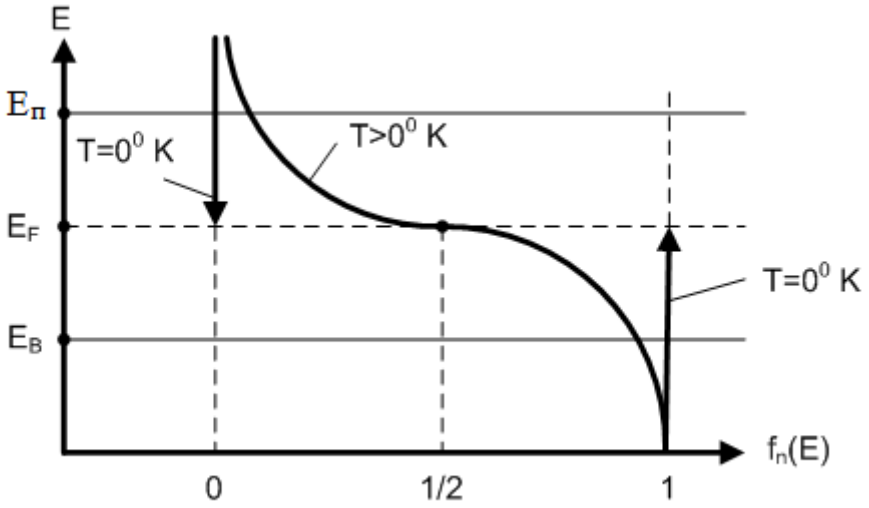


Рис. 1.5. Функція розподілу Фермі

1.1.5. Фізичні властивості напівпровідників

Напівпровідникові матеріали, до яких належать: Ge – германій, Si – кремній, Se – селен, GaAs – арсенід галію, GaP – фосфід галію, SiC – карбід кремнію і низка інших, мають питомий опір $\rho = 10^{-4}...10^{10}$ Ом·см. Для порівняння питомий опір провідників $\rho = 10^{-6}...10^{-4}$ Ом·см, а діелектриків – $\rho = 10^{10}...10^{15}$ Ом·см [20; 22].

Отже, за своїм питомим опором напівпровідники займають проміжну область між провідниками і діелектриками. Границі між ними досить умовні, оскільки за достатньо високої температури діелектрик поводить себе як напівпровідник, а якийсь чистий напівпровідник за досить низьких температурах подібний до діелектрика.

Характерною властивістю напівпровідників є сильна зміна питомого опору під впливом електричного поля, опромінювання світлом або іонізованими частинками, а також під час введення у напівпровідник домішки або під час його нагрівання.

1.1.6. Власна провідність напівпровідників

Для з’ясування характеру провідності напівпровідників розглянемо деякий об’єм ідеальних (із строго впорядкованим розташуванням атомів у вузлах решітки) кристалічних ґрат германію – елемента IV групи періодичної системи елементів Менделєєва. На рис. 1.6 об’ємні кристалічні ґрати германію, елементарною геометричною фігурою якої є тетраедр, зображена у вигляді площинних ґрат.

Атоми германію розташовуються у вузлах ґрат і пов'язані з іншими атомами за допомогою чотирьох валентних електронів. Подвійні лінії між вузлами ґрат умовно зображають ковалентний зв'язок між кожною парою електронів, що належать двом різним атомам. У ідеальному кристалі германію за температури абсолютного нуля T = 0 К всі ковалентні зв'язки заповнені і кожен атом має добудовану оболонку, що складається з восьми електронів. Валентна зона повністю зайнята електронами, а зона провідності порожня.

Для германію ширина забороненої зони дорівнює 0,72 еВ. Тому для переміщення електрона у зону провідності необхідне додаткове джерело енергії, що дорівнює або перевищує енергію забороненої зони. Таким джерелом енергії може бути тепло навколишнього середовища. За температури вище абсолютного нуля частина електронів розриває ковалентні зв'язки і переходить у зону провідності, звільняючи енергетичні рівні у валентній зоні. Вакантний енергетичний рівень у валентній зоні називають діркою провідності, яка у електричному і магнітному полях поводиться, як частинка із додатним зарядом. Такий процес утворення пар електрон-провідності, дірка-провідності називають **генерацією пар електрон-дірка** (рис. 1.7).

Після своєї появи дірки-провідності під дією теплової енергії здійснюють хаотичний рух у валентній зоні так само, як електрони у зоні провідності, при цьому можливий процес захоплення електронів зони провідності дірками валентної зони.

Процес зникнення пар електрон-дірка називають **рекомбінацією**. Цей процес супроводжується виділенням енергії, яка нагріває кристалічні ґрати і частково випромінюється у зовнішнє середовище.

Якщо до кристала напівпровідника прикласти електричне поле, то рух електронів і дірок набуває деякої спрямованості. Таким чином, за температури вище за абсолютний нуль кристал набуває здатність проводити електричний струм.

Його провідність тим більше, чим інтенсивніше процес генерації пар електрон–дірка. Провідність визначається рухом обох видів носіїв – електронів і дірок. Загальну провідність знаходять за формулою [6; 20]

$$\sigma = q_n \cdot n \cdot \mu_n + q_p \cdot p \cdot \mu_p,$$

де σ – провідність напівпровідника; n – концентрація електронів; p – концентрація дірок; μ_n – рухливість електронів; μ_p – рухливість дірок; q_n і q_p – заряди електрона і дірки відповідно.

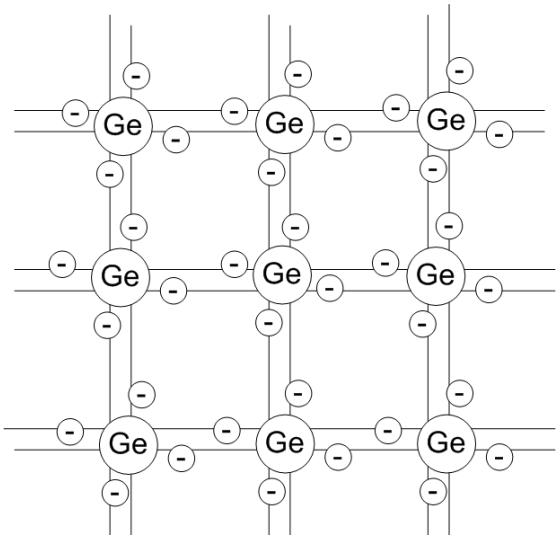


Рис. 1.6. Об'ємні кристалічні ґрати германію

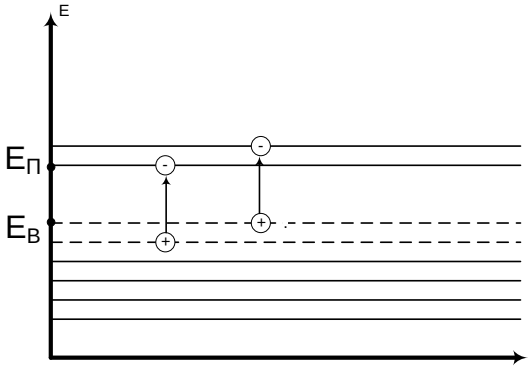


Рис. 1.7. Генерація пар електрон-дірка

Таку провідність називають **власною**, а напівпровідник – **власним напівпровідником**. Ця провідність зазвичай невелика і збільшується з підвищенням температури.

Електронна і діркова провідності обумовлені рухом електронів. Проте у разі електронної провідності рухаються електрони зони провідності у напрямку, протилежному напрямку електричного поля. У разі діркової провідності рухаються електрони валентної зони, заповнюючи вакантні енергетичні рівні (дірки), у напрямку, протилежному переміщенню дірок. Вільні електрони у валентній зоні утворюються у тому разі, коли теплової енергії досить для розриву ковалентного зв'язку, але недостатньо, щоб перевести електрон у зону провідності, тобто подолати заборонену зону.

1.1.7. Домішкова провідність напівпровідників

Якщо у кристал германію або кремнію додати домішки елементів III або V групи таблиці Менделєєва, то такий напівпровідник називають **домішковим**.

Домішкові напівпровідники мають значно більшу провідність порівняно з напівпровідниками із власною провідністю.

Домішки бувають **донорні і акцепторні**. Донорні домішки віддають свої електрони, створюючи у кристалі електронну провідність, а акцепторні – захоплюють електрони з ґрат основного кристалу, створюючи діркову провідність домішкового напівпровідника.

Розглянемо утворення електронної і діркової провідності домішкових напівпровідників.

Під час внесення до заздалегідь очищеного германію домішки п'ятивалентного елемента (наприклад, миш'яку – As) атоми домішки заміщають у вузлах кристалічних ґрат атоми германію, при цьому чотири з п'яти валентних електронів миш'яку утворюють ковалентні зв'язки з чотирма сусідніми атомами германію подібно до зв'язків у власному напівпровіднику. П'ятий електрон виявляється надлишковим (рис. 1.8).

Енергетичний рівень донорної домішки $E_Д$ лежить у забороненій зоні поблизу дна зони провідності. Тому вже за кімнатної температури надлишкові електрони миш'яку набувають енергії, що дорівнює дуже невеликій енергії їх зв'язку з атомами домішки ($\Delta E_Д = E_П - E_Д$), і переходять у зону провідності.

У вузлах кристалічних ґрат германію, що зайняті атомами домішки, утворюються додатно заряджені іони (на рис. 1.9 показані у вигляді квадратиків), а в об'ємі кристалу переміщаються надлишкові електрони, що мають енергію зони провідності. Оскільки $\Delta E_Д << \Delta E_З$, то кількість електронів, що переходять під дією теплової енергії у зону провідності з домішкового енергетичного рівня $E_Д$, значно перевищує кількість електронів, що переходять у зону провідності з валентної зони у процесі генерації пар електрон-дірка. Тому кількість електронів у кристалі під час внесення п'ятивалентної домішки перевищує кількість дірок. Такий напівпровідник має, переважно, електронну провідність, або провідність ***n*-типу (*n*-напівпровідник**), а домішка, здатна віддавати електрони, називається **донорною**. Основними носіями заряду у напівпровіднику *n*-типу є електрони, а неосновними – дірки.

Положення рівня Фермі у напівпровіднику *n*-типу:

$$E_{F_n} = E_{F_I} + kT \cdot \ln(\frac{n_n}{n_I}),$$

де k – постійна Больцмана; T – абсолютна температура; n_I – концентрація електронів у бездомішковому напівпровіднику; n_n – концентрація електронів, як основних носіїв, у напівпровіднику *n*-типу.

З цього рівняння виходить, що рівень Фермі у напівпровіднику *n*-типу зміщується у бік зони провідності, причому тим більше, чим вище концентрація основних носіїв.

Під час додавання у кристал германію домішки елементів III групи (наприклад, індію – In) атоми індію заміщають у вузлах кристалічних ґрат атоми германію. Проте у цьому разі під час утворення ковалентних зв'язків

одного електрона не вистачає, оскільки атоми індію мають лише три валентні електрони (рис. 1.10).

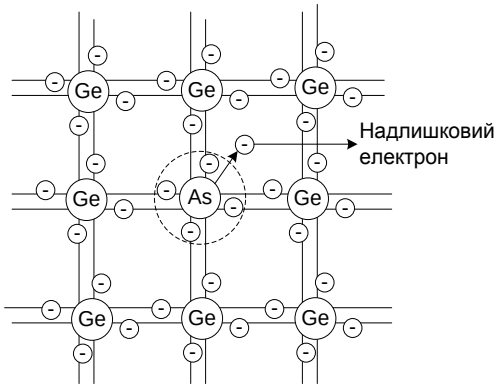


Рис. 1.8. Утворення надлишкових електронів у домішковому напівпровіднику

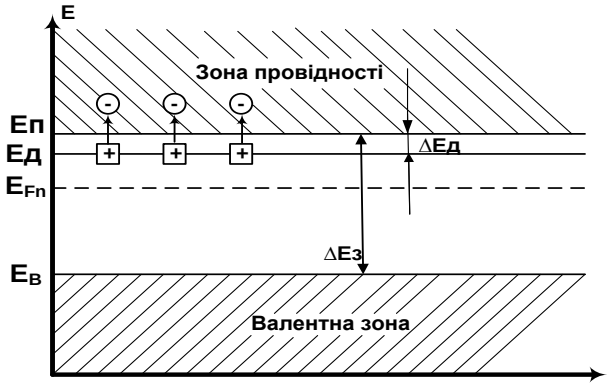


Рис. 1.9. Енергетичні зони домішкового напівпровідника *n*-типу

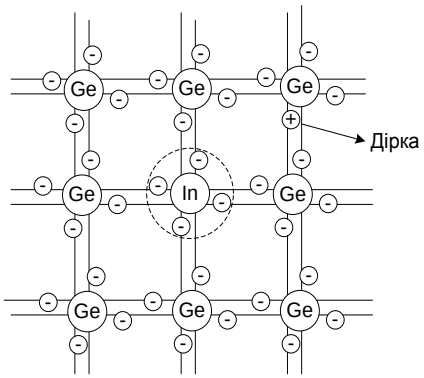


Рис. 1.10. Утворення надлишкових дірок у домішковому напівпровіднику

Оскільки домішковий енергетичний рівень індію E_A лежить у забороненій зоні поблизу валентної зони Ge, то досить дуже невеликої енергії $\Delta E_A = E_A - E_B << \Delta E З$ (наприклад, за рахунок тепла навколишнього середовища), щоб електрони із верхніх рівнів валентної зони перемістилися на рівень домішки, утворивши потрібні ковалентні зв'язки.

У результаті у валентній зоні утворюються надлишкові вакантні енергетичні рівні (дірки), а атоми індію перетворюються на від'ємні іони (на рис. 1.11 показано три від'ємних іони домішки у вигляді квадратиків). Кількість дірок у напівпровіднику під час внесення тривалентної домішки перевищує кількість електронів ($\Delta E_A << \Delta E З$). Такий напівпровідник має діркову провідність або провідність типу ***p*** (***p*-напівпровідник**).

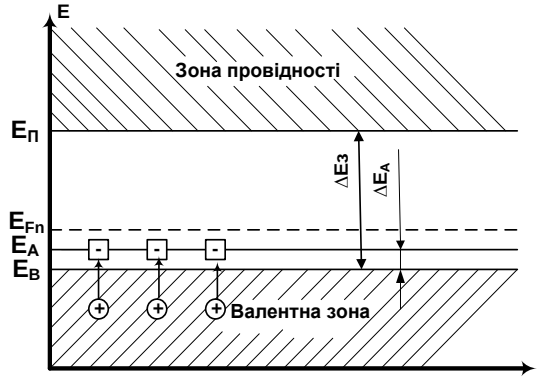


Рис. 1.11. Енергетичні рівні домішкового напівпровідника *p*-типу

Домішку, введення якої зумовлює утворення дірок у валентній зоні, називають **акцепторною**. У напівпровіднику типу *p* основними носіями є дірки, а неосновними – електрони.

Положення рівня Фермі у напівпровіднику *p*-типу

$$E_{F_p} = E_{F_I} - kT \cdot \ln\left(\frac{p_p}{p_I}\right),$$

де p_p – концентрація дірок, як основних носіїв, у напівпровіднику *p*-типу.

Як випливає з цього рівняння, рівень Фермі у напівпровіднику *p*-типу зміщується у бік валентної зони тим більше, чим більше p_p.

1.2. Електронно-дірковий перехід

1.2.1. Загальна характеристика електронно-діркового переходу

Область, що розділяє напівпровідник на дві частини з різнотипною провідністю, називають електронно-дірковим переходом або ***p-n*-переходом**. Він є основою більшості напівпровідникових приладів.

1.2.2. Фізичні процеси у *p-n*-переході за відсутності зовнішнього електричного поля

Під час виготовлення *p-n*-переходів концентрація атомів донорної домішки у *n*-області складає близько $N_Д = 10^{15}$ см$^{-3}$, а концентрація атомів акцепторної домішки у *p*-області – близько $N_A = 10^{18}$ см$^{-3}$ (рис. 1.12).

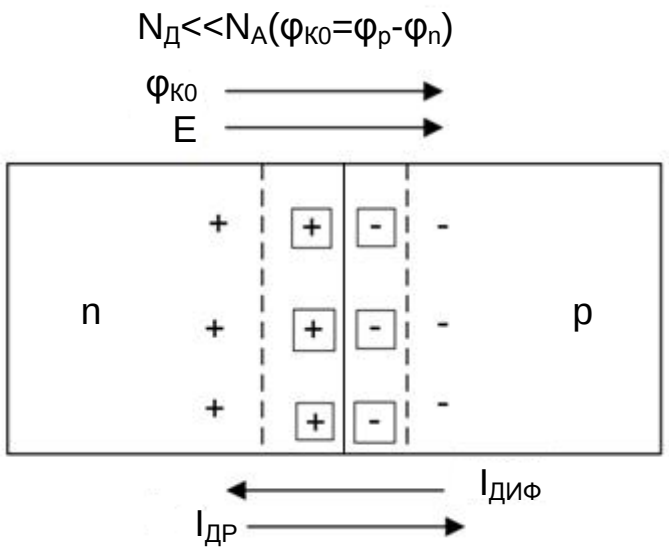


Рис. 1.12. Процеси у *p-n*-переході у разі відсутності зовнішньої напруги

Розглянемо фізичні процеси у *p-n*-переході за умови, що:

1. На межі розділу *p*- і *n*-областей відсутні механічні дефекти і включення інших хімічних матеріалів.

2. За кімнатної температури всі атоми домішки іонізовані, тобто

$$\left.\begin{aligned} p_p &= N_A \\ n_n &= N_Д \end{aligned}\right\},$$

де p_p – концентрація дірок, як основних носіїв, у напівпровіднику *p*-типу, n_n – концентрація електронів, як основних носіїв, у напівпровіднику *n*-типу.

3. На межі *p*- та *n*-областей *p-n*-переходу тип домішки різко змінюється. Оскільки концентрація електронів в *n*-області набагато більше концентрації електронів в *p*-області, а концентрація дірок у *p*-області набагато більше концентрації дірок в *n*-області

$$\left.\begin{aligned} n_n &>> n_P \\ p_p &>> p_n \end{aligned}\right\},$$

то на межі розділу напівпровідників виникає градієнт (перепад) концентрації рухомих носіїв заряду (дірок і електронів)

$$\frac{dp}{dx}; \quad \frac{dn}{dx}.$$

Під дією градієнта концентрації заряди дифундуватимуть із області з вищою концентрацією в область із зниженою концентрацією, тобто електрони переміщаються із *n*-області у *p*-область, а дірки – у протилежному

напрямку. Це рух зарядів (основних носіїв) утворює **дифузійний струм *p-n*-переходу**, що містить дві складові: $I_{n\,ДИФ}$ – електронну і $I_{p\,ДИФ}$ – діркову.

У результаті проходження дифузійного струму граничний шар збіднюється рухомими носіями заряду. У приконтактній області *n*-типу з'являється не скомпенсований додатний заряд за рахунок іонів донорної домішки, а в області *p*-типу – від'ємний заряд за рахунок іонів акцепторної домішки. На рис. 1.12 ці іони позначені відповідно: $\boxed{+}$ТА$\boxed{-}$**.**

Таким чином, на межі *p*- і *n*-областей виникає подвійний шар об'ємного просторового заряду, наявність якого приводить до утворення електричного поля, напруженість якого дорівнює *E*.

Це поле перешкоджає подальшому проходженню дифузійного струму (струму основних носіїв). Збіднений шар має малу електропровідність, оскільки в ньому практично відсутні рухомі носії заряду. Тому його ще називають запірним шаром. Наявність цього шару обумовлює виникнення у *p-n*-переході контактної різниці потенціалів, що зазнає найбільшу зміну на межі напівпровідників *n*- і *p*-типів і називається **потенційним бар'єром** φ_{K0}.

Висота потенційного бар'єру

$$\varphi_{K0} = \varphi_p - \varphi_n$$

залежить від кількості домішок у *n*- і *p*-областях і складає близько (0,3…0,8) В.

Окрім основних носіїв у напівпровідниках *n*- і *p*-типу є неосновні носії – дірки й електрони, які, здійснюючи хаотичний тепловий рух (дрейфуючи), можуть потрапити у зону дії потенційного бар'єру *p-n*-переходу. Поле *p-n*-переходу буде для них прискорюючим. Неосновні носії – електрони *p*-області дрейфуватимуть у *n*-область, а дірки *n*-області – у зворотному напрямку. Рух неосновних носіїв утворює **дрейфовий струм** *p-n*-переходу, який також має складові: $I_{n\,ДР}$ – електронну і $I_{p\,ДР}$ – діркову.

За кімнатної температури деяка кількість основних носіїв заряду має енергію, достатню для подолання потенційного бар'єру, тобто проходить незначний дифузійний струм. Цей струм врівноважується дрейфовим струмом. У результаті за відсутності зовнішнього поля у *p-n*-переході встановлюється термодинамічна рівновага струмів, коли дифузійний і дрейфовий струми компенсують один одного

$$I_{ДИФ} - I_{ДР} = 0.$$

1.2.3. Ефект випрямлення у *p-n*-переході

Під час підключення до *p-n*-переходу зовнішнього електричного поля динамічна рівновага струмів порушується. Поведінка *p-n*-переходу при цьому залежить від полярності прикладеної зовнішньої напруги. Розрізняють пряме і зворотне включення *p-n*-переходу.

Зворотне включення *p-n*-переходу. Зворотне включення *p-n*-переходу наведено на рис. 1.13, *г*. У цьому випадку зовнішнє електричне поле збігається з полем *p-n*-переходу. Потенційний бар'єр *p-n*-переходу зростає (рис. 1.13, *д*)

$$\varphi_{K1} = \varphi_{K0} + U_{ЗВР}.$$

Під дією зворотної напруги основні носії будуть неначе відштовхуватись від граничного шару і дрейфуватимуть у глибину напівпровідника, при цьому ширина шару, збідненого основними носіями, збільшується порівняно з рівноважним станом. Опір *p-n*-переходу для проходження струму основних носіїв збільшується.

Відбувається зміна у співвідношенні струмів через *p-n*-перехід. Дифузійний струм зменшується і у граничному випадку із зростанням потенційного бар'єра наближається до нуля.

Для неосновних носіїв потенційний бар'єр відсутній, і вони будуть втягуватися у *p-n*-перехід полем, що створюється зовнішньою напругою $U_{ЗВР}$, і будуть виводитися через нього у область, де вони є основними носіями. Цей процес називають **екстракцією**.

Під час зворотного включення основну роль відіграє дрейфовий струм, який має невелику величину (струм неосновних носіїв). Цей струм називають **зворотним струмом насичення *p-n*-переходу** і позначають I_0.

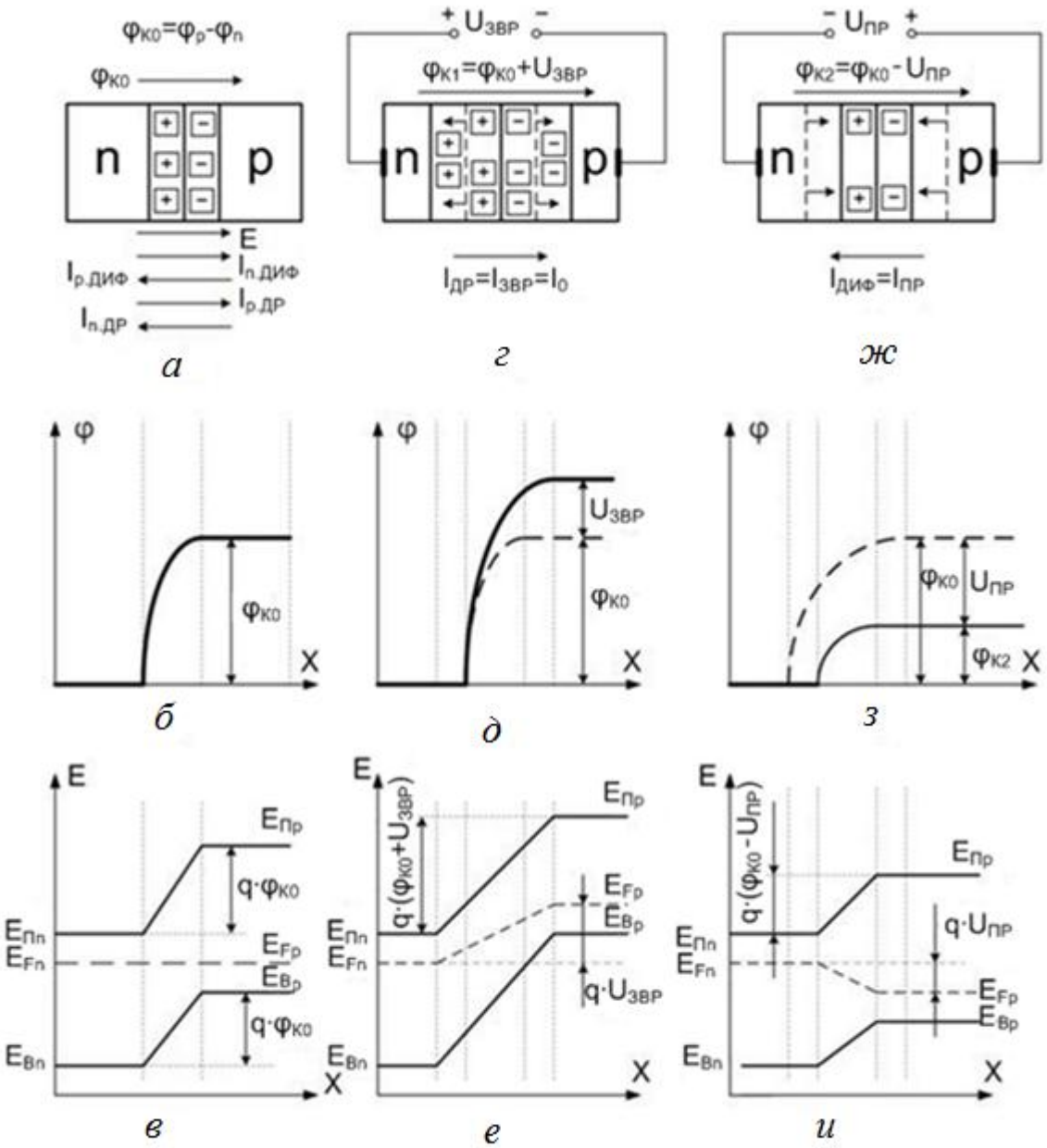


Рис. 1.13. Процеси у *p-n*-переході за: *а, б, в* – відсутності зовнішньої напруги; *г, д, е* – за $U = U_{ЗВР}$; *ж, з, и* – за $U = U_{ПР}$

Пряме включення *p-n*-переходу. Пряме включення *p-n*-переходу наведено на рис. 1.13, *ж*. У цьому разі напрямок дії зовнішнього поля протилежний дії поля *p-n*-переходу. Висота потенційного бар'єру зменшується

$$\varphi_{K2} = \varphi_{K0} - U_{ПР}.$$

Основні носії наближаються до контакту напівпровідників *n*- і *p*-типу, частково компенсуючи об'ємні просторові заряди. Ширина збідненого шару *p*-*n*-переходу і його опір проходженню дифузійного струму зменшуються.

Дифузійна складова струму через перехід збільшується, а дрейфова зменшується. Поблизу *p*-*n*-переходу з'являється велика кількість неосновних носіїв. Процес введення носіїв заряду через *p*-*n*-перехід у область, де вони є неосновними носіями, під час зниження висоти потенційного бар'єру називається **інжекцією**, при цьому з *n*-області в *p*-область інжектуються електрони, а з *p*-області у *n*-область – дірки. Оскільки, як наголошувалося вище, концентрація акцепторної домішки у *p*-області значно перевищує концентрацію донорної домішки у *n*-області, область *p* буде більш низькоомною – її називають **емітером**, а область *n* – більш високоомною – її називають **базою**.

Під час збільшення $U_{ПР}(U_{ПР} > 1B)$ потенційний бар'єр у *p*-*n*-переході зникає, дрейфовий струм прагне до нуля і через *p*-*n*-перехід буде проходити дифузійний струм (струм основних носіїв).

Неосновні носії, що вводяться через *p*-*n*-перехід за рахунок явища інжекції, частково рекомбінують з основними носіями відповідних областей.

На рис. 1.13 зображено графіки електростатичного потенціалу (*б, д, з*) і енергетичні рівні (*в, е, є*) електронно-діркового переходу відповідно за нульової, зворотної та прямої зовнішньої напруги.

1.2.4. Вольт-амперна характеристика p-n-переходу

Вольт-амперна характеристика (ВАХ) *p*-*n*-переходу – це залежність струму через *p*-*n*-перехід від величини і полярності прикладеної напруги. Аналітично ВАХ представляється виразом

$$I = I_0 \cdot (e^{\frac{U}{\varphi_T}} - 1),$$

де I_0 – зворотний струм насичення *p*-*n*-переходу (за незмінної температури визначають фізичною властивістю напівпровідникового матеріалу); U – напруга, що прикладена до *p*-*n*-переходу; φ_T – температурний потенціал:

$$\varphi_T = \frac{k \cdot T}{q},$$

де k – постійна Больцмана; T – абсолютна температура *p*-*n*-переходу; q – заряд електрона.

Іноді ВАХ наводять у вигляді [1; 20; 22]

$$I = I_0 \cdot (e^{\frac{qU}{kT}} - 1).$$

ВАХ показано на рис. 1.14.

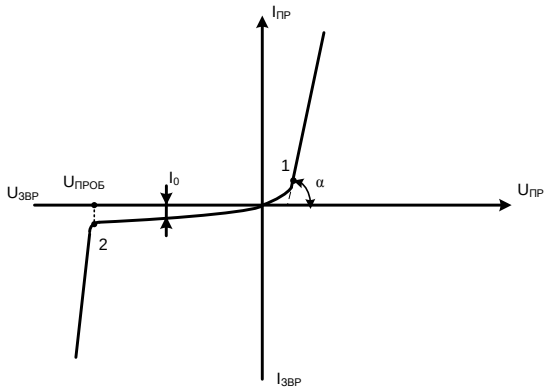


Рис. 1.14. Вольт-амперна характеристика *p-n*-переходу

Наведена ВАХ *p-n*-переходу відображає процеси у *p-n*-переході, розглянуті вище. Під час прямого включення *p-n*-перехід має малий опір і через нього проходить значний прямий струм.

Починаючи з точки *1*, потенційний бар'єр зникає, і характеристика *p-n*-переходу є прямою лінією, нахил якої залежить від опору основної області.

У разі зворотного включення опір *p-n*-переходу дуже великий і через нього проходить лише невеликий струм I_0 – зворотний струм насичення.

У точці *2* за $U_{ЗВР} = U_{ПРОБ}$ настає пробій *p-n*-переходу. Аналіз ВАХ *p-n*-переходу дозволяє зробити висновок про нелінійність властивостей *p-n*-переходу, а також відзначити **головну властивість *p-n*-переходу – властивість односторонньої провідності.**

1.2.5. Пробій *p-n*-переходу

Різке збільшення диференціальної провідності *p-n*-переходу під час досягнення зворотною напругою деякого критичного значення називається пробоєм *p-n*-переходу.

Розрізняють електричний (оборотний) і неелектричний (необоротний) пробій *p-n*-переходу.

Електричний (оборотний) пробій. Електричний пробій *p-n*-переходу буває двох видів:

– лавинний;
– тунельний.

Електричний лавинний пробій виникає у результаті внутрішньої електростатичної емісії електронів під дією ударної іонізації атомів напівпровідника.

Тунельний пробій виникає за рахунок явища тунельного ефекту, який використовують у тунельних діодах. У цьому випадку довжина вільного пробігу носіїв заряду стає більше ширини *p*-*n*-переходу і ударна іонізація при цьому неможлива.

Електричний пробій є оборотним, оскільки *p*-*n*-перехід може знаходитися у режимі пробою значну кількість разів, зберігаючи при цьому свої властивості у разі зменшення зворотної напруги.

Необоротний пробій *p*-*n*-переходу. Необоротний пробій буває двох видів:

– тепловий;
– поверхневий.

Тепловий пробій відбувається за рахунок нагрівання *p*-*n*-переходу. Нагрівання може відбуватися або за рахунок проходження більшого зворотного струму через *p*-*n*-перехід, або від зовнішнього джерела тепла. В обох випадках *p*-*n*-перехід нагрівається, відбувається додаткова генерація пар електрон–дірка, що у свою чергу збільшує зворотний струм. Провідність *p*-*n*-переходу різко зменшується. Настає тепловий (необоротний) пробій *p*-*n*-переходу, який виводить його з ладу.

Слід зазначити, що електричний пробій може також перейти в необоротний тепловий пробій, якщо не обмежити величину зворотного струму через *p*-*n*-перехід. Поверхневий пробій може відбуватися за рахунок скупчення значної кількості зарядів на поверхні напівпровідників. Для захисту від поверхневого пробою застосовують спеціальні покриття.

1.2.6. Температурні властивості *p*-*n*-переходу

Властивості *p*-*n*-переходу істотно залежать від температури навколишнього середовища. Під час підвищення температури підсилюється генерація пар електрон-дірка, збільшується концентрація неосновних носіїв і власна провідність напівпровідника. На рис. 1.15 зображено три характеристики *p*-*n*-переходу для різних температур ($T1 > T2 > T3$).

Під час підвищення температури зворотний струм зростає, і *p-n*-перехід втрачає свою основну властивість – властивість односторонньої провідності. Прямий струм *p-n*-переходу у разі нагрівання збільшується не так сильно, як зворотний. Це пояснюється тим, що величина прямого струму залежить переважно від концентрації домішок у напівпровіднику.

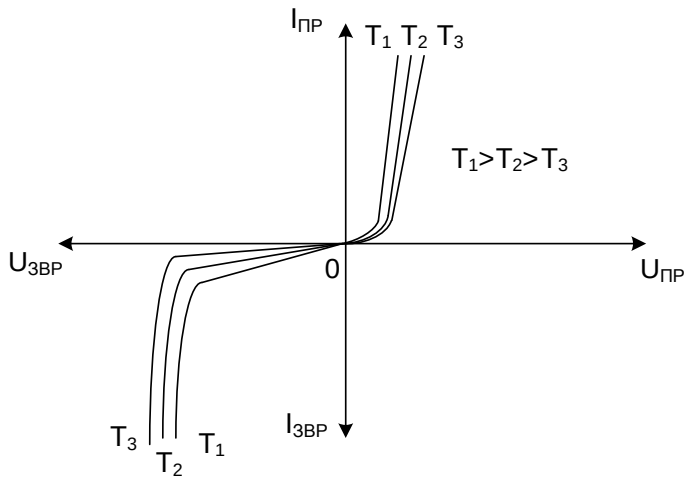


Рис. 1.15. ВАХ *p-n*-переходу для різних температур

1.2.7. Частотні властивості *p-n*-переходу

Властивості *p-n*-переходу залежать також від частоти прикладеної напруги.

Це пояснюється наявністю власної ємності між шарами напівпровідника з різними типами провідності.

Під час зворотної напруги, що прикладена до *p-n*-переходу, носії заряду обох знаків знаходяться по обидва боки переходу, а у самому переході їх дуже мало. В цьому випадку *p-n*-перехід можна розглядати як ємність, величина якої залежить від величини об'ємного просторового заряду переходу, тобто залежить від площі переходу, його ширини і діелектричної проникності напівпровідника. Цю ємність називають бар'єрною $C_{БАР}$. Під час малої зворотної напруги носії зарядів протилежних знаків знаходяться на невеликій відстані один від одного, при цьому величина бар'єрної ємності велика (ширина *p-n*-переходу мала). Із зростанням величини зворотної напруги ширина *p-n*-переходу збільшується, а бар'єрна ємність зменшується. Ця властивість дозволяє використовувати перехід, як ємність, керовану величиною зворотної напруги. Наявність бар'єрної ємності впливає на частотні властивості *p-n*-переходу. Під час роботи на високих частотах ємнісний опір переходу

$$X_{C_{БАР}} = \frac{1}{\omega \cdot C_{БАР}}$$

зменшується і шунтує високий опір зворотно включеного *p-n*-переходу. Перехід при цьому втрачає властивість односторонньої провідності.

Окрім бар'єрної ємності *p-n*-перехід має так звану дифузійну ємність. Ця ємність з'являється під час прямого включення *p-n*-переходу за рахунок явища інжекції. Вона не має істотного впливу на роботу *p-n*-переходу, оскільки завжди зашунтована малим прямим опором *p-n*-переходу.

1.3. Напівпровідникові діоди

1.3.1. Загальна характеристика напівпровідникових діодів

Напівпровідниковим діодом (НД) називають електронний прилад з дірково-електронним *p-n*-переходом, що має два виводи.

Широко НД застосовуються в сучасній електроніці. Малі габаритні розміри і маса, висока швидкодія і надійність, низька вартість дозволяють застосовувати їх практично у будь-яких сучасних електронних вузлах.

Класифікують НД за низкою ознак, найважливіші з яких: призначення; конструктивно-технологічні особливості; вид початкового напівпровідникового матеріалу.

За призначенням НД поділяються на випрямні, високочастотні і надвисокочастотні (ВЧ- і НВЧ-діоди), імпульсні, напівпровідникові стабілітрони (опорні), тунельні, варикапи, фотодіоди, світлодіоди та інші; за конструктивно-технологічними особливостями – на площинні і точкові; за типом початкового матеріалу – на германієві, кремнієві, селенові, арсенід-галієві, карбід-кремнієві, антимонід-індієві та інші.

На рис. 1.16 показані умовні графічні позначення діодів на електричних схемах: *а* – випрямних, імпульсних, ВЧ- і НВЧ- діодів; *б* – стабілітронів; *в* – двосторонніх стабілітронів; *г* – тунельних діодів; *д* – обернених діодів; *е* – варикапів; *ж* – фотодіодів; *з* – світлодіодів.

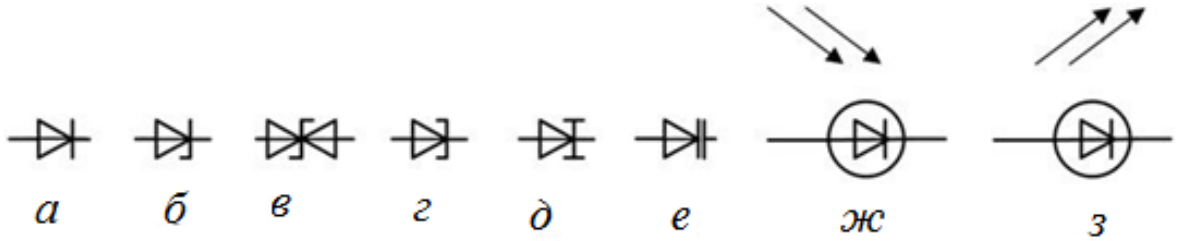


Рис. 1.16. Позначення НД на електричних схемах

Умовне позначення (маркування) діодів включає чотири елементи: перший – (цифра або буква) позначає початковий матеріал напівпровідника: 1 або Г – Германій, 2 або К – Кремній; 3 або А – Арсенід галію і т. ін.; другий (буква) характеризує клас або групу діодів: Д – випрямні, універсальні (високочастотні) й імпульсні, А – надвисокочастотні, З – стабілітрони, В – варикапи, І – тунельні, Ц – випрямні стовпи і блоки, Ф – фотодіоди, Л – світлодіоди; третій (тризначний номер) – указує на групу застосування (вибирають за довідником); четвертий елемент – великі літери алфавіту А, Б, В і т. ін. (до всіх діодів) – указує на різновид діода цього типу. Наприклад, КС147А – кремнієвий стабілітрон малої потужності, різновид типу А.

У довідковій літературі наведено ВАХ, основні електричні параметри і граничні експлуатаційні режими НД [20].

Далі розглянуто деякі з перерахованих НД.

1.3.2. Випрямні діоди

Випрямні діоди (ВД) – це НД, що призначені для перетворення змінного струму у постійний у обмеженому діапазоні частот (50 Гц...100 кГц).

Крім того, ВД широко використовують у схемах керування і комутації, для обмеження паразитних викидів напруги у ланцюгах з індуктивними елементами, як елементи розв’язки у електричних ланцюгах і т. ін.

У наш час в якості ВД широко використовуються кремнієві площинні діоди, що мають значно менші зворотні струми і велику зворотну напругу порівняно з германієвими. Недолік кремнієвих діодів – декілька більше пряме падіння напруги, чим на германієвих.

Випрямний діод виконується на основі *p*-*n*-переходу і має дві області. Одна з них – більш низькоомна (містить велику концентрацію домішки – зазвичай область з провідністю *p*-типу) і називається емітером (до неї підключається вивід, що називається анодом). Інша область – більш високоомна (містить меншу концентрацію домішки – зазвичай область з провідністю *n*-типу) і називається базою (до неї підключається вивід, що називається катодом) (рис. 1.17).

В основі роботи ВД лежить властивість односторонньої провідності *p*-*n*-переходу, яка полягає у тому, що останній добре проводить струм (має малий опір) за прямого включення і практично не проводить струм (має дуже високий опір) під час зворотного включення.

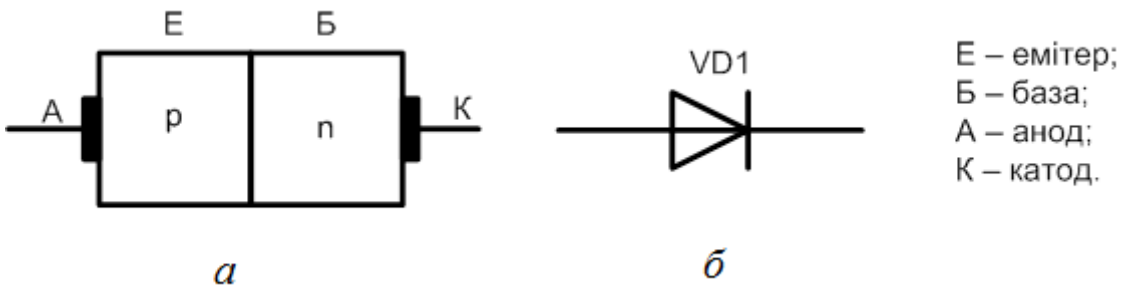


Рис. 1.17. Випрямний діод: *а* – спрощена структура; *б* – позначення на електричних схемах

Сказане відображає ВАХ ідеального випрямного діода (*p-n*-переходу), що показано на рис. 1.18, *а*.

Як видно з цього рисунку такий діод має нескінченну провідність у прямому напрямку і нульову провідність (нескінченний опір) – у зворотному.

ВАХ реального діода (*p-n*-переходу) показано на рис. 1.18, *б*.

Пряма гілка ВАХ ВД описується рівнянням [20]:

$$I_{ПР} = I_0 \cdot (e^{\frac{U_{ПР} - I_{ПР} \cdot r_Б}{\varphi_T}} - 1),$$

де $I_{ПР}$, $U_{ПР}$ – відповідно прямий струм і пряма напруга; I_0– зворотний струм насичення *p-n*-переходу; $r_Б$ – опір базової області (складає одиниці–десятки Ом); $\varphi_T = \frac{kT}{q}$ – температурний потенціал; k – стала Больцмана; T – абсолютна температура; q – заряд електрона.

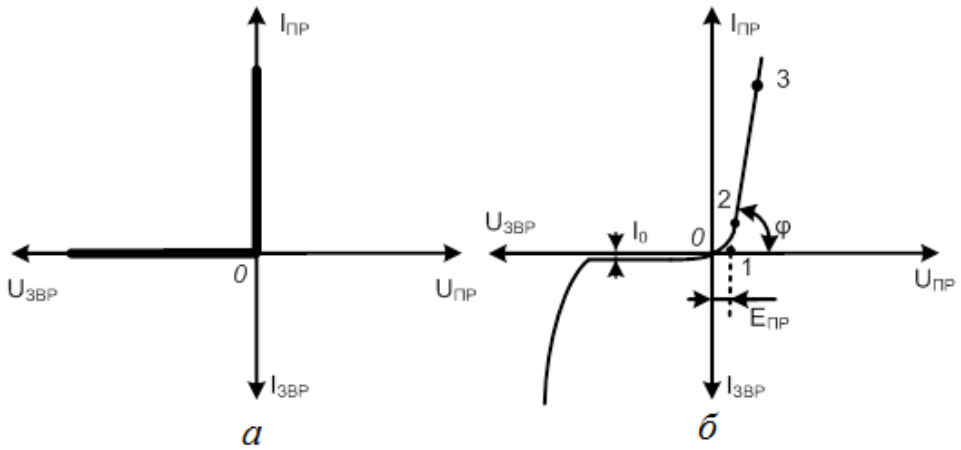


Рис. 1.18. ВАХ ВД: *а* – ідеального; *б* – реального

На рис. 1.19, *а* для порівняння зображені прямі гілки ВАХ реального ВД і *p-n*-переходу.

Аналіз рис. 1.19, *а* показує, що для проходження через реальний ВД прямого струму тієї ж величини, що і через *p-n*-перехід, потрібно прикласти трохи більшу пряму напругу за рахунок падіння частини її на опорі базової області $r_Б$.

В області зворотної напруги ВАХ реальних ВД також відрізняється від ВАХ *p-n*-переходу (рис. 1.19, *б*).

У реальних діодах зворотний струм має три складові:

$$I_{ЗВР} = I_0 + I_В + I_Т,$$

де I_0 – зворотний струм насичення *p-n*-переходу; $I_В$ – струм витоку на поверхні *p-n*-переходу; $I_Т$ – струм термогенерації в об'ємі напівпровідника.

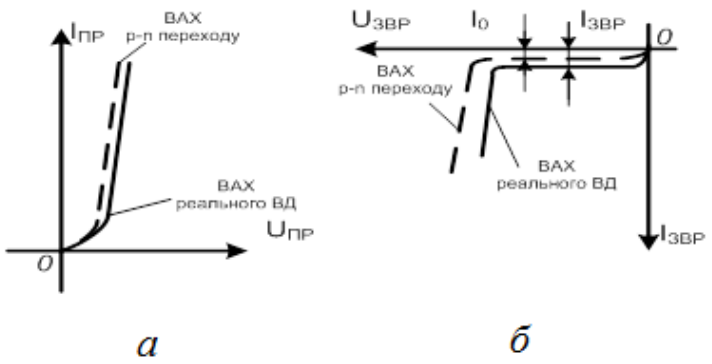


Рис. 1.19. ВАХ ВД та *p-n*-переходу: *а* – під час прямого включення; *б* – під час зворотного включення

Робочою ділянкою ВАХ ВД є лінійна (омічна) ділянка характеристики під час прямого включення (рис. 1.18, *б*, ділянка 2…3).

Нахил характеристики на цій ділянці визначається опором базової області $r_Б$, оскільки *p-n*-перехід вже практично зникає.

На практиці пряму гілку ВАХ реального ВД можна апроксимувати ламаною лінією (рис. 1.18, *б*, ділянки 0...1, 1…3):

$$I_{ПР} = \frac{U_{ПР} - E_{ПР}}{r_Б}, при \quad U_{ПР} > E_{ПР},$$

$$I_{ПР} = 0, при \quad U_{ПР} \le E_{ПР},$$

де $E_{ПР} \approx (0,5...0,7) \cdot \varphi_{К0}$; $\varphi_{К0}$ – висота потенційного бар'єру *p-n*-переходу (складає близько 0,3...0,9 В); $r_Б = \frac{1}{tg\varphi}$.

Залежать ВАХ ВД від температури навколишнього середовища. Із збільшенням температури зростають прямий і зворотний струми діода, збільшується напруга лавинного теплового пробою і зменшується напруга тунельного теплового пробою.

Схему включення ВД у електричний ланцюг показано на рис. 1.20.

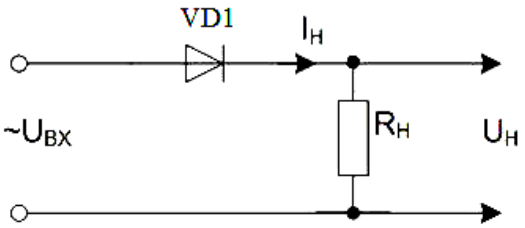


Рис. 1.20. Схема включення ВД в електричний ланцюг

1.3.3. Високочастотні і надвисокочастотні діоди

Високочастотні діоди є більш універсальними, ніж випрямні, тому їх називають універсальними. Вони можуть працювати у випрямлячах змінного струму, а також у модуляторах, детекторах, різних перетворювачах електричних сигналів у широкому діапазоні частот (до сотень мегагерців). Їх недоліком порівняно з ВД є нижча здатність навантаження (потужність). ВЧ діоди ранніх розробок містять точковий *p-n*-перехід і називаються точковими. У наш час широко застосовують мікросплавні високочастотні НД з площинними *p-n*-переходами дуже малих розмірів. Порівняно з точковими, такі ВЧ діоди мають великі допустимі струми, кращі характеристики під час зворотного включення. На рис. 1.21 зображена ВАХ ВЧ діода.

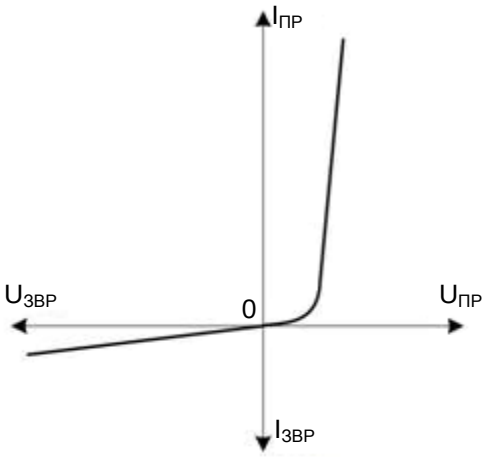


Рис. 1.21. ВАХ ВЧ діода

Пряма гілка ВАХ таких діодів не відрізняється від ВАХ випрямних діодів. У зворотній області є деякі відмінності. Зворотний струм має менше значення, ніж у ВД через малу площу *p-n*-переходу, але оскільки практично відсутня ділянка насичення, то за рахунок струмів термогенерації і витоку зворотний струм рівномірно зростає.

1.3.4. Імпульсні діоди

Імпульсні діоди (ІД) – різновид ВЧ діодів, призначених для використання як ключові елементи у швидкодіючих імпульсних схемах із часом переключення ≤ 1 мс. Їх конструкція, ВАХ, статичні параметри, включаючи $C_Д$ такі ж, як і у ВЧ- і НВЧ-діодів [3; 20]. У них вжиті спеціальні заходи для зниження $C_{БАР}$ та скорочення часу життя неосновних носіїв.

Відмінність полягає у динаміці роботи ІД, які працюють під час дії імпульсів малої довжини і повинні добре зберігати їх форму.

1.3.5. Напівпровідникові стабілітрони (опорні діоди)

Напівпровідниковим стабілітроном (НС) називають напівпровідниковий діод, напруга на якому в області електричного пробою мало залежить від струму. Робочою ділянкою ВАХ НС є область пробою *p-n*-переходу (рис. 1.22).

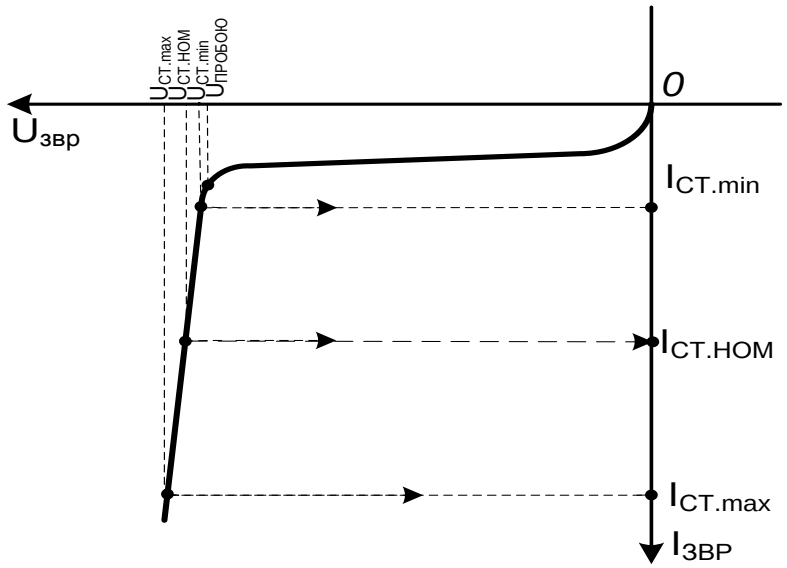


Рис. 1.22. Робоча область ВАХ НС

Під час обмеження резистором величини зворотного струму стан пробою у стабілітроні може підтримуватися і відтворюватися протягом десятків – сотень тисяч годин. Значення напруги стабілізації залежить від вихідного напівпровідникового матеріалу і технології його оброблення. Під час виготовлення стабілітронів використовується кремній. Це викликано тим, що зворотні струми *p-n*-переходів на основі кремнію невеликі і мало залежать від температури, отже, в них менше ймовірність незворотного теплового пробою за рахунок проходження зворотного струму і саморозігріву *p-n*-переходу.

На рис. 1.23 показано схему включення стабілітрона у електричний ланцюг.

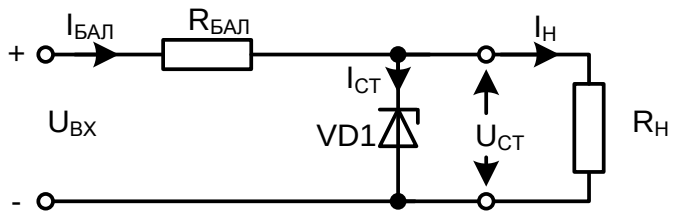


Рис. 1.23. Схема включення НС у електричний ланцюг

Слід звернути увагу на те, що робочим є зворотне включення стабілітрона у електричний ланцюг.

Стабілітрони використовуються для стабілізації напруги джерел живлення, а також для фіксації рівнів напруги у схемах (тому друга назва стабілітронів – опорні діоди).

Стабілізацію низьковольтної напруги у межах 0,3...1 В можна отримати під час використання прямої гілки ВАХ кремнієвих діодів–стабісторів.

Є також двосторонні (симетричні) стабілітрони, що мають симетричну ВАХ щодо вісі струмів. У цьому випадку напруга стабілізації під час прямомого зсуву дорівнює напрузі стабілізації під час зворотного зсуву.

1.3.6. Тунельні діоди

Тунельним називається НД, у якому використовується тунельний механізм перенесення носіїв заряду через *p-n*-перехід і у ВАХ якого є ділянка від’ємного диференціального опору (рис. 1.24, ділянка 1–2).

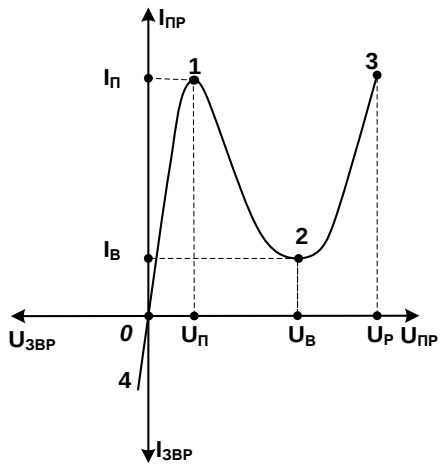


Рис. 1.24. ВАХ тунельного діода

Тунельні діоди (ТД) виготовляють з германію і арсеніду галію із високою концентрацією домішок (вироджені напівпровідники). Це дозволяє отримати дуже вузький *p-n*-перехід. На відміну від розглянутих раніше діодів у таких переходах виникають умови для вільного тунельного проходження електронів через потенційний бар'єр (тунельний ефект).

Тунельний ефект приводить до появи на прямій гілці ВАХ діода падаючої ділянки з від'ємним опором (рис. 1.24, ділянка 1–2). Оскільки тунельний струм не пов'язаний з порівняно повільними процесами дифузії і дрейфу електронів, ТД є практично безінерційними приладами. До переваг ТД належить: широкий інтервал робочих частот і температур; малу споживану потужність; високий допустимий експлуатаційний рівень радіації; використання для підсилення електричних сигналів. Недолік ТД – низький діапазон робочих напруг і струмів.

ТД знаходять застосування у перемикачах (перемикальні); підсилювачах (підсилювальні) і генераторах (генераторні) схемах.

Внаслідок того, що ТД працюють за низької робочої напруги, вони потребують високостабільних джерел напруги живлення.

Різновидом ТД є обернені діоди – ТД, у яких максимум струму на прямій гілці ВАХ або незначний або повністю відсутній. У таких діодах ппід час прямого зсуву *p-n*-переходу проходить дифузійний струм, як у звичайному діоді, а у разі зворотного – тунельний.

ВАХ оберненого діода (рис. 1.25) є оберненою ВАХ звичайного ВД. Провідність обернених діодів під час зворотної напруги вища, ніж у разі прямої (у області малих напруг: 0,3…0,5 В).

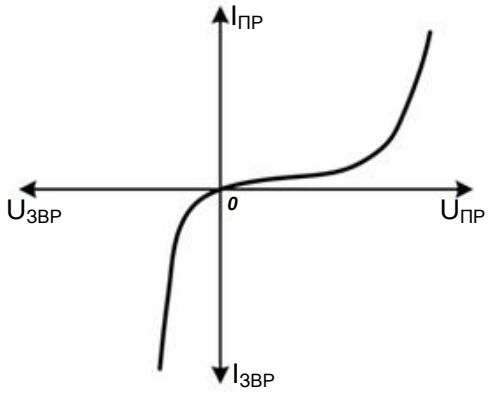


Рис. 1.25. ВАХ оберненого діода

1.3.7. Варикапи

Варикапами називають НД, робота яких заснована на використанні залежності бар'єрної ємності *p-n*-переходу від величини прикладеної зворотної напруги.

На відміну від звичайних конденсаторів змінної ємності, ємністю варикапів можна керувати дистанційно, змінюючи зворотну напругу на *p-n*-переході. Варикапи мають низьку інерційність, високу добротність, низький рівень шумів на високих частотах, малі габаритні розміри, хорошу температурну стабільність, високу надійність.

Вольт-фарадну характеристику варикапа показано на рис. 1.26.

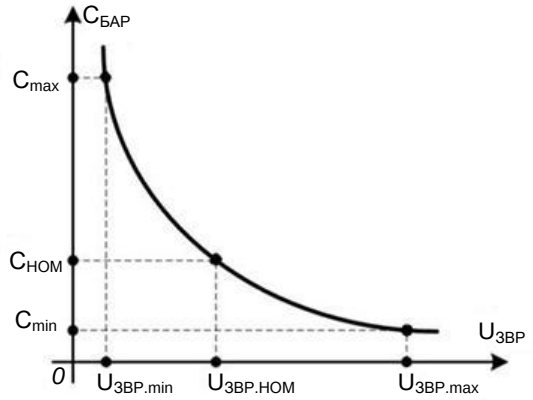


Рис. 1.26. Вольт-фарадна характеристика варикапа

Мінімальна ємність $C_{\min}$ визначається максимально допустимою зворотною напругою, яка не приводить до пробою *p-n*-переходу. Величина $C_{\max}$ залежить від заданої вихідної напруги на варикапі $U_{ЗВР.ПОЧ} = U_{ЗВР.\min}$.

1.3.8. Гетероперехід

Гетероперехід – це *p*-*n*-перехід, що створився в результаті контакту напівпровідників із різною шириною забороненої зони (на відміну від гомопереходу – створеного контактом напівпровідників з однаковою шириною забороненої зони).

Гетеропереходи застосовуються у фотоелектронних приладах (світлодіоди, фотодіоди).

1.3.9. Перехід Шотткі

Під час контакту металу з напівпровідником *n*-типу з'являється перехід Шотткі. Його особливість – відсутність неосновних носіїв заряду. Перехід Шотткі працює тільки на основних носіях (електронах). У переході Шотткі відсутня дифузійна ємність, пов'язана з накопиченням та розсмоктуванням неосновних носіїв, тому сильно зменшується час переключення. Крім того, падіння напруги на переході Шотткі значно менше, ніж на звичайному *p*-*n*-переході (0,1 В) [6].

1.3.10. Стабістори

Стабістор це НД, в якому для стабілізації напруги використовується пряма гілка вольт-амперної характеристики (тобто в області прямого зсуву напруга на стабісторі слабо залежить від струму). Відмінною особливістю стабісторів порівняно із стабілітронами є менша напруга стабілізації, яка становить приблизно 0,7 В.

1.3.11. Двоанодні стабілітрони

Порівняно зі звичайними стабілітронами двоанодні стабілітрони мають досить низьку регламентовану напругу пробою (під час зворотного включення) і можуть підтримувати цю напругу на постійному рівні у разі значної зміни величини зворотного струму.

Двоанодні стабілітрони забезпечують стабілізацію і обмеження двополярних напруг. Двоанодні стабілітрони (діоди Зенера) мають симетричну ВАХ (рис. 1.27).

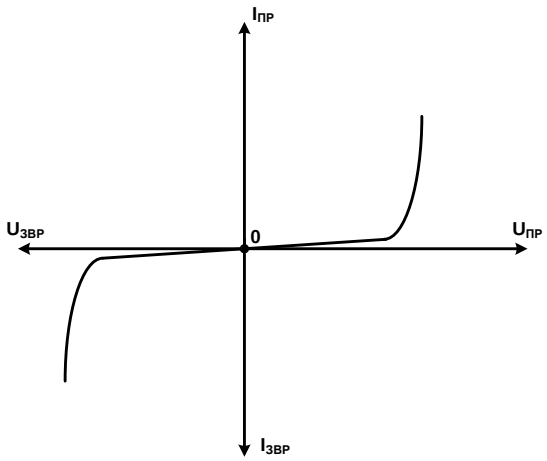


Рис. 1.27. ВАХ двоханодного стабілітрона

1.4. Біполярні транзистори

1.4.1. Загальна характеристика біполярних транзисторів

Транзистори поділяються на біполярні та польові.

Біполярний транзистор (БТ) – це напівпровідниковий пристрій, який має два *p-n*-переходи і три виводи. У перші роки після їх винаходу транзистори називали напівпровідниковими тріодами.

Транзистори призначені для підсилення та перетворення електричних сигналів.

У роботі транзистора використовуються носії заряду обох полярностей (електрони та дірки), тому вони називаються біполярними.

За матеріалом, що використовується, транзистори поділяються на:

– германієві;
– кремнієві.

Біполярний транзистор (БТ) є структурою *p-n-p*- або *n-p-n*-типу, що отримана в одному монокристалі напівпровідника (рис. 1.28).

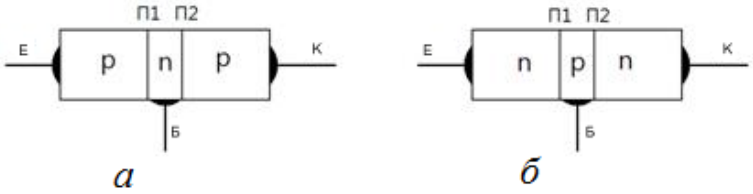


Рис. 1.28. Структура біполярного транзистора

Внутрішня область, що розділяє *p-n*-переходи, називається базою (Б). Зовнішній шар, призначений для інжектування носіїв у базу, називається

емітером (Е), а *p-n*-перехід П1, що примикає до емітера, – емітерним. Інший зовнішній шар, екстрактуючий (той, що витягує) носії із бази, називається колектором (К), а *p-n*-перехід П2 – колекторним.

Для виготовлення біполярних транзисторів переважно використовують кремній і германій, оброблені за відповідною технологією: сплавною; дифузійною; вирощеною, епітаксіальною; планарною і т. ін. Перші транзистори були точковими, але вони працювали нестійко. Зараз виготовляються і застосовуються площинні транзистори.

Умовні графічні позначення БТ на схемах електричних принципових показано на рис. 1.29.

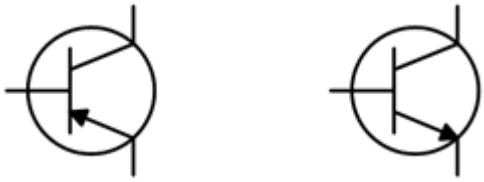


Рис. 1.29. Позначення БТ на електричних схемах

Конструкції транзисторів описано в [20; 22]. Основними особливостями конструкції БТ є те, що база створюється дуже вузькою (декілька мікрометрів); емітер містить значно більшу концентрацію домішки, ніж база; площа колекторного переходу більша, ніж емітерного.

1.4.2. Принцип роботи транзистора

БТ може працювати у декількох режимах: той, що підсилює, імпульсному, ключовому і т. ін. У режимі роботи БТ, що підсилює, його емітерний перехід зміщують у прямому, а колекторний – у зворотному напрямках (рис. 1.30, *а*).

За відсутності зовнішніх напруг ($U_{ЕБ}=U_{КБ}=0$) електричні поля *p-n*-переходів створюються лише об’ємними зарядами іонів домішок і потенційні бар’єри обох переходів ($\varphi_{K0E}=\varphi_{K0K}=\varphi_{K0}$) підтримують рівновагу у транзисторі (рис. 1.30, *б*).

Сумарні струми через *p-n*-переходи дорівнюють нулю, при цьому у бездрейфових транзисторах (найбільш поширених) концентрація домішки у базі рівномірна за всією товщиною і електричне поле у базі відсутнє. Потенціал бази постійний за всією товщиною ($\varphi_Б = const$, рис. 1.30, *б*).

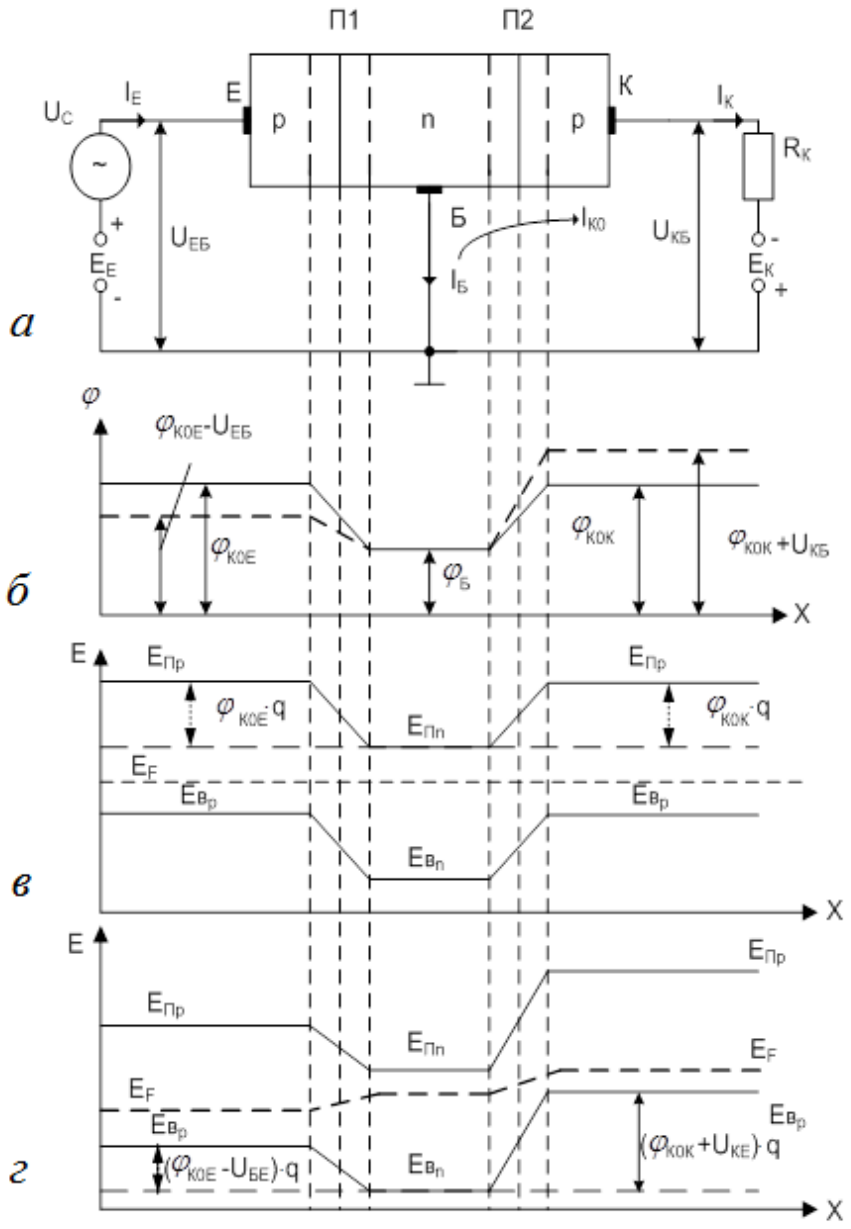


Рис. 1.30. Біполярний транзистор: *а* – схема включення;
б – розподілення потенціалу у структурі;
в, г – розташування енергетичних зон

На рис. 1.30, *в* показане розташування енергетичних зон у транзисторі за відсутності зовнішньої напруги. За наявності напруги $U_{ЕБ}$ і $U_{КБ}$, що визначаються зовнішніми джерелами E_E і E_K, відбувається перерозподіл електричних потенціалів переходів і зміна розташування енергетичних зон. Напругу $U_{ЕБ}$ прикладено до емітерного переходу у прямому напрямку, а $U_{КБ}$ до колекторного переходу – у зворотному. Опір емітерного переходу малий і для отримання нормального струму у цьому переході достатньо напруги $U_{ЕБ}$ у десяті долі вольта.

Опір колекторного переходу великий, і напруга $U_{КБ}$ складає одиниці – десятки вольт. У емітерному переході виникає явище інжекції.

Оскільки концентрація дірок у емітері значно перевищує концентрацію електронів у базі ($p_E >> n_Б$), потік дірок із емітера у базу значно перевершує потік електронів у зворотному напрямку.

У загальному випадку через емітерний перехід проходить струм $I_E = I_{Ep} + I_{En}$, де I_{Ep}, I_{En} – відповідно діркова і електронна складові.

Чим менше I_{En}, тим ефективніше робота транзистора. Тому введений коефіцієнт γ, що оцінює ефективність емітера становить:

$$\gamma = \frac{I_{Ep}}{I_E} = \frac{I_{Ep}}{I_{Ep} + I_{En}} = \frac{1}{1 + \frac{I_{En}}{I_{Ep}}} \approx 0.999 .$$

В ідеальному транзисторі $I_{En} = 0$, $\gamma = 1$. Інжектовані дірки проникають у глибину бази. Залежно від механізму проходження носіїв заряду через область бази розрізняють бездрейфові і дрейфові транзистори [6; 20]. Не зважаючи на цю відмінність, дірки, потрапивши у базу, для якої вони є неосновними носіями, починають рекомбінувати із електронами бази. Цей процес викликає додаткове прибуття електронів від зовнішнього джерела у базову область, тобто з'являється базовий струм $I_Б$.

Процес рекомбінації відбувається не миттєво і пов'язаний із часом життя неосновних носіїв (час, протягом якого концентрація неосновних носіїв зменшується в *e* разів). Товщина бази дуже мала (одиниці мікрон).

Тому середній час пробігу неосновних носіїв заряду через базу значно менше часу їх життя, тобто велика частка дірок доходить до колекторного переходу. Для оцінювання описаного процесу введений коефіцієнт перенесення носіїв у базі (у нашому випадку дірок): $\beta_p = \frac{I_{Бp}}{I_{Ep}}$, де $I_{Бp}$ – діркова складова струму бази, яка визначається кількістю дірок, що дійшли до колекторного переходу ($I_{Бp} < I_{Ep}$, $\beta < 1$).

У колекторному переході, включеному у зворотному напрямку, відбувається явище екстракції. Площа цього переходу значно більша площі емітерного, тому майже всі дірки виводяться в область колектора. З'являється струм колектора I_K. У загальному випадку струм колектора складається із двох складових $I_K = I_{Kp} + I_{K0}$, де I_{Kp} – струм, що проходить у ланцюзі колектора за рахунок описаних раніше процесів; I_{K0} – зворотний струм насичення зворотно включеного колекторного переходу. Одним із

основних параметрів транзистора є коефіцієнт передачі струму емітера: $\alpha = \frac{I_K}{I_E}$. Оскільки I_{K0} дуже малий, зазвичай записують:

$\alpha = \frac{I_{Kp}}{I_E}$ (α = (0,95…0,99); $I_Б$ = (0,05…0,01) $\cdot I_E$; I_K = (0,95…0,99) $\cdot I_E$).

Повний струм колектора $I_K = \alpha \cdot I_E + I_{K0}$. Оскільки $I_{K0} \approx 0$, переважно вважають, що $I_K = \alpha \cdot I_E$. Струм бази $I_Б = I_E - I_K = I_E(1-\alpha) - I_{K0}$. Якщо $I_E = 0$, $I_Б = -I_{K0}$.

Таким чином, у транзисторі, включеному як показано на рис. 1.30, через емітерний перехід проходить вхідний струм I_E – який керує, а через колекторний перехід – вихідний струм I_K, яким керують. Інакше кажучи, транзистор – прилад, у якого вхідний струм керує вихідним.

Оскільки емітерний *p-n*-перехід включений у прямому напрямку, а колекторний – у зворотному, вхідна напруга впливає на колекторний струм значно сильніше, ніж вихідна. На цій властивості і заснована підсилююча дія транзистора. Якщо напруга, а отже, і струм у ланцюзі емітера змінювати у часі за законом джерела змінного сигналу U_C (рис. 1.30, а), то за цим же законом змінюватиметься струм I_K, а отже і напруга на опорі навантаження R_K. За відсутності підсилення за струмом ($I_K < I_E$ на величину струму бази) розглянута схема підсилює напругу (вхідний опір малий, вихідний – великий, а струми $I_K \approx I_E$, оскільки $I_Б \approx 0$).

Зв'язок між змінними складовими струмів і напруг виражається очевидними співвідношеннями $U_{BX} = I_E R_{BX}$; $U_{BИX} = I_K R_K = \alpha I_E R_E$ (R_{BX} – вхідний опір змінного струму – складає десятки Ом; R_K – опір навантаження транзистора – складає тисячі Ом; $R_K >> R_{BX}$, тому $U_{BИX} >> U_{BX}$).

Транзистор – активний елемент (АЕ), що **має здатність підсилювати потужність електричного сигналу за рахунок споживання енергії зовнішніх джерел живлення.** Змінюючи струм у вхідному ланцюзі за певним законом, можна отримати підсилений сигнал на виході тієї ж форми.

Як приклад, розглянутий принцип роботи транзистора *p-n-p*-типу. Всі описані процеси, співвідношення і параметри характерні і для транзистора *n-p-n*-типу. Відмінність полягає у тому, що змінюється полярність підключення зовнішніх джерел живлення і з емітера інжектуються у базу, а потім виводяться в колектор не дірки, а електрони. Сьогодні частіше використовуються саме транзистори *n-p-n*-типу.

1.4.3. Схеми включення біполярних транзисторів

У електричний ланцюг транзистор включають таким чином, що один із його електродів є вхідним, в іншій – вихідним. Третій електрод – спільний щодо входу і виходу. У ланцюг вхідного електрода включають джерело вхідного змінного сигналу, а в ланцюг вихідного – опір навантаження. Залежно від того, який електрод є спільним, розрізняють три схеми включення транзисторів: із спільною базою (СБ), із спільним емітером (СЕ) і із спільним колектором (СК). Ці схеми для транзистора *p-n-p*-типу показано на рис. 1.31.

Для транзистора *n-p-n*-типу у схемах включення змінюються лише полярність напруг живлення і напрямки струмів.

Слід пам’ятати, що у підсилювальному режимі роботи транзистора його емітерний перехід включений у прямому напрямку, а колекторний – у зворотному незалежно від схеми включення.

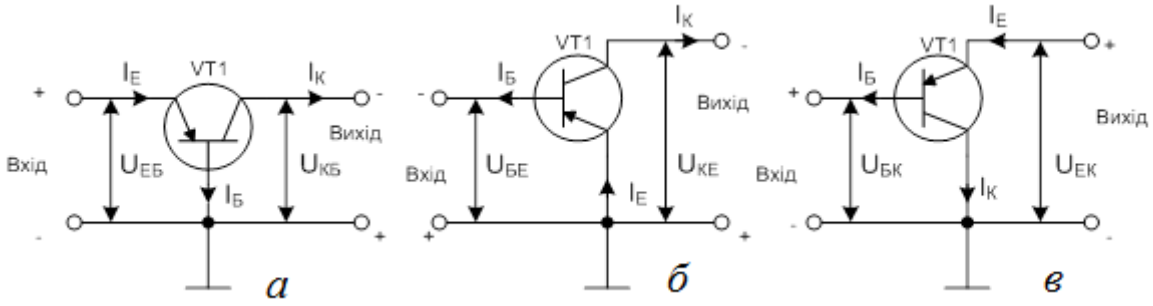


Рис. 1.31. Схема включення БТ: *а* – СБ; *б* – СЕ; *в* – СК

Найбільш поширеною є схема включення із СЕ (рис. 1.31, *б*), що має найбільше підсилення потужності.

1.4.4. Статичні вольт-амперні характеристики транзистора

Кожна схема включення характеризується чотирма сім’ями ВАХ: *а* – вихідними; *б* – вхідними; *в* – характеристиками передачі за струмом; *г* – характеристиками зворотного зв’язку (ЗЗ) за напругою. Перші дві з них є основними.

На рис. 1.32, рис. 1.33 показані вхідні і вихідні статичні вольт-амперні характеристики схем із СБ і СЕ транзистора *n-p-n*-типу.

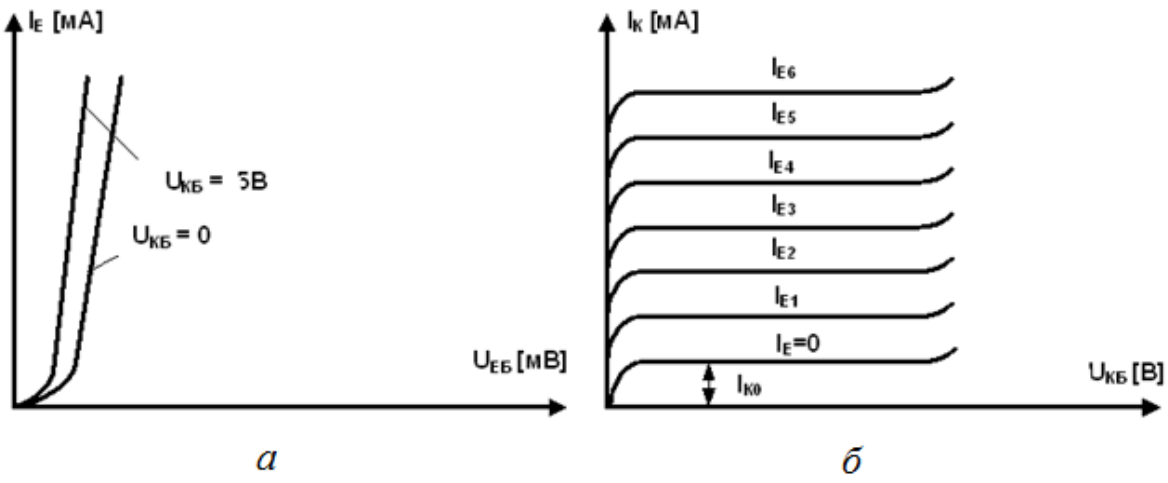


Рис. 1.32. Статичні ВАХ схеми із СБ: *а* – вхідні; *б* – вихідні

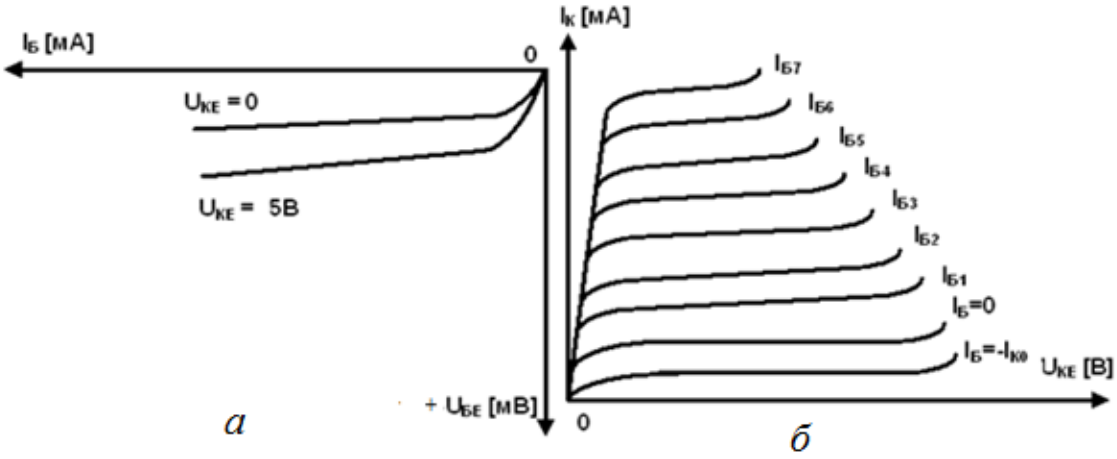


Рис. 1.33. Статичні ВАХ схеми із СЕ: *а* – вхідні; *б* – вихідні

1.4.5. Робота транзистора з навантаженням

Статичні ВАХ (рис. 1.32, рис. 1.33) знімаються за відсутності опору навантаження у вихідному ланцюзі.

У практичних випадках вихідний ланцюг містить опір навантаження R_K (для схеми із СЕ). У цьому разі мають на увазі динамічний режим роботи транзистора. Розглянемо динаміку роботи транзистора *n-p-n*-типу на прикладі схеми із СЕ (рис. 1.34, *а*).

У динамічному режимі зміни колекторного струму за $E_K = const$ і $R_K = const$ залежать не лише від зміни базового струму, але і від зміни напруги на колекторі ($I_K = f(I_Б, U_{KE})$). Рівняння динаміки при цьому має вигляд

$$U_K = E_K - I_K \cdot R_K \,. \qquad (1.1)$$

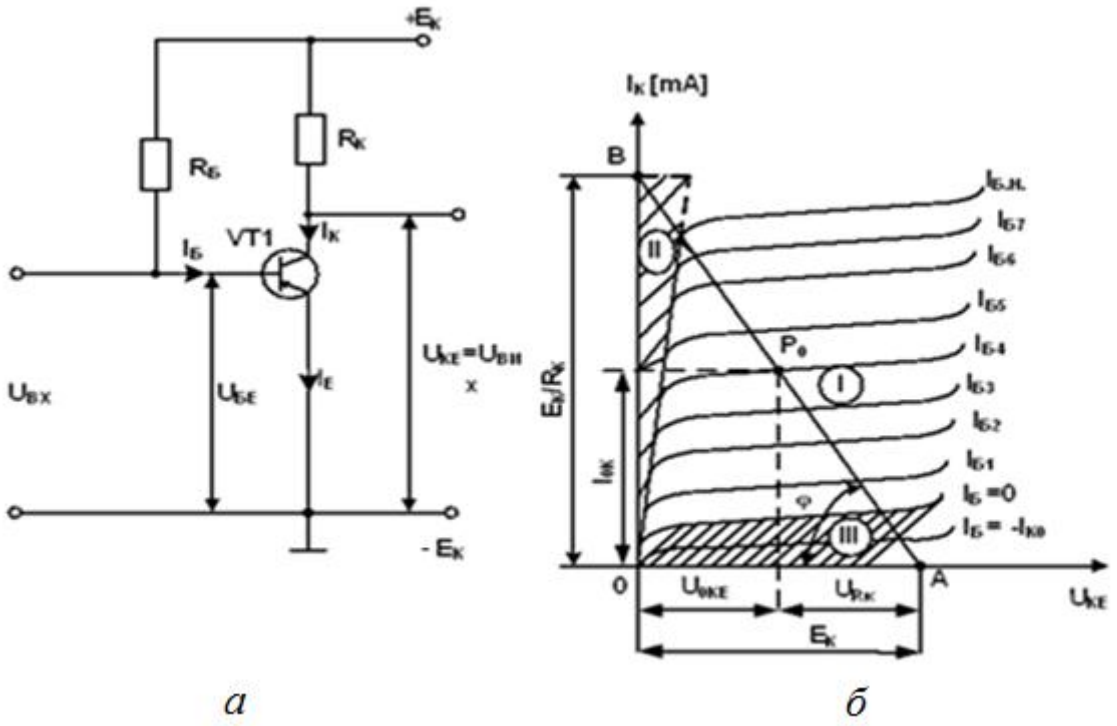


Рис. 1.34. БТ із СЕ: *а* – електрична схема включення; *б* – вихідні статичні ВАХ та динамічна характеристика

Напруга U_{KE}, у свою чергу, визначається змінами як базового, так і колекторного струмів, тобто у динаміці одночасно змінюються всі струми і напруги у транзисторі ($I_Б \uparrow I_K \uparrow U_{KE} \downarrow I_K \downarrow$).

Такий режим роботи називається динамічним, а характеристика, що визначає зв'язок між струмами і напругами транзистора за наявності опору навантаження R_K, – динамічною характеристикою. Ця характеристика будується на сім'ях статичних ВАХ за заданих значень E_K і R_K (рис. 1.34, *б*).

Для побудови динамічної вихідної характеристики схеми із СЕ використане рівняння динамічного режиму (1.1), яке є рівнянням прямої лінії. Це очевидно, якщо представити (1.1) у вигляді

$$I_K = \frac{E_K}{R_K} - \frac{U_{KE}}{R_K} \,,$$

де $U_{KE} = E_K$, за $I_K = 0$ – точка *A* (рис. 1.34, *б*);

$I_K = \dfrac{E_K}{R_K}$, за $U_{KE} = 0$ – точка *B*;

$$\varphi = arctg\left(\frac{1}{R_K}\right)$$ – кут нахилу прямої до осі абсцис.

Точка перетину динамічної характеристики (прямої навантаження) з однією із статичних ВАХ називається робочою точкою транзистора (P). Змінюючи $I_Б$, можна переміщати робочу точку по прямій навантаження. Початкове положення робочої точки за відсутності вхідного змінного сигналу називають точкою спокою P_C (P_0).

1.4.6. Режими роботи транзистора

Залежно від положення робочої точки, є три основні режими роботи транзистора: активний (лінійний, підсилюючий), насичення і відсічення. Поняття режиму пов'язане із наявністю трьох областей у транзистора: активної, насичення і відсічення.

На рис. 1.35 наведено три області транзистора, відповідно I, II і III.

Область відсічення обмежена зверху ВАХ, що відповідає $I_Б = -I_{K0}$ (обидва *p-n*-переходи транзистора закриті). Область насичення обмежена справа прямою лінією, з якої виходять статичні ВАХ (обидва *p-n*-переходи транзистора відкриті). Активна область лежить між областями відсічення і насичення (емітерний перехід відкритий, а колекторний – закритий).

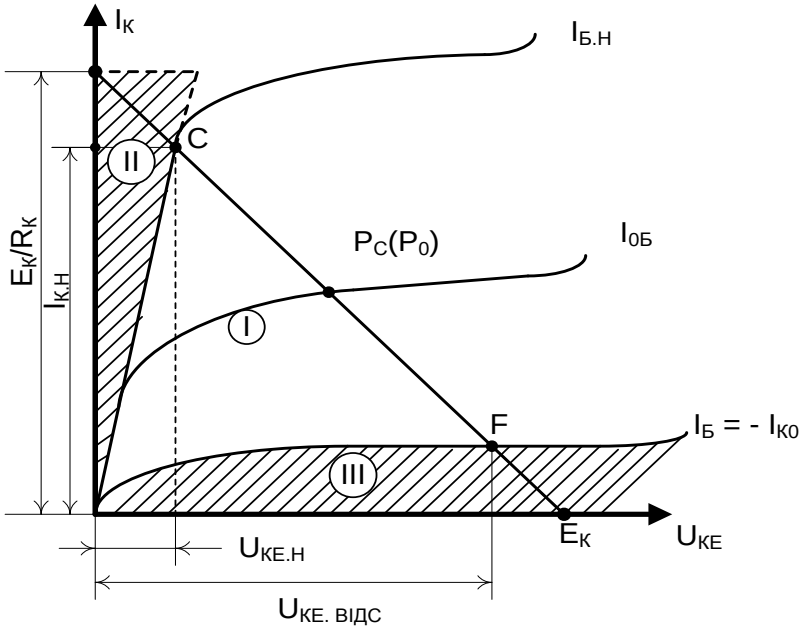


Рис. 1.35. Режими (області) роботи транзистора

У активному режимі точка спокою P_C транзистора знаходиться приблизно посередині ділянки прямої навантаження CF (рис. 1.35), а робоча точка не виходить за межі ділянки CF. У режимі насичення робоча точка знаходиться в області насичення, а у режимі відсічення – відповідно у області відсічення.

Активний режим є основним. Він використовується у більшості підсилювачів, генераторів і т. ін. Режими відсічення та насичення характерні для імпульсної роботи транзистора і використовуються в імпульсних пристроях.

Властивості транзисторів істотно залежать від температури. Підвищення температури насамперед збільшує зворотний струм насичення колекторного переходу (початковий струм колектора).

Це приводить до зміни характеристик транзистора. Тому схеми на транзисторах містять елементи температурної стабілізації [6; 20]. Під час конструктивного виконання транзисторних схем (особливо потужних) необхідно передбачити заходи щодо відведення теплоти від транзистора.

1.4.7. Складений транзистор

Схему складеного транзистора наведено на рис. 1.36. У цій схемі емітерний струм першого транзистора є базовим струмом другого транзистора. Коефіцієнт підсиленням струму у складеного транзистора β дорівнює добутку коефіцієнтів підсилення струму кожного із двох транзисторів: $\beta = \beta_1 \cdot \beta_2$ і може досягати декількох тисяч.

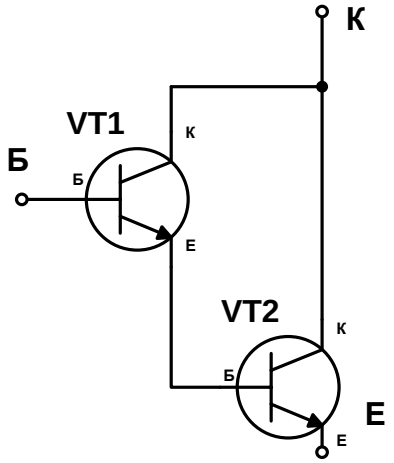


Рис. 1.36. Схема складеного транзистора

VT2 обирають більш потужним, ніж VT1, тому що його номінальний вхідний струм більше або дорівнює номінальному вихідному струму VT1.

Складений транзистор використовують із метою збільшення $K_{ПДС}$ за струмом та напругою, а також для збільшення вхідного та зменшення вихідного опору каскаду, що підсилює.

1.5. Польові транзистори

1.5.1. Загальна характеристика польових транзисторів

Польовим транзистором (ПТ) називають електроперетворювальний триелектродний напівпровідниковий прилад, у якому електричний струм створюють основні носії заряду під дією повздовжнього електричного поля, а керування величиною струму здійснюється поперечним електричним полем, яке створюється напругою на електроді, що керує. ПТ – уніполярні напівпровідникові прилади, оскільки їх робота заснована на дрейфі носіїв заряду одного знаку у повздовжньому електричному полі через канал *n*- або *p*-типу, який керується. Керування величиною струму через канал здійснюється поперечним електричним полем, а не струмом, як у біполярних транзисторах. Для виготовлення ПТ переважно використовується кремній (Si), що має значно менший зворотний струм насичення, чим германій. На рис. 1.37 зображені умовні графічні позначення ПТ на електричних принципових схемах. Конструкції ПТ наведено у [20; 22], а їх маркування аналогічне маркуванню біполярних транзисторів, за винятком того, що другий елемент маркування має букву П – польовий.

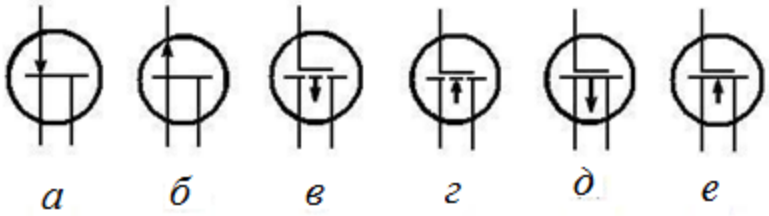


Рис. 1.37. Позначення ПТ на електричних принципових схемах: *а, б* – з *p-n*-переходами; *в, г, д, е* – МОН-типу

Принцип дії ПТ заснований на тому, що зміна напруженості поперечного електричного поля змінює провідність каналу, по якому проходить струм вихідного ланцюга.

У електронних пристроях застосовуються два різновиди ПТ:

– із затвором у вигляді *p-n*-переходу;
– з ізольованим затвором (МДН- або МОН-транзистори).

Залежно від провідності каналу польові транзистори поділяються на ПТ із каналом *p*- або *n*-типу. Канал *p*-типу має діркову провідність, а *n*-типу – електронну.

1.5.2. Польові транзистори із затвором у вигляді *p-n*-переходу

На рис. 1.38 зображені структура і схема включення ПТ із затвором у вигляді *p-n*-переходу і каналом *n*-типу. Прилад складається із пластини кремнію із провідністю *n*-типу, що є каналом, до торців якої під'єднані два металеві контакти, які звуться витоком (В) і стоком (С). Між стоком і витоком підключено джерело живлення E_{CB} і опір навантаження R_C.

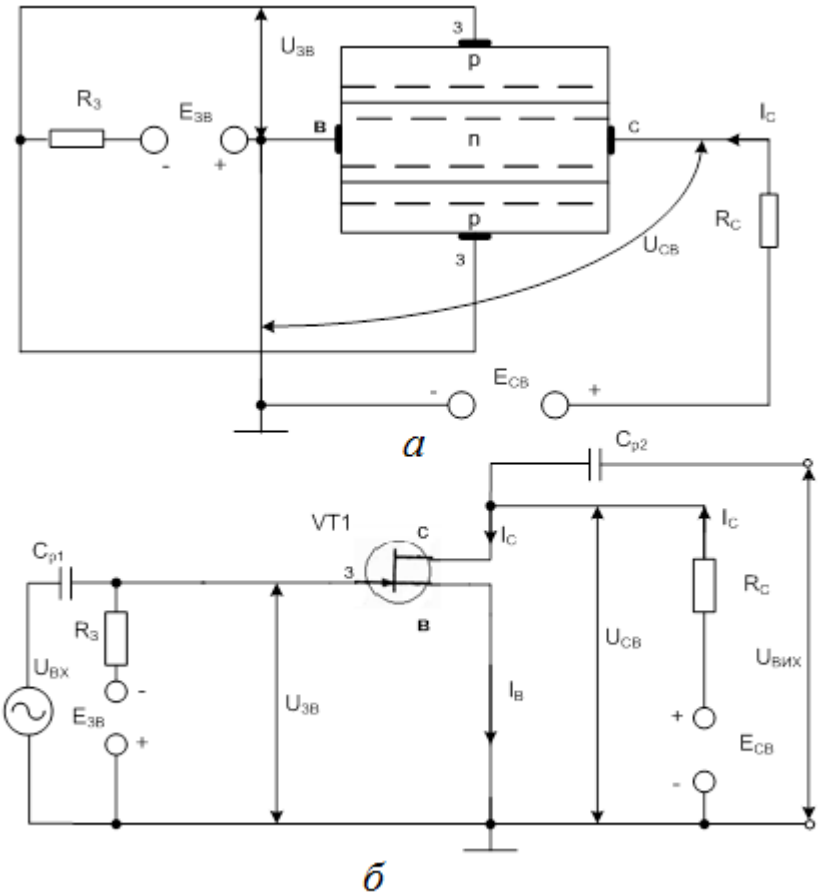


Рис. 1.38. ПТ із затвором у вигляді *p-n*-переходу: *а* – спрощена структура; *б* – схема включення

Напруга E_{CB} прикладається такої полярності, щоб струм основних носіїв (у каналі *n*-типу – електрони) проходив від витоку до стоку.

У протилежні верхню і нижню грані пластини початкового напівпровідника введені акцепторні домішки, що перетворили її поверхневі

шари в області напівпровідника *p*-типу. Ці області з'єднанні разом і утворюють єдиний електрод, який зветься затвором (З). Між каналом і затвором утворюються два *p*-*n*-переходи. На затвор подається напруга $U_{ЗВ}$, полярність якої збігається із провідністю каналу (у нашому випадку від'ємної полярності).

Робота ПТ (рис. 1.38, *а*) заснована на зміні провідності каналу під дією від'ємної напруги на затворі. Під час збільшення модуля цієї напруги *p*-*n*-переходи зміщуються у зворотному напрямку, ширина шарів, збіднених носіями заряду, збільшується, *p*-*n*-переходи розширюються.

Концентрація домішки у затворі набагато більша, ніж у каналі, тобто затвор більш низькоомний, ніж канал.

Тому розширення *p*-*n*-переходів під час подачі зворотної напруги відбувається, переважно, за рахунок каналу. Провідність каналу прямо пропорційна ефективній площі його поперечного перетину.

Під час розширення *p*-*n*-переходів (збільшенні зворотної для *p*-*n*-переходу напруги на затворі, що закриває ПТ), ефективна площа поперечного перетину зменшується, провідність каналу також зменшується. Ці процеси ілюструє стоко-затворна (вхідна) характеристика ПТ із каналом *n*-типу (рис. 1.39, *а*).

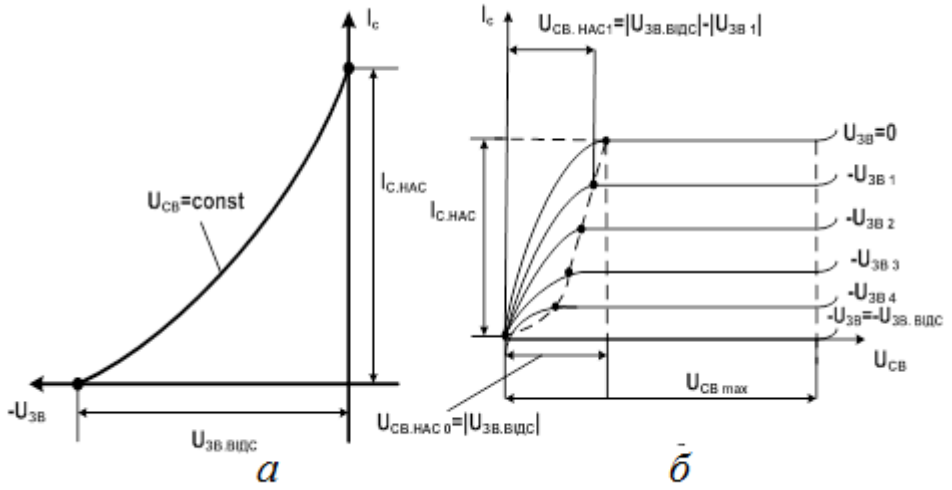


Рис. 1.39. Статичні ВАХ ПТ із затвором у вигляді *p*-*n*-переходу і каналом *n*-типу: *а* – вхідна ВАХ; *б* – вихідні ВАХ

На рис. 1.39, *б* наведені стокові (вихідні) характеристики ПТ із каналом *n*-типу. Стокові характеристики мають яскраво виражену ділянку насичення. Це пояснюється тим, що у процесі проходження струму у каналі, який спочатку зростає у разі збільшення E_{CB}, збільшується падіння напруги у каналі. Це падіння в області стоку має додатний знак, тому зміщує *p-n*-переходи у зворотному напрямку. Перетин каналу починає зменшуватися. Відбувається перекриття каналу (спочатку в області стоку, а потім воно розповсюджується углиб до витоку). Це приводить до того, що величина струму I_C практично не змінюється зі збільшенням U_{CB}. Межею області насичення є (рис. 1.39, *б*) $U_{CB.HAC0} = |U_{ЗВ.ВІДС}|$, $I_C = I_{C.HAC}$, за $U_{ЗВ} = 0$; $U_{CB.HAC} = |U_{ЗВ.ВІДС}|$. Струм $I_{C.HAC}$ – зменшується за $|U_{ЗВ}| > 0$.

У робочому режимі використовуються пологі ділянки вихідних характеристик ПТ. Під час великої напруги на стоці може відбутися пробій структури ПТ. Тому у робочому режимі перевищення максимальної напруги $U_{CB.\max}$ неприпустимо.

1.5.3. Польові транзистори з ізольованим затвором

Характерна відмінність ПТ із ізольованим затвором, які називають також МДН (метал–діелектрик–напівпровідник) або МОН (метал–окисел–напівпровідник) транзистори, полягає у тому, що у них між металевим затвором і областю напівпровідника знаходиться шар діелектрика, в якості якого часто використовують окисли.

Є два різновиди МДН (МОН) ПТ: із каналом, що вбудований, і каналом, що індукується.

Метал–окисел–напівпровідник (МОН) ПТ із вбудованим каналом. Спрощену структуру МДН ПТ із каналом *n*-типу, що вбудований, показано на рис. 1.40. Вона містить підкладку (слаболеговану домішкою кремнієву пластинку із провідністю *p*-типу). У верхній частині підкладки створюється слаболегований тонкий поверхневий шар, провідність якого протилежна провідності підкладки. Цей шар виконує функцію каналу.

У процесі окислення на поверхні пластини над каналом утворюється тонкий (0,2...0,3 мкм) шар діелектрика (двоокису кремнію SiO_2).

Через виконані у діелектрику отвори у тілі підкладки створюються дві сильнолеговані області: n^+, тип провідності яких збігається із типом провідності каналу. Ці області забезпечуються зовнішніми виводами і

виконують функції витоку (В) і стоку (С). Над шаром двоокису кремнію між витоком і стоком наносять металевий шар, до якого підключається вивід, який використовується як затвор. Підкладка у робочому режимі має вивід, який зазвичай з'єднується із витоком.

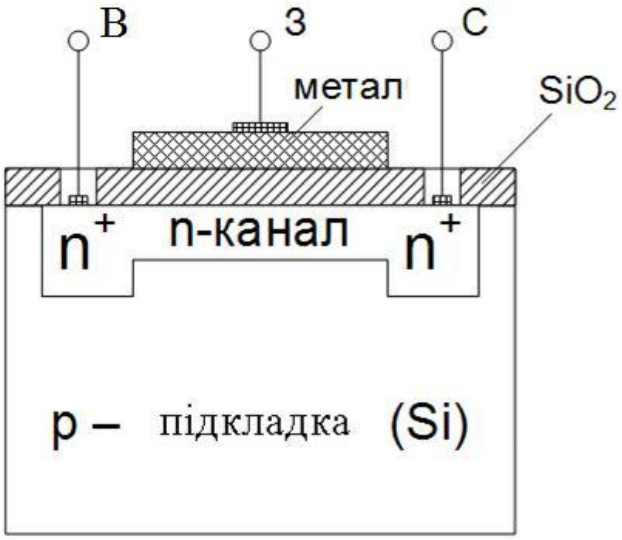


Рис. 1.40. Спрощена структура МДН ПТ із каналом *n*-типу, що вбудований

Наявність шару діелектрика дозволяє у МОН (МДН) ПТ із каналом, що вбудований, подавати на затвор напругу, що керує, обох полярностей. Під час подачі на затвор МОН ПТ із *n*-каналом додатної напруги електричним полем, яке при цьому створюється, дірки із каналу виштовхуватимуться у підкладку, а електрони будуть витягуватися із підкладки у канал. Канал збагачується основними носіями заряду – електронами, його провідність збільшується. Цей режим називається режимом збагачення (рис. 1.41, *а*).

При подачі на затвор МОН ПТ з *n*-каналом від'ємної напруги електрони із каналу виштовхуються у підкладку, а дірки витягуються із підкладки у канал. Канал збіднюється основними носіями заряду і його провідність зменшується. Такий режим називається режимом збіднення (рис. 1.41, *а*).

Метал–діелектрик–напівпровідник (МДН) польовий транзистор із каналом, що індукується. У МОН ПТ із каналом, що індукується на відміну від ПТ попереднього типу канал між областями витоку і стоку під час виготовлення транзистора технологічно не створюється (відсутній) (рис. 1.42).

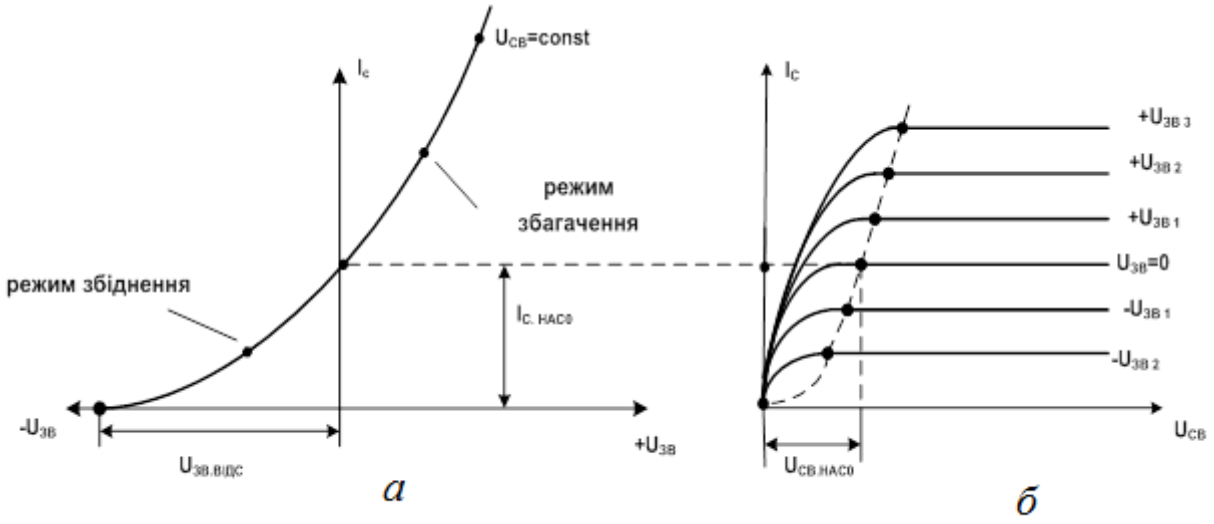


Рис. 1.41. Статичні ВАХ ПТ МОН-типу із *n*-каналом, що вбудований: *а* – вхідна; *б* – вихідні

Канал *n*-типу індукується за рахунок явища інверсії, яке виникає у системі метал–діелектрик–напівпровідник. Під час подачі на затвор напруги додатної полярності індукується канал *n*-типу, від'ємної полярності – *p*-типу.

Тому МОН ПТ із каналом, що індукується, керується напругою затвору лише одного знаку. На рис. 1.42 показана структура МОН ПТ із каналом, що індукується *n*-типу, який керується додатною напругою на затворі. На рис. 1.43 зображені стоко-затворна і стокові характеристики такого транзистора.

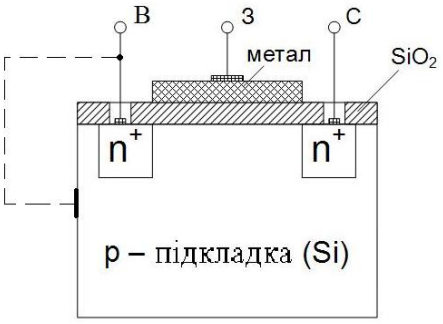


Рис. 1.42. Спрощена структура МДН ПТ із каналом *n*-типу, що індукується

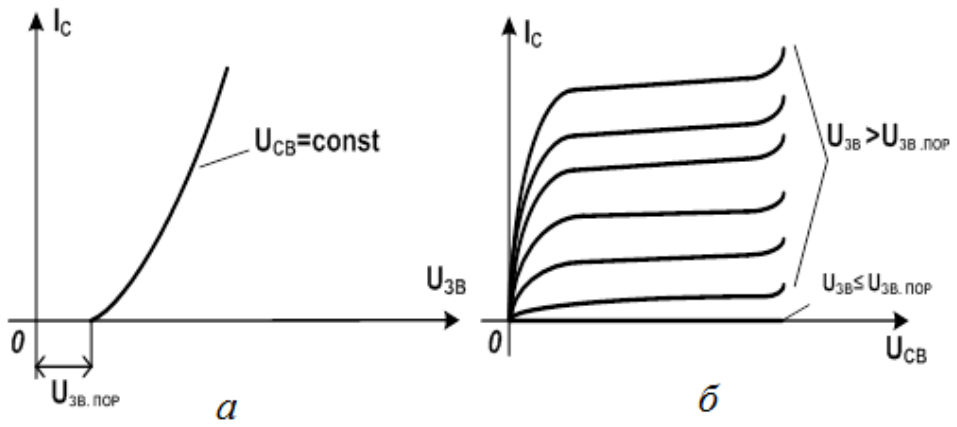


Рис. 1.43. Статичні ВАХ МОН ПТ із *n*-каналом, що індукується:
а – вхідні; *б* – вихідні

Основні параметри ПТ: крутизна стоко-затворної характеристики, $mA/B: S \approx \frac{\Delta I_C}{\Delta U_{ЗВ}}$ за $U_{CB} = const$ – характеризує підсилювальні властивості ПТ; внутрішній (вихідний) опір: $R_i = \frac{\Delta U_{CB}}{\Delta I_C}$, за $U_{ЗВ} = const$ (на робочій (лінійній) ділянці вихідних характеристик складає сотні кілоом); вхідний опір R_{BX} (диференціальний опір *p-n*-переходів, які зміщені зворотно), складає одиниці – десятки мегаом для ПТ із *p-n*-переходами і сотні – тисячі мегаом для МОН ПТ; ємності ПТ: $C_{ЗВ}$ – вхідна (складає одиниці пікофарад); $C_{ЗС}$ – прохідна (має менше значення, чим $C_{ЗВ}$); $C_{СВ}$ – вихідна (найменша із ємностей ПТ за величиною). Наявність ємностей впливає на частотні властивості ПТ.

Подібно до біполярних транзисторів ПТ можна включати у електричний ланцюг за однією з трьох схем: СВ – спільним витоком; СЗ – спільним затвором і СС – спільним стоком. Найчастіше застосовується схема включення ПТ із спільним витоком (рис. 1.38, *б*).

1.5.4. Основні властивості та застосування польових транзисторів

Основні властивості ПТ: низький рівень власних шумів (уніполярні – відсутній рекомбінаційний флуктуаційний шум, характерний для біполярних транзисторів); високий вхідний опір (у МОН ПТ складає тисячі мегаом); висока економічність (керуються не струмом, як БТ, а напругою (електричним полем)) висока стійкість до дії іонізуючого випромінювання і висока радіаційна стійкість; можливість використання МОН ПТ для побудови високоекономічних ІС із великим ступенем інтеграції; деяка залежність параметрів від температури (проте менша, ніж у БТ); МОН ПТ виходять із

ладу у разі випадкового виникнення на затворі статичних електричних зарядів.

ПТ знаходять застосування як підсилювальні елементи електронних пристроїв, вхідний сигнал яких має великий внутрішній опір; у пристроях, які переключаються; у напівпровідникових пристроях, що запам'ятовують, і т. ін. Завдяки відносній простоті виготовлення, малим розмірам і невеликій потужності, що споживається, на МДН-транзисторах можна створювати дешеві ІС із високим ступенем інтеграції і малим енергоспоживанням.

1.6. Тиристори

1.6.1. Загальна характеристика тиристорів

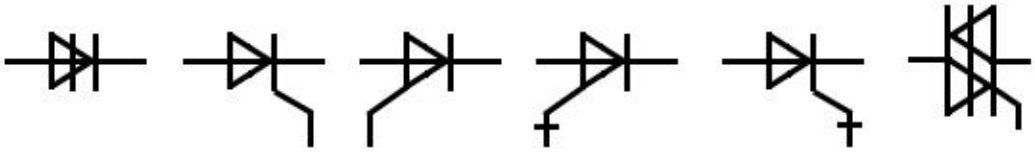
Тиристором називається електроперетворюючий напівпровідниковий прилад, що містить три і більш *p-n*-переходи, вольт-амперна характеристика якого має ділянку від'ємного диференціального опору. Якщо такий прилад включити у електричний ланцюг змінного струму, то він відкривається (включається), пропускаючи струм до навантаження, коли миттєве значення напруги на ньому досягає визначеного рівня або під час подачі відкриваючої напруги на спеціальний керуючий електрод.

Тиристори є ключовими елементами і тривалий час можуть перебувати в одному з двох стійких станів: увімкненому і вимкненому.

За кількістю зовнішніх електродів вони поділяються на двоелектродні (некеровані) – діодні тиристори (диністори) і триелектродні (керовані) – тріодні тиристори (триністори).

На рис. 1.44 наведені позначення тиристорів на електричних схемах:

- некерований тиристор (диністор), рис. 1.44, *а*;
- керований тиристор, який не запирається, рис. 1.44, *б, в*;
- керований тиристор, який запирається, рис. 1.44, *г, д*;
- симетричний тиристор (симістер), рис. 1.44, *е*.



а *б* *в* *г* *д* *е*

Рис. 1.44. Позначення тиристорів на електричних схемах

Маркування тиристорів аналогічне тому, яке вживається для НД і транзисторів. Відмінність у тому, що другий елемент позначення має букву Т з цифрою, яка вказує на тип тиристора.

1.6.2. Некерований тиристор (диністор)

Найпростіший тиристор–диністор є чотиришаровим напівпровідниковим приладом, що складається із чотирьох областей із провідністю *p*- і *n*-типу, які послідовно чергуються (рис. 1.45).

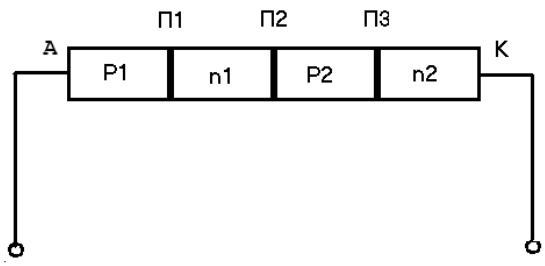


Рис. 1.45. Структура диністора

Крайні області *p*1 і *n*2 називаються емітерами, а середні *n*1 і *p*2 – базами, *p*-*n*-переходи П1 і П3 – емітерні, а П2 – колекторний. До областей *p*1 і *n*2 підводяться металеві контакти А і К, які називають анодом і катодом.

Для пояснення принципу дії диністора скористаємося його схемою включення у електричний ланцюг (рис. 1.46) і ВАХ (рис. 1.47).

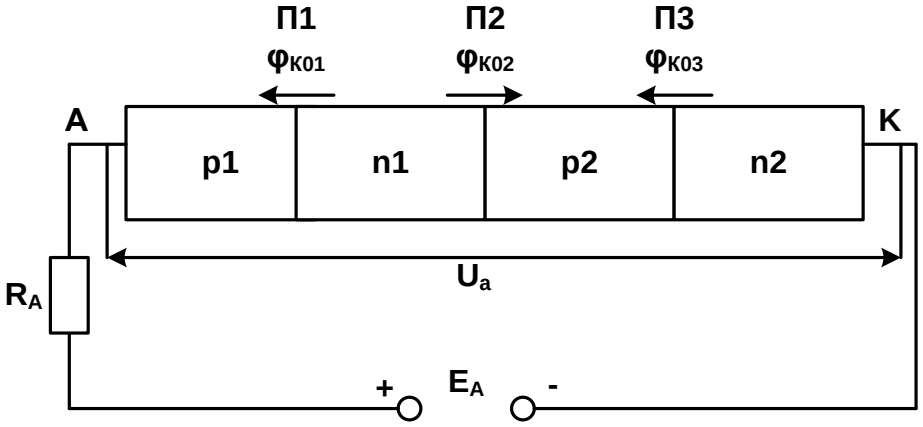


Рис. 1.46. Схема включення диністора у електричний ланцюг

Під час відсутності зовнішньої напруги (E_A = 0) у *p*-*n*-переходах диністора виникають потенційні бар'єри $\Delta\varphi_{K01}$, $\Delta\varphi_{K02}$, $\Delta\varphi_{K03}$ (рис. 1.46). Структура перебуває у стані термодинамічної рівноваги. Струми, що

проходять у ній, врівноважують один одного і сумарний струм дорівнює нулю.

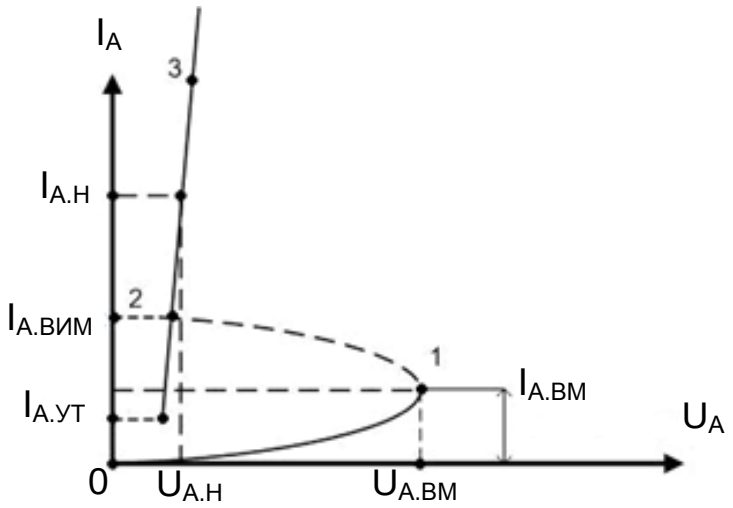


Рис. 1.47. ВАХ диністора

Якщо до диністора прикласти пряму напругу $U_{А.ПР} < U_{А.ВМ}$ (рис. 1.47) полярності, що вказана на рис. 1.46, то переходи П1 і П3 зміщуються у прямому, а П2 – у зворотному напрямку. Висота потенційних бар'єрів П1 і П3 зменшується. Дірки інжектуються із емітера *p*1 у базу *n*1, а електрони – з емітера *n*2 у базу *p*2. Полем зворотно зміщеного переходу П2 дірки з бази *n*1 виводяться у базу *p*2, а електрони – з бази *p*2 у базу *n*1 (явище екстракції). Поява у базах *n*1 і *p*2 додаткових основних носіїв зарядів ще більше зменшує висоту потенційних бар'єрів переходів П1 і П3. Це викликає додаткову інжекцію дірок і електронів через переходи П1 і П3. Далі описані процеси повторюються. Зі збільшенням прямої напруги $U_{А.ПР}$ відбувається поступове насичення баз *n*1 і *p*2 основними носіями зарядів і зменшення їх опору. Під час визначеного значення $U_{А.ПР} \geq U_{А.ВМ}$ описаний процес приймає лавиноподібний характер (у структурі діє внутрішній додатний зворотній зв'язок (ДЗЗ)). Різко зменшуються опори областей *p*2, *n*1 і відкривається перехід П2. Струм $I_А$ збільшується, а напруга $U_А$ зменшується. У ВАХ з'являється ділянка від'ємного диференціального опору – ділянка 1–2 (рис. 1.47). Диністор відкривається – переходить із закритого стану (ділянка 0–1) у відкритий (ділянка 2–3). Закритому стану відповідає високий диференціальний опір, а відкритому – малий. Умова вмикання диністора:

$$U_{А.ПР} > U_{А.ВМ},$$
$$I_А > I_{А.ВИМ},$$

де $I_{А.ВИМ}$ – струм вимикання – мінімальний прямий струм, що підтримує тиристор у ввімкнутому стані (процес вмикання).

Для відкритого стану диністора струм $I_А$ визначається значенням резистора $R_А$, тому що опір тиристора дуже малий; при цьому майже вся напруга $E_А$ падає на $R_А$.

Для вимикання діодного тиристора необхідно зменшити прямий струм до значення:

$$I_А < I_{А.УТ},$$

де $I_{А.УТ}$ – струм утримання – мінімальний прямий струм, за якого тиристор ще залишається у ввімкнутому стані (процес вимикання), чи подати на прилад напругу іншої полярності.

1.6.3. Керований тиристор (триністор)

На відміну від діодного тиристора (диністора), тріодний тиристор містить додатковий електрод, який називають керувальним (КЕ) (рис. 1.48, *а*).

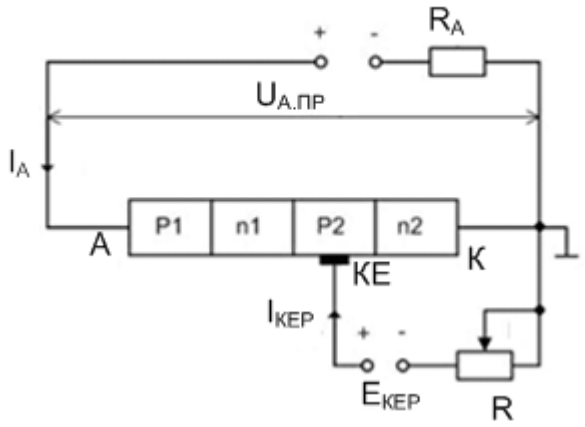
Від додаткового зовнішнього джерела $E_{КЕР}$ за рахунок струму керування $I_{КЕР}$ через КЕ у базу *p*2 вводиться додаткова кількість основних носіїв – дірок. Це дозволяє увімкнути тріодний тиристор за меншого значення $U_{А.ВМ}$, ніж диністор. Із збільшенням струму керування $U_{А.ВМ}$ зменшується. За $I_{КЕР} = I_{КЕР.С}$ (струм спрямлення) відбувається спрямлення ВАХ тріодного тиристора, що перетворюється в характеристику звичайного діода.

Умова вмикання тріодного тиристора

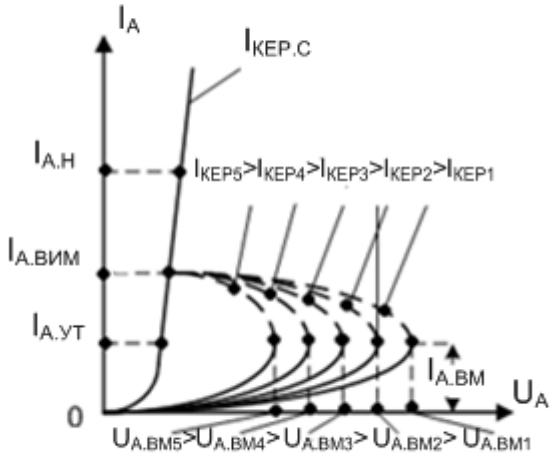
$$U_{А.ПР} \geq U_{А.ВМ}, \text{ коли } I_{КЕР} = \text{const},$$

$$I_А \geq I_{А.ВИМ},$$

де $I_{А.ВИМ}$ – струм вимикання – мінімальний прямий струм, що підтримує тиристор в увімкнутому стані безпосередньо після його вмикання і зняття керування.



а



б

Рис. 1.48. Тиристори: *а* – схема включення; *б* – ВАХ тиристора

Для вимикання тріодного тиристора необхідно: зменшити прямий струм до значення

$$I_A < I_{A.УТ},$$

де $I_{A.УТ}$ – струм утримання – мінімальний прямий струм, що не вимикає тиристор, проходячи через нього при розімкнутому ланцюзі керування; або подати на прилад напругу зворотної полярності.

Основні параметри тиристора (рис. 1.48, *б*):

$U_{A.ВМ}$ – напруга вмикання, є найменшою прямою напругою, яка перемикає тиристор із закритого стану у відкритий;

$I_{A.ВМ}$ – струм вмикання, визначається за $U_{A.ПР} = U_{A.ВМ}$;

$I_{А.Н}$ – номінальний прямий струм, характеризує допустиме нагрівання приладу за номінальних умов відведення тепла до номінальної температури;
$U_{А.Н}$ – номінальний прямий спад напруги, спад напруги на тиристорі за $I_А = I_{А.Н}$;
$I_{А.ВИМ}$ – струм вимикання, мінімальний прямий струм, що підтримує тиристор в увімкнутому стані безпосередньо після його вмикання;
$I_{А.УТ}$ – струм утримання, мінімальний прямий струм, який, проходячи через тиристор, не вимикає його;
$I_{А.ВИТ}$ – струм витоку, $I_{А.ПР} = I_{А.ВИТ}$, за $U_{А.ПР} = 0{,}5\ U_{А.ВМ}$;
$U_{А.ЗВ.max}$ – максимальна зворотна напруга;
$U_{А.ЗВ.max} = 0{,}5\ U_{А.ЗВ.ПРОБ}$, де $U_{А.ЗВ.ПРОБ}$ – напруга пробою;
$I_{А.ЗВ}$ за $U_{А.ЗВ} = U_{А.ЗВ.max}$;
$I_{КЕР}$ – мінімальний струм керування, за якого вмикається триністор, відповідає визначеному $U_{А.ВМ}$;
$t_{ВМ}$ – час вмикання, інтервал часу від моменту подачі сигналу, який вмикає, до моменту, коли напруга на тиристорі зменшується до рівня $U_{А.ПР} = U_{А.Н}$;
$t_{ВИМ}$ – час вимикання.

Окрім названих робочих параметрів тиристор характеризується параметрами максимально допустимого режиму роботи: $U_{А.ЗВ.max}$, $U_{А.ЗВ.ПРОБ}$, $I_{А.ПР.max}$, T_{max}, $P_{РОЗС.max}$.

1.6.4. Керований тиристор, який замикається

На сьогодні розроблені спеціальні тиристори, що замикаються (рис. 1.49).

Рис. 1.49. Позначення тиристорів, які замикаються

На відміну від звичайних тиристорів, які не замикаються (для замикання яких необхідно перервати струм через тиристор), для їх вимикання потрібно подати імпульс струму на КЕР (від'ємний – для

керування за катодом (рис. 1.49, *б*), додатний – для керування за анодом (рис. 1.49, *а*)).

1.6.5. Симетричний тиристор (симістор)

Симістори спроможні відкриватися під час обох полярностей вхідних сигналів та призначені для роботи у колах змінного струму.

Симістори еквівалентні двом зустрічно (паралельно) включеним тиристорам (рис. 1.50).

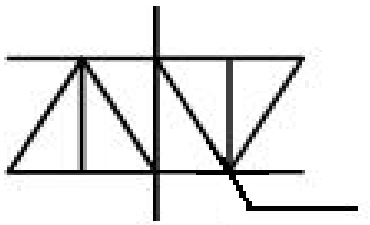


Рис. 1.50. Позначення симістора, який керується

ВАХ симістора симетрична відносно початку координат.

Симістори існують у чотирьох варіантах:

1. Керовані струмом одного напрямку додатної полярності.
2. Керовані в одному напрямку струмом додатної полярності, а в іншому – струмом від'ємної полярності.
3. Керовані в одному напрямку струмом відповідної полярності, а в іншому – струмом будь-якої полярності.
4. Керовані в обох напрямках струмом будь-якої полярності.

Тиристори виготовляються на основі кремнію. У наш час створені кремнієві тиристори на струми від одиниць міліампер до десятків кілоампер і напругою від декількох вольт до декількох кіловольт. Швидкість наростання струму у них складає до 10^9 А/с. Час вмикання від сотих часток до десятків мікросекунд, час вимикання – від одиниць до сотень мікросекунд.

Застосування тиристорів обумовлене переважно двома властивостями: 1 – наявністю ділянки від'ємного диференціального опору; 2 – наявністю двох стійких станів. Перша властивість дозволяє використовувати тиристори у підсилювальних і генераторних схемах, а друга – застосовувати їх у ключових і перемикальних електронних пристроях різного призначення.

1.7. Оптоелектронні прилади

1.7.1. Загальна характеристика оптоелектронних приладів

Оптоелектроніка – це галузь електроніки, в якій в якості носія інформації використовуються електромагнітні хвилі оптичного діапазону (довжина хвилі $\lambda = 10^{-3} \div 10^{-8}$ м, а частота $f = 3 \cdot 10^{11} \div 3 \cdot 10^{16}$ Гц).

Вузька частина діапазону: $0{,}7 \cdot 10^{-6} \div 0{,}4 \cdot 10^{-6}$ м – видиме світло, $0{,}4 \cdot 10^{-6} \div 10^{-8}$ м – ультрафіолетове світло, $10^{-3} \div 0{,}7 \cdot 10^{-6}$ м – інфрачервоне світло.

Для характеристики оптичного випромінювання використовують довжину хвилі λ.

В оптичних колах носіями сигналів є електрично нейтральні фотони, тому що вони не чутливі до дії електричних і магнітних полів і, відповідно, є захищеними від дії електромагнітних полів. Це дозволяє створити повну електричну розв'язку вхідних і вихідних кіл оптоелектронної системи, узгоджувати пристрої із різними вхідними та вихідними опорами, знешкоджувати паразитні ЗЗ.

Основні параметри оптичного випромінювання: інтенсивність, частота, довжина хвилі, фаза, поляризація, ступінь монохроматичності та когерентності, направленість. Кожен з цих параметрів може бути використаний для вимірювання різних фізичних величин: температури, тиску, геометричних розмірів, інтенсивності електричних і магнітних полів, γ – випромінювання, швидкості, прискорення і т. ін.

У пристроях оптоелектроніки передача інформації від джерела до приймача виконується через світлопровідне середовище (повітря, вакуум) або через спеціальні світлопроводи (оптичні волокна, планарні хвилеводи). Світлопроводи мають велику пропускну здатність (порівняно із електричними каналами зв'язку). В одному світлопроводі легко об'єднати декілька каналів зв'язку (оскільки оптичне випромінювання легко розділяється за довжиною хвилі). Загальна оптоелектронна система має: джерело випромінювання, світлопровід і приймач випромінювання.

Для перетворення електричного сигналу та навпаки використовуються модулятори та демодулятори. Під час передачі на великі відстані використовуються також ретранслятори (оптичний сигнал → електричний сигнал → підсилювач → відновлення початкової форми сигналу → оптичний сигнал). Використовуються також оптичні розгалужувачі, роз'єми та

перемикачі. Всі вищезгадані пристрої можуть бути виготовлені за інтегральною технологією. Оптичні ІС порівняно з електронними ІС і звичайними волоконно-оптичними системами мають велику надійність, економічність, малі втрати, меншу масу та габарити, меншу потужність, що споживається.

Оптоелектронні прилади (елементи) здійснюють перетворення електричних сигналів в оптичні і навпаки. Ці елементи є твердотілими і для їх виготовлення широко використовують напівпровідники. Основні функції таких приладів:

– перетворення електричної енергії у світлову – джерела світла;

– перетворення світлової енергії в електричну – приймачі світла.

Як джерела світлового випромінювання широко застосовуються світловипромінюючі діоди (світлодіоди), а як приймачі – фоторезистори, фотодіоди, фототранзистори та фототиристори. Є прилади, які називають оптронами, в яких конструктивно об’єднані джерело і приймач випромінювання, зв’язані поміж собою оптичним зв’язком. Позначення оптоелектронних напівпровідникових приладів на схемах електричних принципових показані на рис. 1.51.

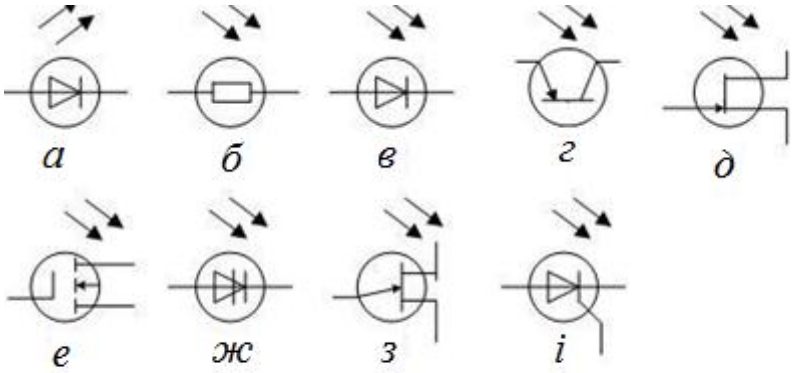


Рис. 1.51. Позначення оптоелектронних приладів на схемах

1.7.2. Світлодіоди

Ці діоди (рис. 1.51, *а*) іноді називають інжекційними світлодіодами, оскільки в основі їх роботи лежить явище інжекційної електролюмінесценції. Основою світлодіода є *p-n*-перехід, **зміщений у прямому напрямку**. Під час такого зсуву в діоді виникає явище **інжекції** носіїв заряду з емітера в базу. Інжектовані неосновні носії **рекомбінують** у базі з її основними носіями. В

процесі рекомбінації електрони переходять з вищих енергетичних рівнів зони провідності на нижчі рівні валентної зони, при цьому виділяється енергія, величина якої приблизно дорівнює ширині забороненої зони $\Delta W_З$. Довжина хвилі світла в мікрометрах λ, що при цьому випромінюється, пов'язана з шириною забороненої зони $\Delta W_З$ в електрон-вольтах співвідношенням:

$$\lambda = \frac{1,23}{\Delta W_З}. \qquad (1.2)$$

З (1.2) випливає, що для випромінювання видимого світла із довжиною хвилі від 0,4 до 0,78 мкм напівпровідник повинен мати $\Delta W_З$ > 1,6 еВ. Германій і кремній непридатні для світлодіодів, оскільки ширина їх забороненої зони дуже мала. Для світлодіодів видимого світіння застосовуються переважно фосфід галію GaP і карбід кремнію SiC. Внесення до напівпровідника деяких домішок дозволяє отримувати світіння різного кольору. Окрім світлодіодів, що дають видиме світіння, випускаються світлодіоди із арсеніду галію GaAs, випромінювання яких лежить в інфрачервоному діапазоні. На рис. 1.52 зображена схема включення (*а*) і основні характеристики світлодіода: ВАХ, $I_{ПР} = f\ (U_{ПР})$ (*б*), яскравісна $B = f\ (I_{ПР})$ (*в*), залежність потужності випромінювання від величини прямого струму $P_{ВИПР} = f\ (I_{ПР})$ (*г*).

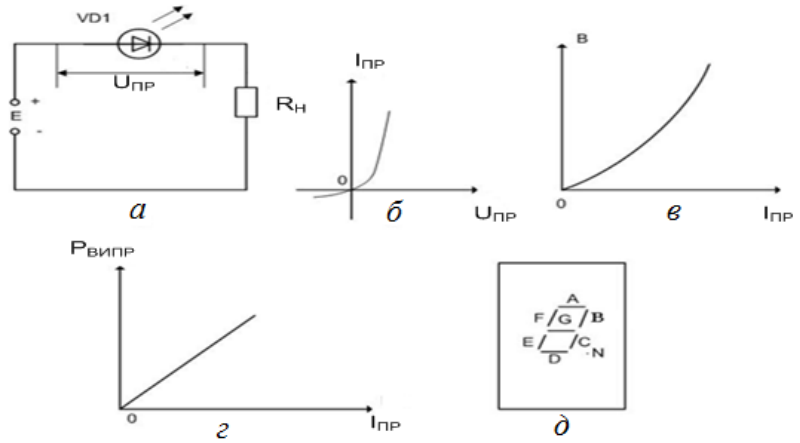


Рис. 1.52. Світлодіод: *а* – схема включення; *б, в, г* – основні характеристики; *д* – застосування в індикаторі

Світлодіоди застосовуються у цифрових схемах для індикації дискретного стану якого-небудь елементу; у пристроях виведення цифрової інформації; як джерела випромінювання у оптронах; у цифро-буквених світлодіодних індикаторах; лінійних світлодіодних шкалах і т. ін.

Лінійна світлодіодна шкала є інтегральною мікросхемою (ІМС), що складається із послідовно розміщених світлодіодних структур (сегментів). Такі шкали служать для відображення інформації, що безперервно змінюється. Цифро-буквений світлодіодний індикатор виконується у вигляді ІМС із декількох світлодіодних сегментів, розташованих так, щоб у разі відповідних комбінацій сегментів, що світяться, виходило зображення цифри або букви. Однорозрядні індикатори дозволяють відтворювати одну цифру від 0 до 9 або деякі букви (рис. 1.52, *д*). Багаторозрядні індикатори відтворюють будь-яку цифру, букву або комбінацію букв.

1.7.3. Приймачі оптичного випромінювання

Загальна характеристика приймачів оптичного випромінювання. Приймачі оптичного випромінювання (фотоприймачі) здійснюють перетворення світлових сигналів у електричні.

Як приймачі світлового випромінювання широко використовуються такі оптоелектронні напівпровідникові прилади:

– фоторезистори (рис. 1.51, б);

– фотодіоди (рис. 1.51, в);

– фототранзистори (рис. 1.51, г, д, е, з);

– фототиристори (рис. 1.51, ж, і).

Їх робота заснована на використанні явища внутрішнього фотоефекту: генерації пар електрон–дірка під дією квантів падаючого світла. Ці носії створюють додаткову провідність, яку називають фотопровідністю.

Фоторезистори

Фоторезистори (ФР) (рис. 1.51, б) – це напівпровідникові резистори, опори яких залежать від величини падаючого на них світлового потоку.

На рис. 1.53 показані: схема включення ФР (а); його ВАХ (б) і енергетичні (в) характеристики.

ФР мають лінійну ВАХ і нелінійну енергетичну характеристику. За Ф = 0 ФР має великий темновий опір RT порядку (104…107) Ом. Відповідно невеликий струм через ФР за RФР = RT називають темновим IT:

$$I_T = \frac{E}{R_T + R_H}.$$

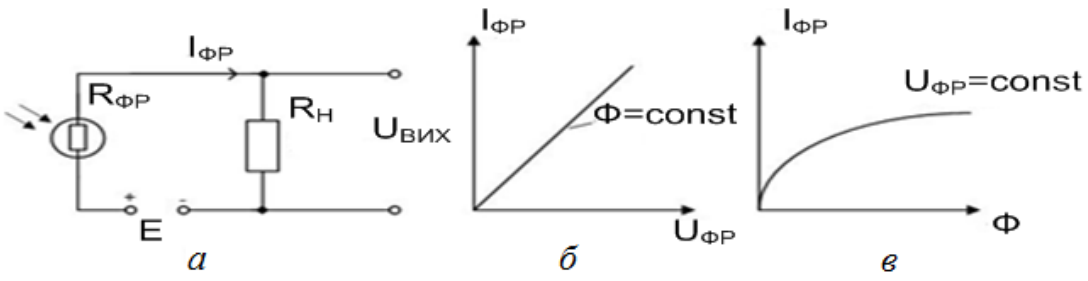


Рис. 1.53. Фоторезистори: *а* – схема включення*; б, в* – характеристики

За Ф > 0 опір ФР зменшується до величини світлового опору $R_{СВ}$, за якого світловий струм

$$I_{СВ} = \frac{E}{R_{СВ} + R_{Н}}.$$

Різниця струмів ($I_{СВ}$ – $I_{Т}$) складає фотострум $I_{ФР}$. Для виготовлення фоторезисторів застосовують різні матеріали залежно від довжини хвилі падаючого світлового потоку. Так, наприклад, сірчистий свинець PbS найбільш чутливий до інфрачервоних променів, а сірчистий кадмій CdS – до випромінювання видимого діапазону. Основний параметр ФР – питома чутливість $K_{ПИТ} = \frac{K_{ФР}}{U_{ФР}}$, де $K_{ФР} = \frac{I_{ФР}}{Ф}$ – інтегральна чутливість ФР, а $U_{ФР}$ – величина напруги, прикладеної до ФР. Істотним недоліком ФР є залежність його параметрів від температури. Вони широко застосовуються як датчики світлового випромінювання, або як приймача світла у оптронах.

Фотодіоди. Фотодіодом (ФД) (рис. 1.51, в) називають НД, призначений для перетворення світлової енергії в електричну. Робота ФД заснована на явищі **внутрішнього фотоефекту**. ФД може працювати в одному із двох режимів: вентильному (фотогенераторному) і фотодіодному (фотоперетворюючому).

ФД, що працюють у вентильному режимі, називають вентильними, фотогенераторними або фотогальванічними. Під дією світлового випромінювання вони генерують на своєму виході фото – електрорушійну силу (ЕРС). На рис. 1.54 зображені: схема включення вентильного фотодіода (а) і залежність фото-ЕРС ЕФ від світлового потоку Ф (б).

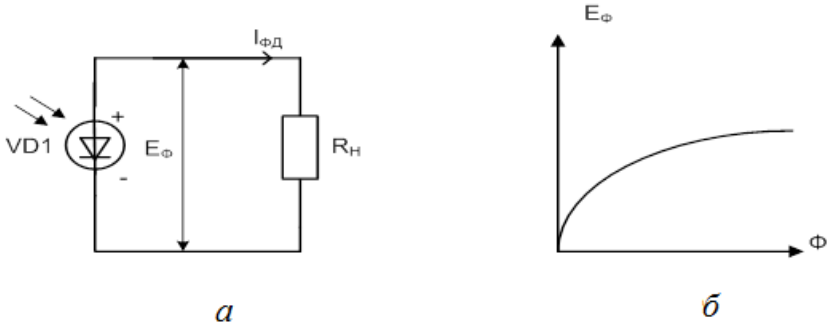


Рис. 1.54. Вентильний світлодіод: *а* – схема включення; *б* – світлова характеристика

Величина ЕФ із зростанням Ф змінюється за нелінійним законом і може досягати декількох десятих долей вольта. Під час включення вентильного ФД на навантаження виникає фотострум:

$$I_{ФД} = \frac{E_Ф}{R_Н + R_{ВН}},$$

де $R_{ВН}$ – внутрішній опір ФД. Основним параметром вентильного ФД є інтегральна чутливість.

До основного недоліку вентильного ФД належить залежність інтегральної чутливості від температури. В наш час широко застосовуються кремнієві вентильні ФД. Їх використовують у сонячних батареях для перетворення енергії сонячних променів в електричну енергію. Їх фото-ЕРС досягає частин вольта. Шляхом певної комбінації ФД створюють сонячні батареї, які можуть розвивати потужність до декількох кіловат. Такі батареї є основними джерелами живлення штучних супутників, космічних кораблів, автоматичних метеостанцій і т. ін.

$$K_{ФД} = \frac{E_Ф}{Ф}.$$

У фотодіодному режимі використовується зовнішнє джерело живлення, яке підключене до ФД у **зворотному напрямку**. Робота такого діода заснована на залежності його зворотної провідності (зворотного опору) від величини світлового потоку Ф. Під час збільшення Ф за рахунок явища внутрішнього фотоефекту зворотна провідність ФД збільшується (зворотний опір зменшується). На рис. 1.55 показані: схема включення фотоперетворюючого ФД (а); його ВАХ (IФД = f (UФД)) і світлова (IФД = f(Ф)) характеристики.

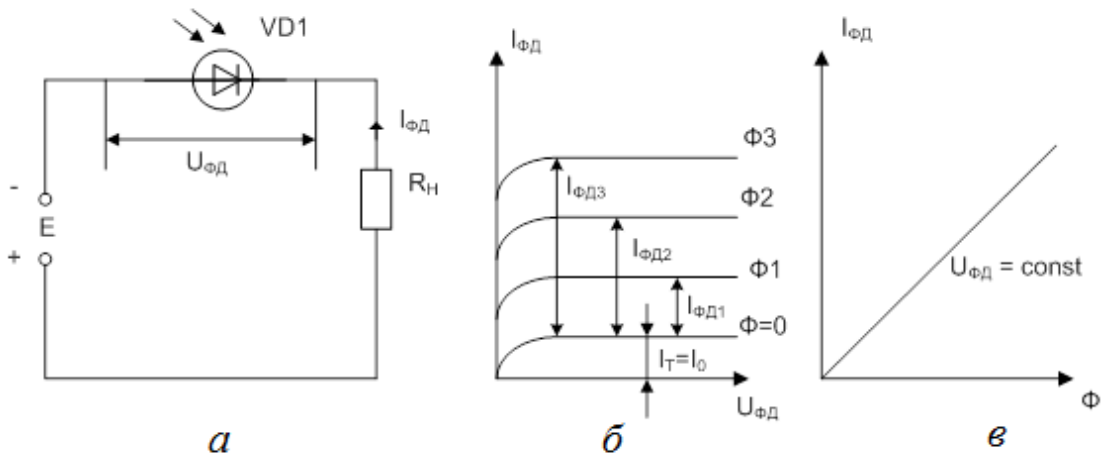


Рис. 1.55. Фотоперетворюючий ФД: а – схема включення;
б, в – характеристики

ВАХ (рис. 1.55, б) за Ф = const нагадують вихідні ВАХ біполярного транзистора, включеного за схемою із спільною базою. За Ф = 0 через ФД проходить темновий струм IT, що дорівнює зворотному струму звичайного діода. Під час деякого значення зворотної напруги може відбутися пробій p-n-переходу ФД. Енергетичні характеристики є лінійними за UФД = const і мало залежать від величини цієї напруги (Ф3 > Ф2 > Ф1 > Ф0). Основний параметр діода – інтегральна чутливість КФД = IФД/Ф (складає десятки міліампер на люмен). Вона залежить від довжини хвилі падаючого світла і має максимум для деякої довжини хвилі, різної для різних матеріалів.

Фотоперетворюючі ФД застосовуються як датчики світлових сигналів, як приймачі світлового випромінювання в оптронах і т. ін.

Фототранзистори

На відміну від фотодіода фототранзистор (ФТ) не тільки перетворює світлову енергію в електричну, але і підсилює фотострум. Тому ФТ має вищу інтегральну чутливість, ніж ФД. Є біполярні і польові фототранзистори.

Біполярний фототранзистор (рис. 1.51, г) є звичайним транзистором, у корпусі якого виконане прозоре «вікно», через яке світловий потік може впливати на область бази. На рис. 1.56 зображені: схема включення ФТ із «вільною» (нікуди не підключеною IБ = 0) базою (а) і його ВАХ (б).

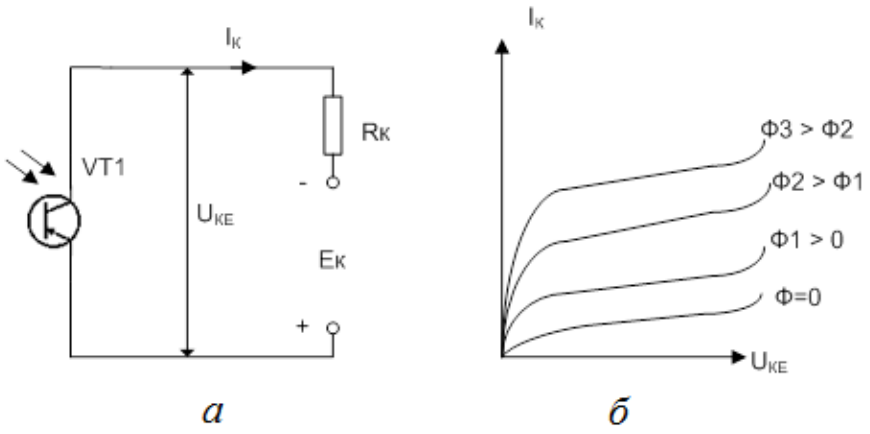


Рис. 1.56. Фототранзистори: *а* – схема включення; *б* – ВАХ

За Ф = 0 через ФТ проходить дуже малий темновий струм колектора ІКТ, що дорівнює зворотному струму насичення транзистора, включеного за схемою із спільним емітером. За Ф > 0 у зовнішньому ланцюзі проходить сумарний струм колектора

$$I_К = I_{КТ} + I_{КСВ},$$

$$I_{КСВ} = I_Ф(1 + h_{21Е}),$$

де $I_Ф$ – фотострум, що створюється в базі за рахунок явища внутрішнього фотоефекту; $h_{21Е}$ – коефіцієнт підсилення струму в схемі із спільним емітером. Інтегральна чутливість ФТ у (1 + $h_{21Е}$) разів більше, ніж у фотодіода. В польових фототранзисторах із затвором у вигляді *p-n*-переходу (рис. 1.51, *д*) здійснюється керування струмом стоку за допомогою світла. Із зростанням світлового потоку Ф струм стоку збільшується. У МДН-польових фототранзисторах із індукованим каналом (рис. 1.51, *е*) величиною світлового потоку можна змінювати порогову напругу, за якої виникає індукований канал.

Ще одним різновидом ФТ є однопереходні фототранзистори (рис. 1.51, *з*), в яких світловий потік Ф змінює напругу вмикання $U_{ВМ}$ (із зростанням Ф $U_{ВМ}$ зменшується).

Аналогічно фотодіодам фототранзистори застосовуються для реєстрації світлових сигналів.

Фототиристори

Фототиристори (ФТР) (рис. 1.51, ж, і) можуть керуватися світловим потоком аналогічно тріодним тиристорам, керованих струмом. Є діодні (рис. 1.51, ж) і тріодні (рис. 1.51, і) ФТР. На рис. 1.57 показані: схема включення діодного фототиристора (а) і його вольт-амперні характеристики (б).

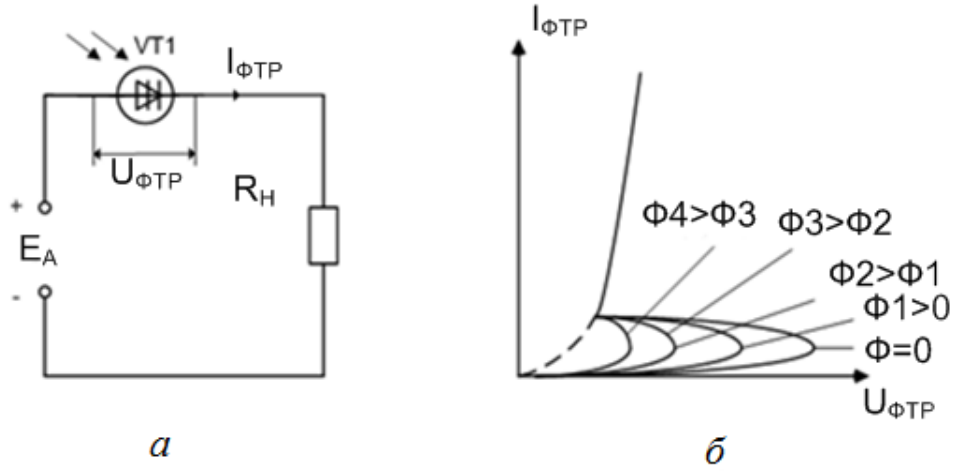


Рис. 1.57. Фототиристори: *а* – схема включення; *б* – ВАХ фототиристора

Чим більше світловий потік, що діє на тиристор, тим за меншої напруги включається тиристор. У тріодному фототиристорі на електрод, що керує, додатково подається керувальний струм. Вмикання тиристора як і раніше відбувається під дією світлового потоку, але вже меншого значення. Для вмикання ФТР використовують випромінювання лазерів або світлодіоди. Фототиристори забезпечують електричну ізоляцію (гальванічну розв'язку) між керувальним сигналом і виконавчим силовим елементом.

1.7.4. Оптрони

Оптрон – це прилад, в якому конструктивно об'єднані джерело і приймач світлового випромінювання, зв'язані оптичним середовищем (ОС). Прилад, що містить один випромінювач і один приймач випромінювання, називають оптопарою або елементарним оптроном. На вході і виході оптрона є електричні сигнали, а зв'язок входу із виходом з одночасним здійсненням їх гальванічної розв'язки здійснюють світлові сигнали. Ланцюг випромінювача є керувальним, а ланцюг фотоприймача – керованим. Найважливіші переваги оптронів: відсутність гальванічного зв'язку між входом і виходом і ЗЗ між фотоприймачем і випромінювачем (опір ізоляції $R_{ІЗ}$ між входом і виходом досягає $10^{12}…10^{14}$ Ом, а прохідна ємність складає частку – одиниці

пікофарад); широка смуга пропускання частот ($\Delta f_{ПР}$ = 0…10^{14} Гц); несхильність оптичного каналу до дії зовнішніх електромагнітних полів і т. ін. Конструктивно в оптронах випромінювач і приймач випромінювання поміщаються в корпус і заливаються оптично прозорим клеєм.

Існуючі оптрони (оптопари) відрізняються один від одного переважно видом фотоприймача (рис. 1.58).

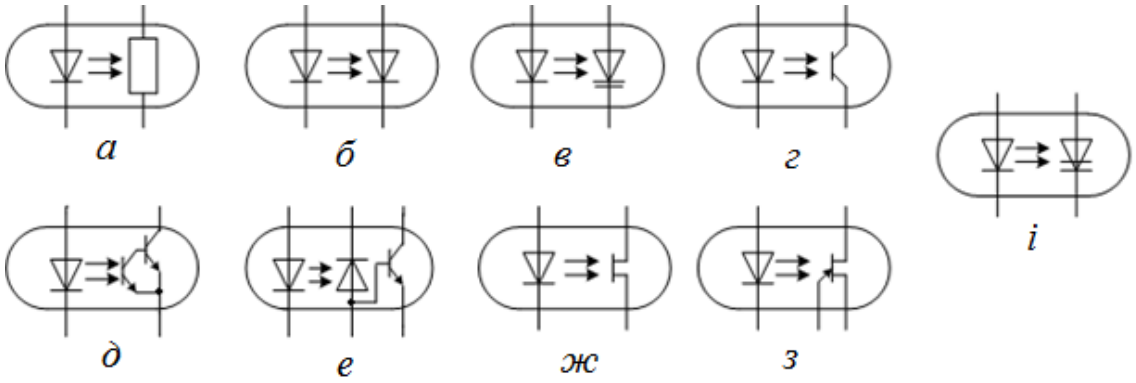


Рис. 1.58. Види оптронів

На рис. 1.58, *а* показано схему резисторної оптопари (світлодіод і фоторезистор), у якої вихідний ланцюг живиться від джерела постійної або змінної напруги $E_{ДЖ}$ і має навантаження $R_Н$. Пряма напруга $U_{КЕР}$, що керує, подається на світлодіод і керує струмом у навантаженні. Оскільки ланцюг керування добре ізольований від навантаження, фоторезистор може бути включений у ланцюг досить високої напруги.

Діодні оптопари (рис. 1.58, *б*) у ролі фотоприймача зазвичай містять кремнієвий фотодіод, що працює у вентильному або у фотодіодному режимі, й інфрачервоний арсенід-галієвий світлодіод.

Діодний оптрон використовують як оптоелектронний імпульсний трансформатор; для гальванічної розв’язки окремих вузлів апаратури; для передачі сигналів між ЕОМ і периферійним устаткуванням; для керування роботою різних мікросхем, особливо на МДН-транзисторах, що мають малий вхідний струм. Різновидом діодних оптопар є пари, в яких фотоприймач – варикап (рис. 1.58, *в*).

Транзисторні оптопари (рис. 1.58, *г*) мають зазвичай як випромінювач арсенід-галієвий світлодіод, а як приймач випромінювання – біполярний кремнієвий фототранзистор типу *n-p-n*. Діод, що випромінює, конструктивно розташований так, що велика частина світла прямує на базову область

фототранзистора. Випромінювач і приймач ізольовані один від одного оптично прозорим середовищем.

За відсутності випромінювання у ланцюзі колектора фототранзистора, включеного за схемою із спільним емітером, проходить зворотний (темновий) струм, як у звичайних біполярних транзисторах. Його значення сильно залежить від температури. Під час опромінювання бази фототранзистора колекторний струм отримує додаткову складову: $I_{К.СВ} = I_{Ф.Б}(1 + h_{21Е})$, де $I_{Ф.Б}$ – фотострум, що створюється у базі фототранзистора під дією світлового потоку; $h_{21Е}$ – коефіцієнт передачі струму бази у схемі із спільним емітером. Тобто фототранзистор виконує внутрішнє підсилення фотоструму. Основні параметри вхідного ланцюга транзисторної оптопари аналогічні параметрам діодних оптопар, оскільки в них використовуються схожі випромінювачі.

Транзисторні оптопари широко застосовуються в аналогових і ключових комутаторах сигналів, схемах узгодження датчиків із вимірювальними блоками, для гальванічної розв’язки у лініях зв’язку, оптоелектронних реле, що комутують великі струми, і т. ін.

Для підвищення чутливості в оптопарі може бути використаний складений транзистор (рис. 1.58, *д*) або фотодіод із транзистором (рис. 1.58, *е*). Оптрони із складеним транзистором мають найбільший коефіцієнт передачі струму, але малу швидкодію. Висока швидкодія за декілька меншого підсилення характерна для діодно-транзисторних оптопар.

Різновидом транзисторних оптопар є оптрони із польовим фототранзистором (рис. 1.58, *ж*). Вони відрізняються хорошою лінійністю вихідної вольт-амперної характеристики у широкому діапазоні напруг і струмів і тому зручні для використання в аналогових схемах.

Як приймач випромінювання в оптопарах застосовуються також одноперехідні транзистори (рис. 1.58, *з*). Такі оптопари зазвичай використовуються для проектування ключових схем, наприклад, керованих релаксаційних генераторів, що формують імпульси прямокутної форми. Одноперехідний фототранзистор є у деякому розумінні універсальним: його можна використовувати як фоторезистор, якщо не включений емітерний перехід, або як фотодіод, якщо включений тільки один цей перехід.

Тиристорні оптрони містять як фотоприймач кремнієвий фототиристор (рис. 1.58, *і*) і застосовуються виключно у ключових режимах. Фототиристор так само, як і фототранзистор, має велике внутрішнє підсилення фотоструму. На відміну від фототранзистора включений стан

фототиристора зберігається і у разі припинення випромінювання від вхідного діода. Тому сигнал, що керує, на оптопару тиристора може подаватися протягом короткого проміжку часу, необхідного для відкривання тиристора. Цим досягається істотне зниження енергії, що споживається ланцюгом керування оптрона.

Оптрони тиристорів використовуються для гальванічної розв'язки вхідних ланцюгів керування від високовольтних виконавчих ланцюгів, для формування імпульсів керування потужними тиристорами, для комутації навантаження у мережі змінного струму, у пристроях захисту вторинних джерел живлення і т. ін.

Контрольні запитання та завдання

1. Дайте визначення поняттю електронно-дірковий перехід.
2. Дайте визначення напівпровідників *n*-типу та *p*-типу.
3. Які фізичні процеси відбуваються у *p*-*n*-переході за відсутності зовнішнього електричного поля? Опишіть зворотне і пряме включення *p*-*n*-переходу.
4. Наведіть та поясніть ВАХ *p*-*n*-переходу.
5. Дайте визначення НД. Принцип роботи. Види і типи НД.
6. Що спільного і чим відрізняються ВАХ ВД та *p*-*n*-перехід?
7. Наведіть схематично енергетичні зони напівпровідників: чистого; *n*-типу та *p*-типу.
8. Опишіть процес генерації пар електрон–дірка.
9. Опишіть розподіл електронів за квантовими станами.
10. Які процеси називають: рекомбінацією, інжекцією та екстракцією?
11. Яка провідність напівпровідника називається власною та домішковою?
12. Які ємності утворюються у *p*-*n*-переході під час його зворотного та прямого включення?
13. Опишіть тунельний ефект у *p*-*n*-переході. Опишіть тунельні діоди.
14. Поясніть принцип дії стабілітрону.
15. Назвіть призначення варикапу.
16. Наведіть схематично енергетичні зони напівпровідників: чистого; *n*-типу та *p*-типу.
17. Який вигляд мають кристалічні ґрати чистого кремнію?
18. Як змінюється вигляд кристалічних ґрат кремнію у разі додавання донорної та акцепторної домішок?
19. Дайте визначення транзистора.

20. Чим відрізняються біполярні й уніполярні транзистори?
21. Наведіть позначення біполярних і польових транзисторів на електричних схемах.
22. Скільки *p*-*n*-переходів мають БТ і як ці переходи називаються?
23. Назвіть і поясніть основні режими робот БТ.
24. Поясніть роботу БТ в активному режимі.
25. Що характеризують статичні ВАХ БТ?
26. Як впливають температура та частота сигналу на роботу БТ?
27. Поясніть принцип дії ПТ із затвором у вигляді *p*-*n*-переходу та ізольованим затвором.
28. Наведіть і поясніть статичні ВАХ ПТ.
29. Назвіть і поясніть основні параметри ПТ.
30. Назвіть основні переваги ПТ.
31. Опишіть шуми транзисторів.
32. Дайте визначення поняттю тиристор. Загальна характеристика.
33. Способи керування тиристорами.
34. Наведіть і порівняйте ВАХ диністора та триністора.
35. Дайте визначення поняттю оптоелектронні прилади. Загальна характеристика.
36. Принцип дії джерела оптичного випромінювання. Їх види і типи.
37. Принцип дії приймача оптичного випромінювання. Їх види і типи.
38. Чим відрізняються вентильний та фотодіодний режим роботи фотодіода.
39. Принцип дії фототранзистора та фототранзистора.
40. Особливості конструкції та застосування оптронів.

2. ЕЛЕКТРОННІ ПІДСИЛЮВАЧІ

2.1. Класифікація та основні характеристики електронних підсилювачів

Підсилювачем називається електронний пристрій, призначений для підсилення (підвищення) потужності електричних сигналів за рахунок енергії джерела живлення.

Розглянемо підсилювач як активний чотириполюсник і наведемо структури підсилювача із виходом у вигляді генератора напруги *E* (рис. 2.1, *а*) та із виходом у вигляді генератора струму *I* (рис. 2.1, *б*).

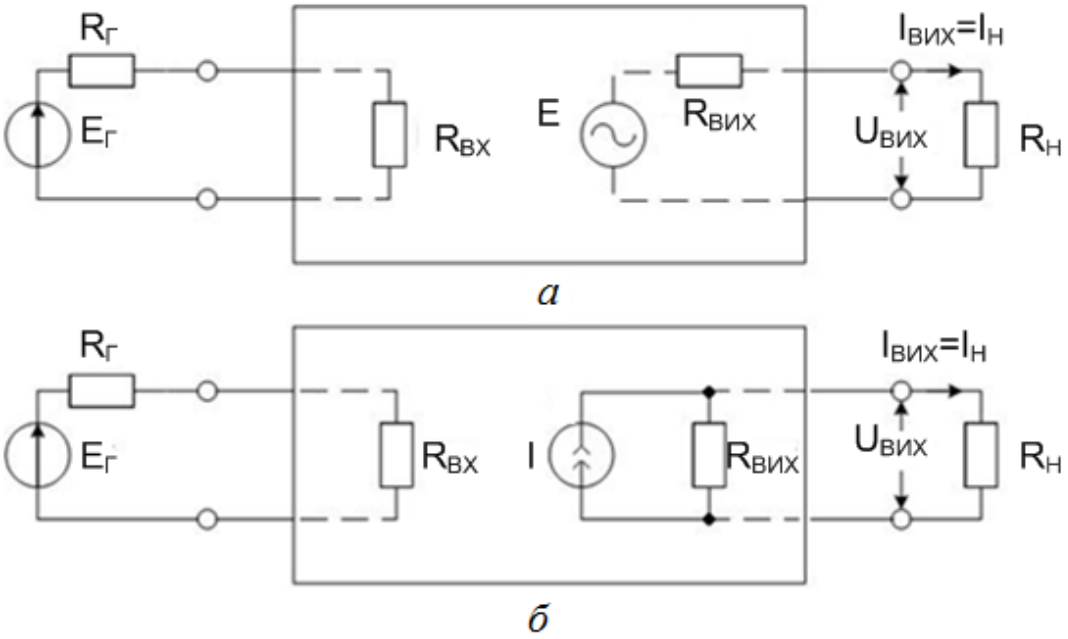


Рис. 2.1. Підсилювач як активний чотириполюсник

Залежно від співвідношення власного опору $R_Г$ джерела вхідної напруги $E_Г$, вхідного опору підсилювача $R_{ВХ}$, вихідного опору підсилювача $R_{ВИХ}$ та опору навантаження $R_Н$ підсилювачі підрозділяються на:

– підсилювачі напруги, якщо $R_{ВХ} >> R_Г$; $R_Н >> R_{ВИХ}$;
– підсилювачі струму, якщо $R_{ВХ} << R_Г$; $R_Н << R_{ВИХ}$;
– підсилювачі потужності, якщо $R_{ВХ} \approx R_Г$; $R_Н \approx R_{ВИХ}$.

На рис. 2.2 наведено підсилювач струму, представлений як активний чотириполюсник.

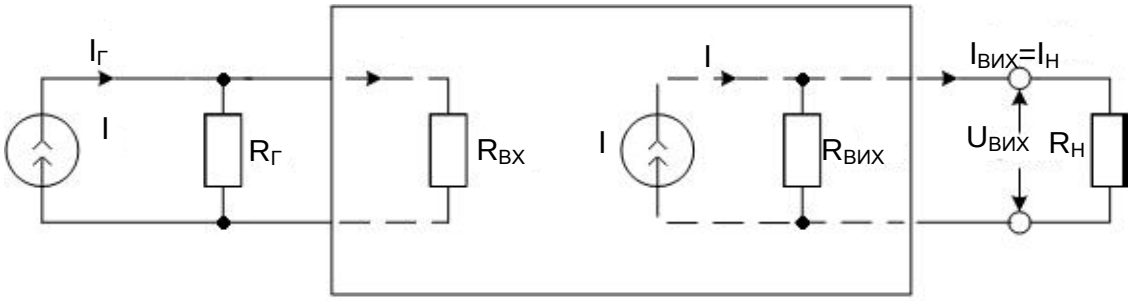


Рис. 2.2. Підсилювач струму, представлений як активний чотириполюсник

Якщо $R_{ВХ} << R_Г$, то практично весь струм від джерела струму $I_Г$ проходить через $R_{ВХ}$, тобто $I_{ВХ} \approx I_Г$. Також, якщо $R_Н << R_{ВИХ}$, то весь вихідний струм I проходить через $R_Н$, тобто $I_Н \approx I$.

Навантаженням підсилювача може бути не тільки споживач електричної енергії, але також вхід іншого підсилювача (багатокаскадний підсилювач). В останньому випадку багатокаскадний підсилювач є ланцюжком каскадів (рис. 2.3), на вході якого діє джерело сигналу, який підсилюється, а до виходу підключене навантаження.

Під час розрахунків такий складний підсилювач розділяється на каскади або ступені.

Залежно від кількості каскадів підсилювачі поділяються на:

– однокаскадні;
– багатокаскадні.

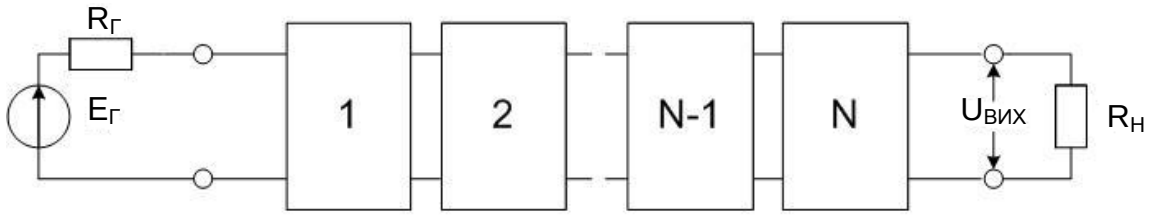


Рис. 2.3. Структура багатокаскадного підсилювача

Для багатокаскадного підсилювача перший каскад називають вхідним, передостанній каскад – передвихідним, останній каскад – вихідним або кінцевим, а каскади між вхідним і передвихідним – проміжними.

У багатокаскадних підсилювачах зв’язок між каскадами може бути:

– ємнісний (*RC*);
– трансформаторний;

– безпосередній або гальванічний.

Залежно від типу сигналів, які підсилюються, підсилювачі поділяються на:

– змінного струму;
– постійного струму;
– імпульсні.

Підсилювачі постійного струму (ППС) підсилюють сигнали, починаючи із нульової частоти.

Підсилювачі змінного струму поділяються на:

– підсилювачі низької частоти (ПНЧ);
– підсилювачі високої частоти (ПВЧ).

За шириною смуги пропускання розрізняють:

– селективні підсилювачі, що підсилюють сигнал на фіксованій частоті у вузькому спектрі частот, у яких $f_В$ / $f_Н$ ≈ 1, де $f_В$ – верхня гранична частота пропускання, $f_Н$ – нижня гранична частота пропускання;
– широкосмугові підсилювачі: $f_В$ / $f_Н$ >> 1 (рис. 2.4).

ППС та імпульсні підсилювачі є широкосмуговими.

Під смугою пропускання розуміють частотний діапазон, у межах якого рівень вихідного сигналу не є нижчим за 0,707 від максимальної амплітуди сигналу $\left(U_{вих} \geq \frac{U_{max}}{\sqrt{2}}\right)$.

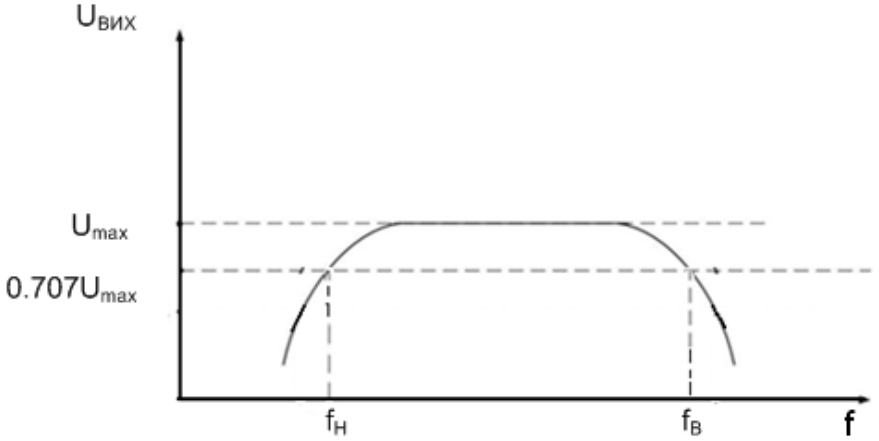


Рис. 2.4. Амплітудно-частотна характеристика (АЧХ) підсилювача

Одним із основних показників підсилювачів є коефіцієнт підсилення $K_{ПІДС}$, який показує у скільки разів вихідний сигнал більше вхідного.

$K_{ПІДС}$ поділяються на :

– $K_{ПІДС}$ за напругою – K_U ;

– $K_{ПІДС}$ за струмом – K_I ;

– $K_{ПІДС}$ за потужністю – K_P.

$$K_U = \frac{U_{ВИХ}}{U_{ВХ}};\ K_I = \frac{I_{ВИХ}}{I_{ВХ}};\ K_P = \frac{P_{ВИХ}}{P_{ВХ}}.$$

Для багатокаскадного підсилювача $K_{ПІДС}$: $K_\Sigma = K_1 \cdot K_2 \cdot K_3 \cdot ... \cdot K_N$,
де N – кількість каскадів.
$K_{підс}$ часто виражають у логарифмічних одиницях (децибелах):
K_U[дБ]=20lgK_U; K_I[дБ]=20lgK_I; K_P[дБ]=10lgK_P, при цьому для багатокаскадного підсилювача $K_\Sigma = K_1 + K_2 + K_3 + ... + K_N$.

Відхилення форми вихідного сигналу від форми вхідного називають спотворенням. Спотворення бувають двох видів: нелінійні та лінійні.

Нелінійні спотворення виникають через нелінійність ВАХ.

Лінійні спотворення виникають через залежність від частоти коефіцієнта підсилення та зсуву фаз між вихідним і вхідним сигналами. Цю залежність відображають відповідно АЧХ та фазо-частотна (ФЧХ) характеристики (рис. 2.5).

За видом АЧХ оцінюють частотні спотворення підсилювача, а за видом ФЧХ – фазові спотворення.

Важливим показником підсилювачів потужності є коефіцієнт корисної дії (ККД). Розрізняють повний ККД та електричний ККД.

Електричний ККД обчислюється за формулою

$$\eta_E = \frac{P_H}{P_{ДЖ}},$$

де P_H – корисна потужність, яка поступає у навантаження; $P_{ДЖ}$ – потужність, яка споживається підсилюючим елементом від джерела живлення (для транзисторного підсилювача потужність, яка споживається колекторним або стоковим колом).

Повний ККД визначається із виразу

$$\eta_П = \frac{P_H}{P_{ЗАГ}},$$

де $P_{ЗАГ}$ – потужність, яка споживається підсилювачем усіма колами від всіх джерел живлення.

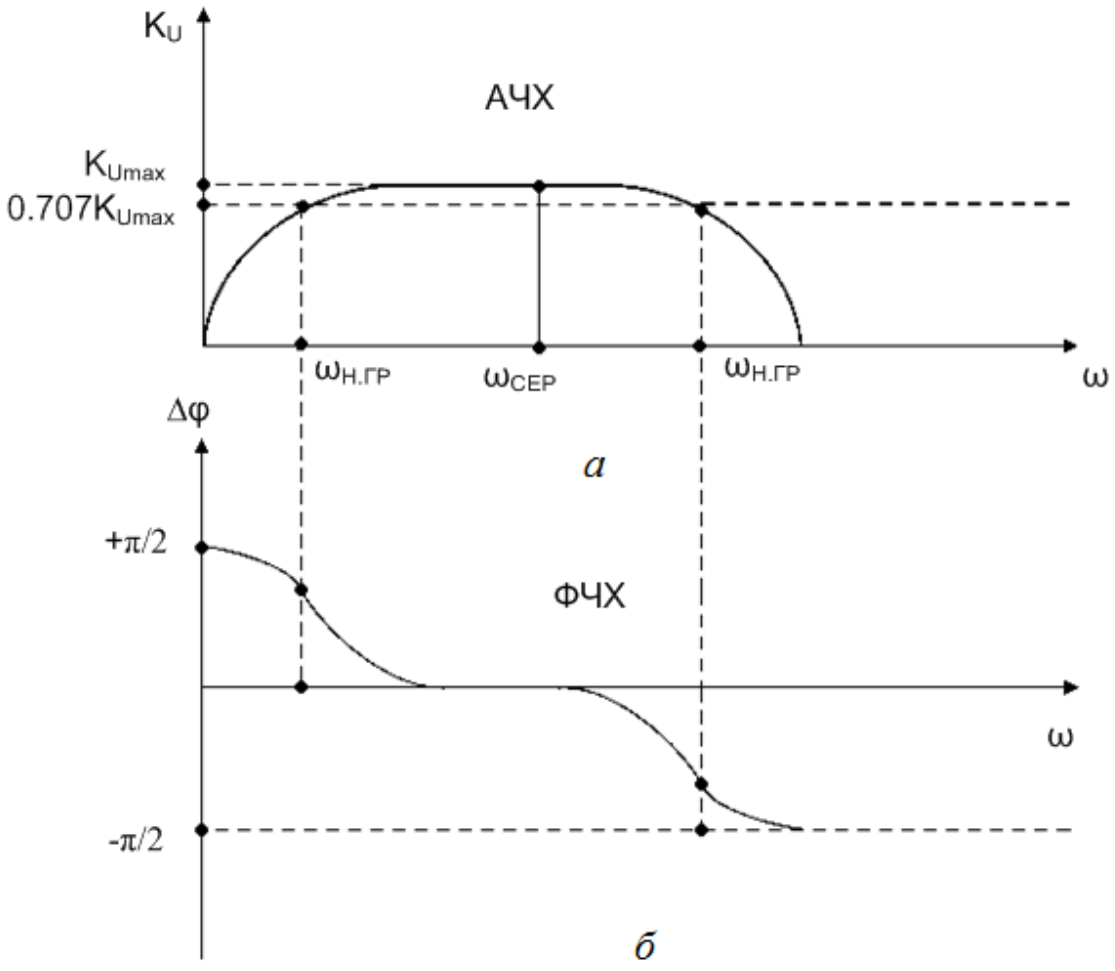


Рис. 2.5. Характеристики підсилювача: *а* – АЧХ; *б* – ФЧХ

2.2. Вимірювання вхідного опору підсилювача

Вимірювання вхідного опору підсилювача здійснюється відповідно до схеми, показаної на рис. 2.6.

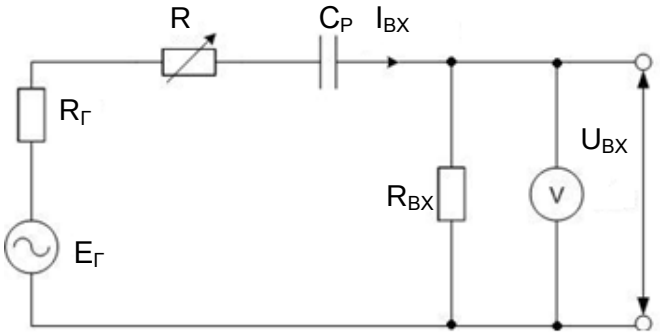


Рис. 2.6. Схема для вимірювання вхідного опору підсилювача

На схемі використані такі позначення:

$E_Г$ – звуковий генератор (ЗГ); $R_Г$ – внутрішній опір ЗГ; R – змінний відградуйований опір; $C_Р$ – роздільний конденсатор на вході підсилювача; $R_{ВХ}$ – вхідний опір підсилювача, який необхідно визначити; $I_{ВХ}$ – вхідний струм; V– вимірювальний вольтметр, $U_{ВХ}$ – вхідна напруга.

Вхідний струм можна визначити із виразу

$$I_{ВХ} = \frac{E_Г}{R_Г + \frac{1}{\omega C_Р} + R + R_{ВХ}},$$

де $E_Г$ – напруга на виході ЗГ; ω – частота сигналу на виході ЗГ.

У схемі виконуються умови:

$$R_{ВХ} >> \frac{1}{\omega C_Р}; \qquad R_{ВХ} >> R_Г.$$

Тому

$$I_{ВХ} \approx \frac{E_Г}{R_{ВХ} + R}; \qquad U_{ВХ} = \frac{E_Г \cdot R_{ВХ}}{R + R_{ВХ}}.$$

Якщо $R = 0$, то $U_{ВХ} = E_Г$.

Якщо $R = R_{ВХ}$, то $U_{ВХ} = 0{,}5\ E_Г$.

Таким чином, вимірювання $R_{ВХ}$ полягає у наступному:

1. Встановлюється опір $R = 0$ і вольтметром фіксується значення вхідної напруги $U_{ВХ} = E_Г$.
2. Змінюється опір резистора R до значення, за якого вольтметр покаже $U_{ВХ} = 0{,}5\ E_Г$.
3. Отриманий опір $R = R_{ВХ}$.

2.3. Вимірювання вихідного опору підсилювача

Вимірювання вихідного опору підсилювача здійснюється відповідно до схеми, показаної на рис. 2.7.

На схемі використані наступні позначення: $C_Р$ – роздільний конденсатор; $R_Н$ – змінний відградуйований опір навантаження; $I_{ВИХ}$ – вихідний струм; $U_Н$ – напруга на опорі навантаження; $U_{ВИХ}$ – напруга на виході підсилювача; $R_{ВИХ}$ – вихідний опір підсилювача, який необхідно визначити.

Напругу $U_Н$ можна визначити із виразу

$$U_H = I_{ВИХ} \cdot R_H = \frac{U_{ВИХ} \cdot R_H}{R_{ВИХ} + \frac{1}{\omega C_P} + R_H}.$$

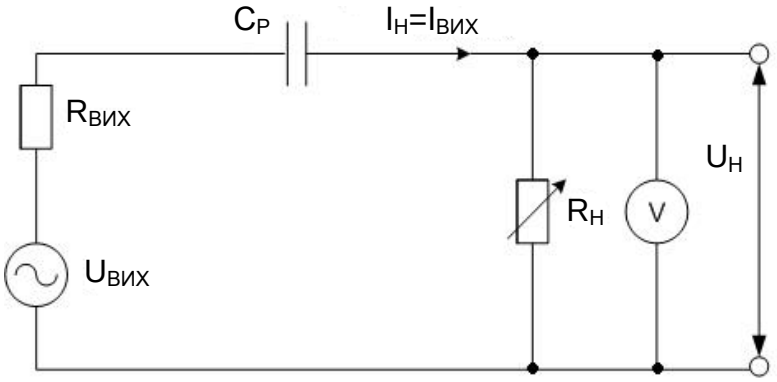


Рис. 2.7. Схема для вимірювання вихідного опору підсилювача

Якщо вважати, що $R_{ВИХ} >> \frac{1}{\omega C_P}$, а $R_H >> R_{ВИХ}$, то

$$U_H = \frac{U_{ВИХ} \cdot R_H}{R_{ВИХ} + R_H}.$$

Якщо $R_H \to \infty$, то $U_H = U_{ВИХ}$.

Якщо $R_H = R_{ВИХ}$, то $U_H = 0{,}5\ U_{ВИХ}$.

Таким чином, вимірювання $R_{ВИХ}$ полягає у такому:

1. Встановлюється $R_H = \infty$ і вольтметром фіксується значення вихідної напруги $U_H = U_{ВИХ}$.
2. Змінюється опір резистора R_H до значення, за якому вольтметр покаже $U_H = 0{,}5\ U_{ВИХ}$.
3. Отриманий опір $R_H = R_{ВИХ}$.

2.4. Зворотні зв’язки у підсилювачах

2.4.1. Загальні відомості про зворотні зв’язки у підсилювачах

У випадках, коли параметри підсилювача: вхідний та вихідний опір, рівень лінійних та нелінійних спотворень, смуга пропускання, стабільність робочої точки не задовольняють заданим вимогам, застосовують ЗЗ.

Зворотний зв’язок – це передача певної частини енергії вихідного сигналу на вхід підсилювача через спеціальні кола ЗЗ. Як кола ЗЗ використовуються пасивні кола. Характеристики цих кіл (АЧХ, ФЧХ) значно впливають на параметри підсилювача.

Схему підсилювача із ЗЗ наведено на рис. 2.8.

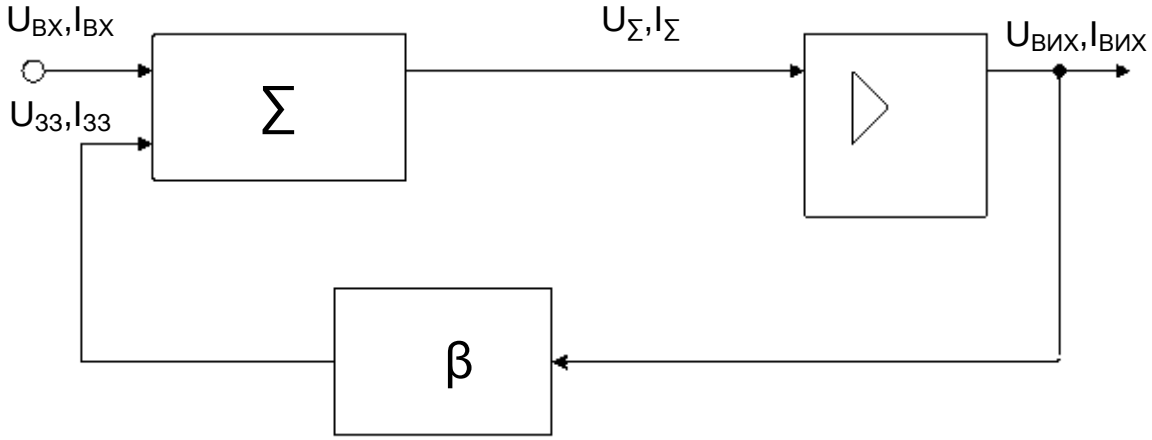


Рис. 2.8. Схема підсилювача із ЗЗ

Сумарний сигнал визначається із виразів:

$$U_{\Sigma} = U_{ВХ} \pm U_{ЗЗ};$$

$$I_{\Sigma} = I_{ВХ} \pm I_{ЗЗ}.$$

ЗЗ можуть бути за напругою чи за струмом, а також комбінованими (за напругою та струмом водночас).

ЗЗ можуть бути додатними (ДЗЗ) та від'ємними (ВЗЗ). Під час ДЗЗ сигнал ЗЗ збігається за фазою із вхідним сигналом. Під час ВЗЗ сигнал ЗЗ знаходиться у протифазі до вхідного сигналу.

У підсилювачах використовують тільки ВЗЗ.

Петлею ЗЗ називається замкнений контур, що включає в себе коло ЗЗ і частину підсилювача між точками підключення ЗЗ. Розрізняють місцевий і загальний ЗЗ. Місцевий ЗЗ охоплює окремі каскади або частину підсилювача. Загальний ЗЗ охоплює весь підсилювач.

ЗЗ може залежати від змінного струму, постійного струму, або від змінного і постійного струму водночас.

Залежно від способу зняття сигналу ЗЗ із виходу підсилювача розрізняють:

– ЗЗ за напругою;
– ЗЗ за струмом;
– комбінований ЗЗ.

Залежно від способу введення сигналу ЗЗ у вхідне коло розрізняють:

– послідовний ЗЗ;
– паралельний ЗЗ;
– змішаний ЗЗ.

2.4.2. Зворотний зв’язок за напругою

Сигнал ЗЗ $U_{ЗЗ}$ пропорційний вихідній напрузі $U_{ВИХ}$ (рис. 2.9) та обчислюється із виразу

$$U_{ЗЗ} = \frac{U_{ВИХ}}{R1+R2} \cdot R2.$$

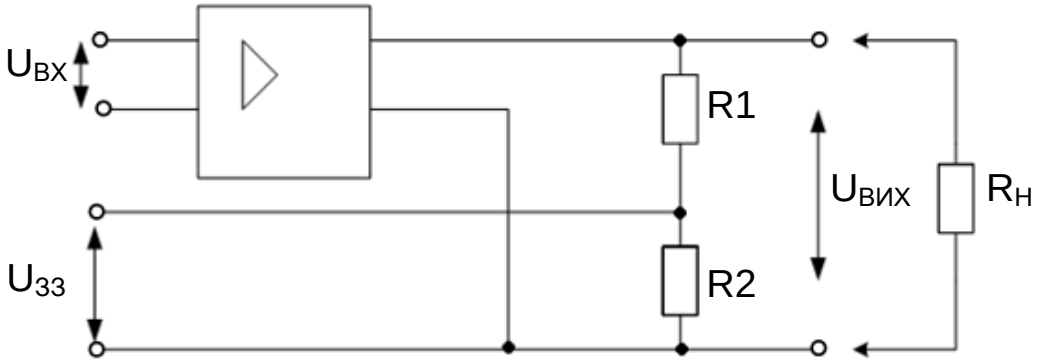


Рис. 2.9. Схема зі ЗЗ за напругою

ЗЗ діє також за відсутності $R_Н$ (тобто за $R_Н = \infty$).

2.4.3. Зворотний зв’язок за струмом

Сигнал ЗЗ $U_{ЗЗ}$ пропорційний вихідному струму $I_{ВИХ}$ (рис. 2.10) та обчислюється із виразу:

$$U_{ЗЗ} = I_{ВИХ} \cdot R_{ЗЗ}.$$

За відсутності $R_Н$ ЗЗ не діє.

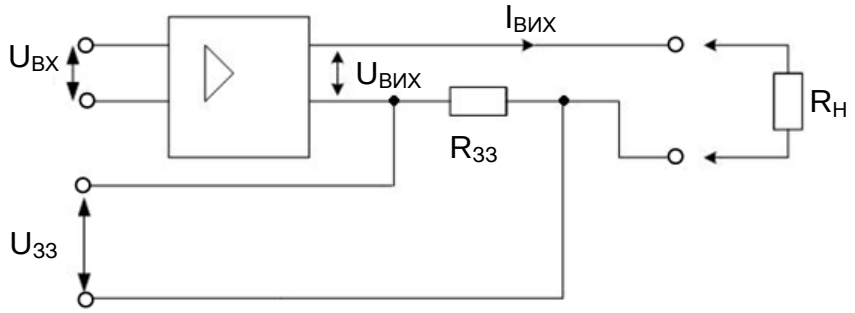


Рис. 2.10. Схема зі ЗЗ за струмом

2.4.4. Комбінований зворотний зв’язок

Сигнал ЗЗ $U_{ЗЗ}$ пропорційний вихідній напрузі $U_{ВИХ}$ (рис. 2.11), вихідному струму $I_{ВИХ}$ та обчислюється із виразу:

$$U_{зз} = \frac{U_{вих}}{R1+R2} \cdot R2 + I_{вих} \cdot R3,$$

де $R3 << R2,\ R3 << R1.$

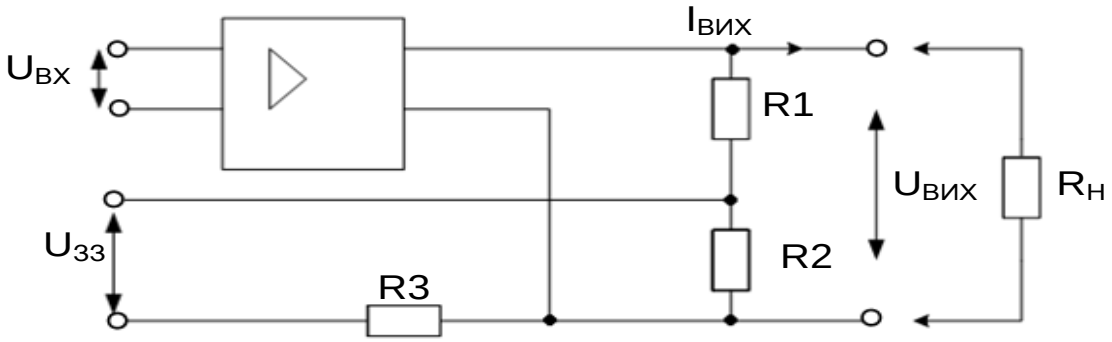


Рис. 2.11. Схема із комбінованим ЗЗ

Залежно від способу введення сигналу ЗЗ у вхідне коло розрізняють послідовний, паралельний і змішаний ЗЗ.

2.4.5. Послідовний зворотний зв'язок

Сигнал ЗЗ $U_{ЗЗ}$ подається послідовно із вхідним сигналом $U_{ВХ}$ (рис. 2.12).

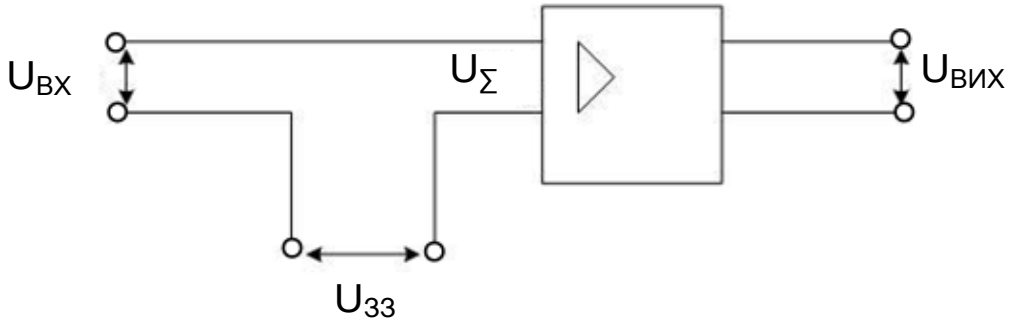


Рис. 2.12. Схема із послідовним ЗЗ

Під час послідовного ВЗЗ

$$U_{\Sigma} = U_{ВХ} - U_{ЗЗ}.$$

2.4.6. Паралельний зворотний зв'язок

Сигнал ЗЗ $U_{ЗЗ}$ подається паралельно із вхідним сигналом $U_{ВХ}$ (рис. 2.13).

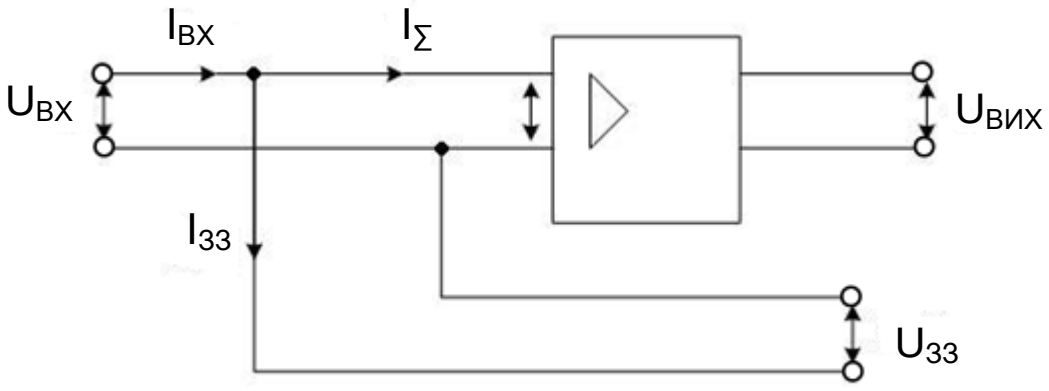


Рис. 2.13. Схема із паралельним ЗЗ

Під час паралельного ВЗЗ

$$I_{\Sigma} = I_{ВХ} - I_{ЗЗ}.$$

У разі змішаного ЗЗ із вхідного сигналу віднімаються як напруга $U_{ЗЗ}$ так і струм $I_{ЗЗ}$ [20; 22].

2.4.7. Коефіцієнт зворотного зв'язку

Для кількісного оцінювання впливу ЗЗ використовують коефіцієнт ЗЗ: $\beta_{ЗЗ}$, який показує, яка частина вихідного сигналу надходить на вхід підсилювача:

$$\beta_{ЗЗ_U} = \frac{U_{ЗЗ}}{U_{ВИХ}};$$

$$\beta_{ЗЗ_I} = \frac{I_{ЗЗ}}{I_{ВИХ}}.$$

2.4.8. Вплив від'ємного зворотного зв'язку на основні параметри та характеристики підсилювача

У підсилювачах використовується ВЗЗ. Це підвищує стабільність основних параметрів і характеристик підсилювача.

Якщо відносна нестабільність коефіцієнта підсилення

$$\delta_K = \frac{\Delta K}{K},$$

де ΔK – абсолютна нестабільність, K – коефіцієнт підсилення без ВЗЗ, то відносна нестабільність коефіцієнта підсилення підсилювача, який охоплений ВЗЗ, становить

$$\delta_{K_{ЗЗ}} = \frac{\Delta K_{ЗЗ}}{K_{ЗЗ}} = \frac{\delta_K}{1+K \cdot \beta_{ЗЗ}},$$

де $\Delta K_{ЗЗ}$ – абсолютна нестабільність підсилювача із ВЗЗ; $K_{ЗЗ}$ – коефіцієнт підсилення підсилювача із ВЗЗ; $\beta_{ЗЗ}$ – коефіцієнт ЗЗ.

Отже, нестабільність коефіцієнта підсилення підсилювача із ВЗЗ зменшується у $(1 + K\beta_{ЗЗ})$ разів.

Коефіцієнт підсилення підсилювача із ЗЗ:

– із ВЗЗ: $$K_{ВЗЗ} = \frac{K}{1+K \cdot \beta_{ЗЗ}};$$

– із ДЗЗ: $$K_{ДЗЗ} = \frac{K}{1-K \cdot \beta_{ЗЗ}},$$

тобто ВЗЗ зменшує $K_{ПІДС}$, а ДЗЗ збільшує $K_{ПІДС}$.

Якщо $K\beta_{ЗЗ} >> 1$, то коефіцієнт підсилення

$$K_{ВЗЗ} = \frac{1}{\beta_{ЗЗ}},$$

тобто підсилення не залежить від параметрів підсилювача, а визначається тільки параметрами кола ВЗЗ.

Послідовний ВЗЗ збільшує вхідний опір підсилювача ($Z_{ВХ}$ – вхідний опір без ВЗЗ, K – $K_{ПІДС}$ без ВЗЗ):

$$Z_{ВХ_{ЗЗ}} = Z_{ВХ} \cdot (1+K \cdot \beta_{ЗЗ}).$$

Паралельний ВЗЗ зменшує вхідний опір:

$$Z_{ВХ.ЗЗ} = \frac{Z_{ВХ}}{1+K \cdot \beta_{ЗЗ}}.$$

ВЗЗ за напругою зменшує вихідний опір підсилювача:

$$Z_{ВИХ.ЗЗ_U} = \frac{Z_{ВИХ}}{1+K \cdot \beta_{ЗЗ}}.$$

ВЗЗ за струмом збільшує вихідний опір:

$$Z_{ВИХ.ЗЗ_I} = Z_{ВИХ}\left(1+K \cdot \beta_{ЗЗ}\right).$$

ЗЗ впливає також на смугу пропускання Δf підсилювача (рис. 2.14).

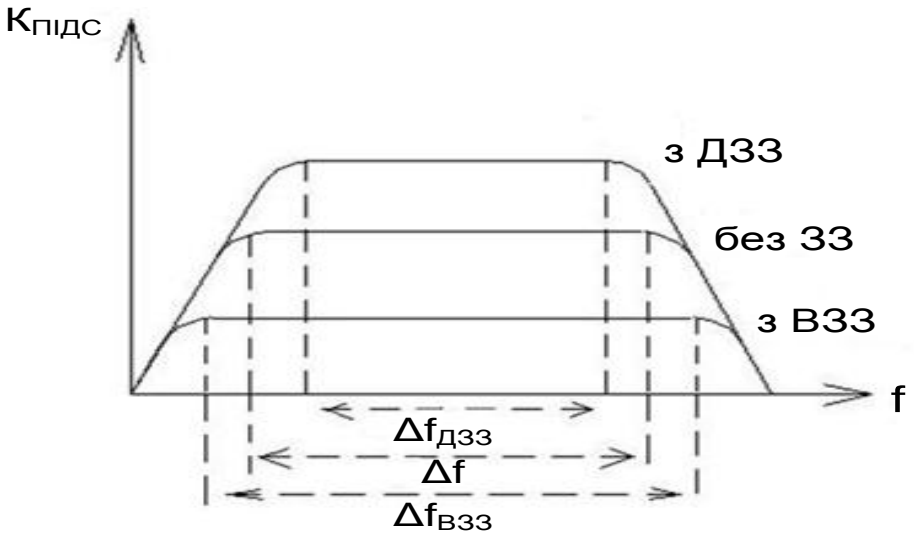


Рис. 2.14. Вплив ЗЗ на смугу пропускання

Смуга пропускання у разі ВЗЗ – розширюється, у разі ДЗЗ – звужується.

Деяке зменшення коефіцієнта підсилення під час введення ВЗЗ може бути скомпенсоване введенням додаткового каскаду, що підсилює.

Уведення ВЗЗ дозволяє покращити стабільність, збільшити вхідний і зменшити вихідний опір підсилювача (послідовний ВЗЗ за напругою *U*); зменшити вхідний і збільшити вихідний опір підсилювача (паралельний ВЗЗ за струмом *I*); розширити смугу пропускання підсилювача.

У підсилювачах можуть виникати паразитні ДЗЗ, що погіршують характеристики підсилювачів, а у деяких випадках можуть привести до самозбудження підсилювача (автогенерації).

2.5. Підсилювачі змінного струму

2.5.1. Однокаскадний підсилювач на біполярному транзисторі із спільним емітером

Розглянемо однокаскадні підсилювачі змінного струму на БТ. Залежно від схеми включення БТ підсилювачі поділяються на схеми: із СЕ, СБ і СК. Електричні принципові схеми цих підсилювачів і вирази для визначення їх основних параметрів наведені у [3; 12; 20].

Розглянемо схему підсилювального каскаду на БТ із СЕ, наведену на рис. 2.15.

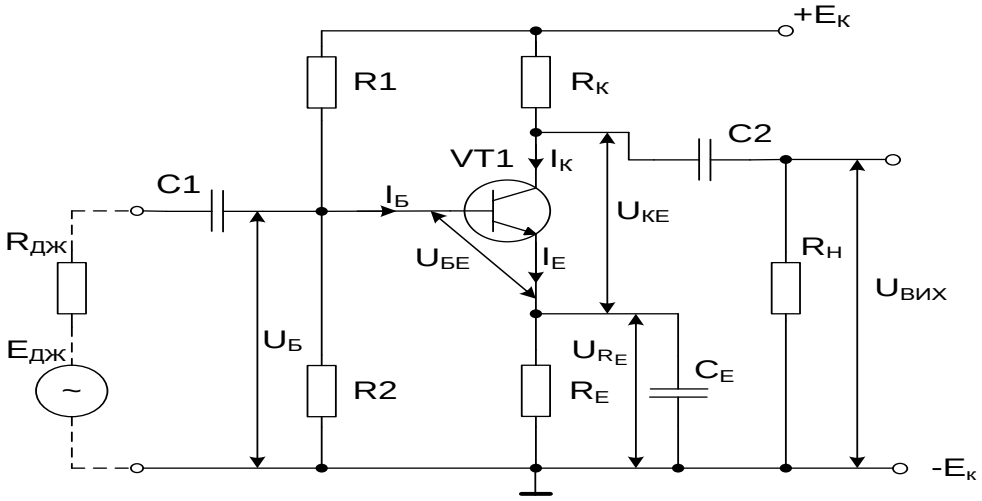


Рис. 2.15. Схема підсилювача із емітерною стабілізацією положення робочої точки

Призначення елементів схеми:

– *C*1, *C*2 – роздільні конденсатори, які відділяють схему від джерела вхідної напруги $E_{ДЖ}$ та навантаження $R_Н$ за постійним струмом;
– *R*1, *R*2 – подільник напруги $E_К$, який забезпечує (фіксує) початкове положення робочої точки за постійним струмом (фіксує напругу $U_{БЕР}$);
– $R_К$ – навантажувальний резистор транзистора VT1;
– VT1 – біполярний транзистор типу *n-p-n*, який включений за схемою із СЕ;
– $R_Е$ – емітерний резистор, який виконує функцію ВЗЗ за постійним струмом, тому що змінну складову вихідного струму шунтує конденсатор $C_Е$;
– $C_Е$ – конденсатор, який шунтує резистор $R_Е$ за змінним струмом;
– $R_Н$ – навантажувальний резистор;
– $E_{ДЖ}$ – джерело вхідної напруги;
– $R_{ДЖ}$ – власний опір джерела вхідної напруги;
– $E_К$ – джерело живлення підсилювача.

У схемі діє послідовний ($U_{БЕ} = U_Б - U_{R_Е}$) ВЗЗ за постійним струмом ($U_{R_Е} = I_Е R_Е = I_К R_Е$, оскільки $I_К \approx I_Е$, $I_Б \approx 0$), що забезпечує температурну стабілізацію положення робочої точки за постійним струмом.

Часто використовуються схеми, в яких відсутній конденсатор $C_Е$. У цьому випадку в схемі діє ВЗЗ також за змінним струмом, при цьому, як було

показано вище, коефіцієнт підсилення із ЗЗ $K_{ЗЗ} = \frac{1}{\beta_{ЗЗ}}$. Оскільки $I_К \approx I_Е$, то $\beta_{ЗЗ} = \frac{R_Е}{R_К}$, тоді $K_{ЗЗ} = \frac{R_К}{R_Е}$. Вплив ВЗЗ на параметри підсилювача описаний вище.

Під час вибору конденсаторів $C1$, $C2$ та $C_Е$ враховують те, що для того, щоб ємності не впливали у смузі робочих частот на роботу підсилювача необхідно, щоб їх реактивний опір $X_С = 1/2\pi f_С$ був малим.

Ця універсальна схема може бути використана без зміни елементів у схемі підсилювача із СК. У цьому випадку $R_К$ закорочується, а сигнал знімається через $C_Е$. Також ця схема досить легко може бути перетворена у схему із СБ. У цьому випадку $C1$ заземлюється, сигнал подається через $C_Е$ і знімається через $C2$. Стабілізація режиму роботи забезпечується за допомогою $R_Е$.

2.5.2. Режими (класи) роботи підсилювачів

Робочою точкою транзистора називають точку перетину динамічної характеристики (прямої навантаження) із однією із статичних ВАХ (рис. 2.16).

Залежно від початкового положення робочої точки і амплітуди вхідного сигналу розрізняють такі режими (класи) роботи підсилювачів: *A*, *B*, *C*, *AB* [3; 12; 20].

Приналежність підсилювача до конкретного класу залежить від значення кута відсічення струму (кута відсічення) θ.

Під кутом відсічення розуміють половину часу, протягом якого через транзистор проходить струм.

Для класу *A* початкове положення робочої точки обирають таким чином, що транзистор проводить струм протягом всього періоду зміни вхідного сигналу ($t = 2\pi$), тобто кут відсічення $\theta = 2\pi/2 = \pi$. Робоча точка знаходиться приблизно посередені відрізку *AB* (рис. 2.16).

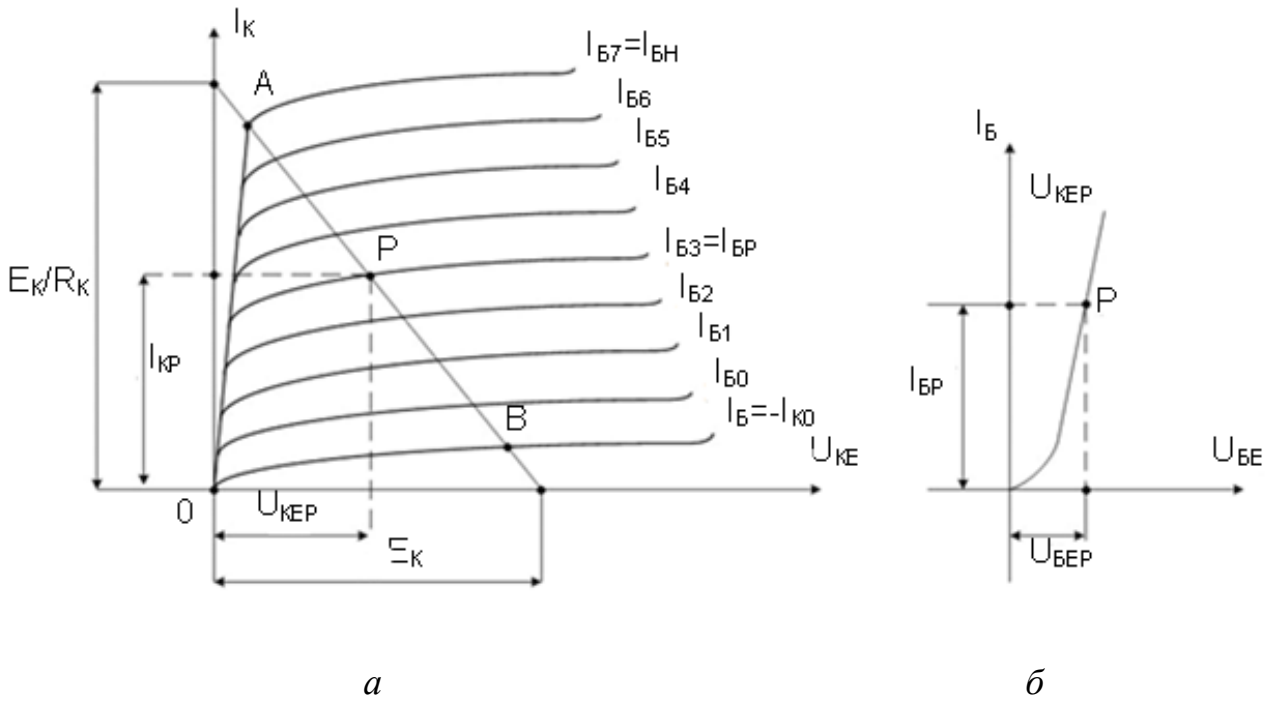


Рис. 2.16. Визначення параметрів початкового положення робочої точки транзистора за характеристиками: *а* – вихідними; *б* – вхідній

У класі *B* початкове положення робочої точки обирають на границі області відсічення і транзистор відкритий лише половину періоду вхідного сигналу, тобто працює із відсіченням струму, при цьому кут відсічення $\theta = \pi/2 = 90°$

У класі *C* початкове положення робочої точки відповідає області відсічення і транзистор відкритий меншого періоду часу, ніж половина періоду вхідного сигналу, при цьому кут відсічення $\theta < 90°$.

У класі *AB* робоча точка займає проміжне положення між класами *A* і *B*, при цьому кут відсічення складає 120°…130°.

Граничні зміни вхідного струму бази мають бути такими, щоб робоча точка не виходила за межі відрізку *AB*. Початкове положення робочої точки забезпечується подільником напруги, що складається із резисторів *R*1 і *R*2 (рис. 2.15), значення яких визначають із співвідношень:

$$R1=\frac{E_K-U_{БЕР}-U_{R_E}}{I_П+I_{БР}},$$

$$R2=\frac{U_{БЕР}+U_{R_E}}{I_П},$$

де – $I_П = (2…5)\ I_{БР}$ – струм у ланцюзі подільника.

Під час забезпечення режиму роботи транзистора необхідно здійснити температурну стабілізацію положення робочої точки (зменшити вплив температури на початкове положення робочої точки). Із цією метою у емітерний ланцюг введений резистор R_E, на якому створюється напруга ВЗЗ за постійним струмом U_{R_E} (рис. 2.15). Для усунення ВЗЗ за змінним струмом (за наявності вхідного змінного сигналу) резистор R_E шунтують конденсатором C_E, опір якого на частоті сигналу, що підсилюється, має бути незначним.

2.5.3. Однокаскадний підсилювач на біполярному транзисторі із спільним колектором (емітерний повторювач)

Емітерний повторювач (ЕМП) представляє собою підсилювач струму і потужності, який виконаний на транзисторі за схемою із спільним колектором (рис. 2.17).

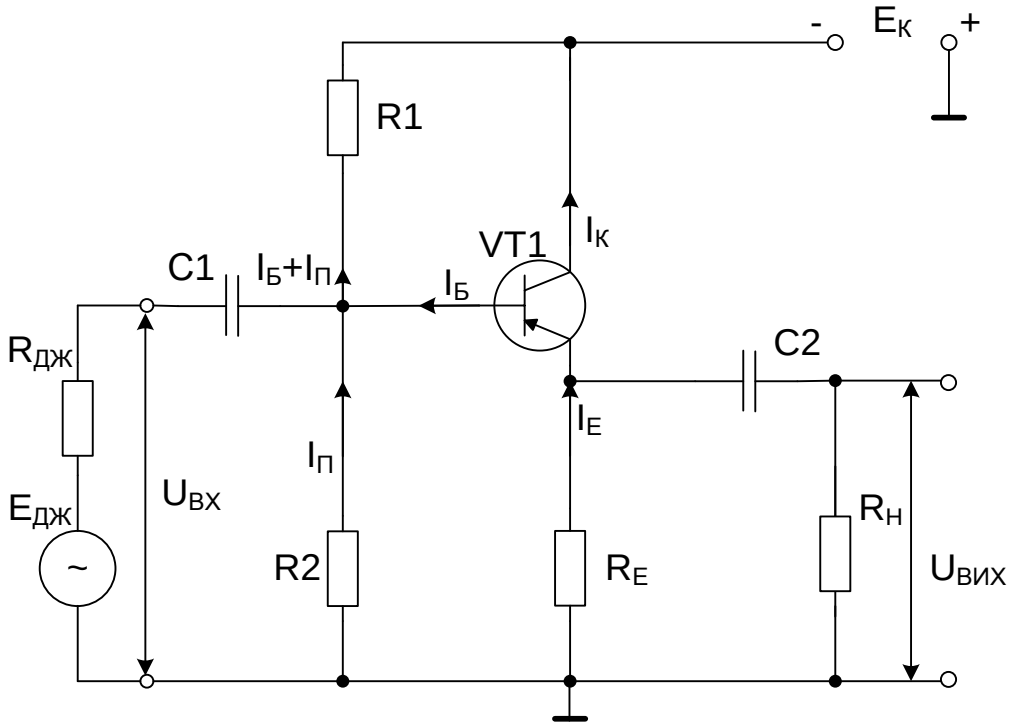


Рис. 2.17. Електрична принципова схема ЕМП

Опір навантаження включається у емітерний ланцюг транзистора. ЕМП має високий вхідний і малий вихідний опори.

Його вхідна і вихідна напруга збігаються за фазою і трохи відрізняються за значеннями (вихідна напруга трохи менше вхідної). Відмічені властивості ЕМП дозволяють використовувати його для

узгодження (розділення) високоомного джерела напруги і низькоомного навантаження.

2.5.4. Підсилювач на польовому транзисторі з *n-p*-переходами

Польовий транзистор можна включати в підсилювальну схему трьома різними способами: із спільним витоком (СВ), спільним стоком (СС) і спільним затвором (СЗ). На практиці частіше застосовують схему із СВ (рис. 2.18), аналогічну до схеми на напівпровідниковому транзисторі із СЕ.

Початковий режим роботи польового транзистора (рис. 2.19) забезпечується постійним струмом $I_{СР}$ і відповідною йому постійною напругою на стоці $U_{СВР}$ (для біполярного транзистора $I_{КР}$ і $U_{КЕР}$).

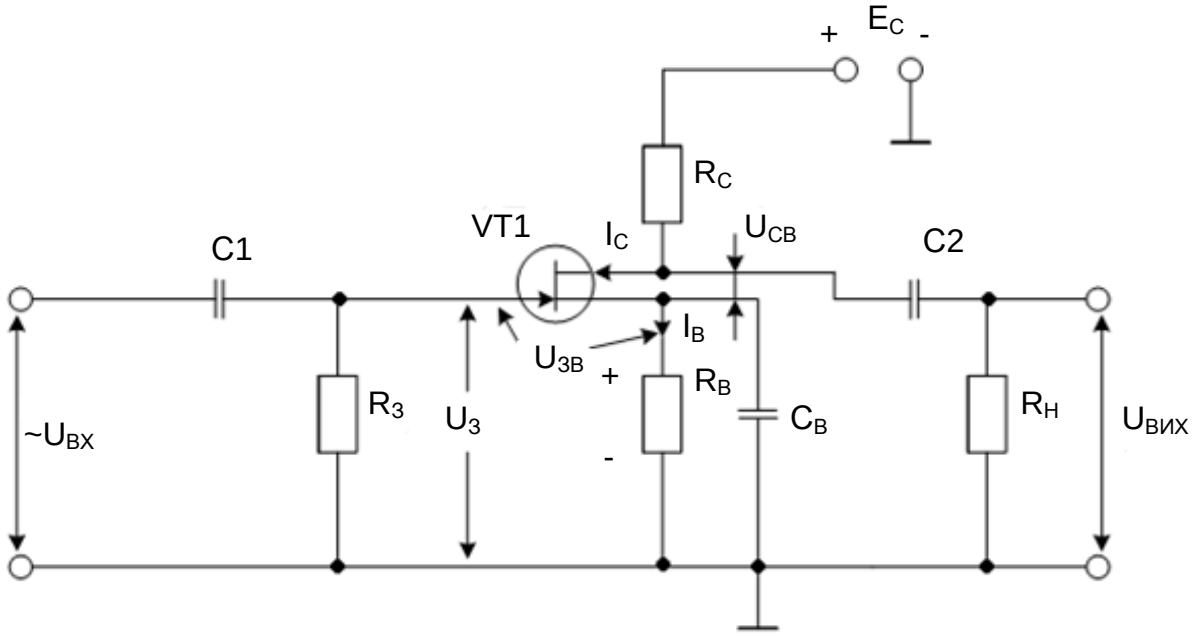


Рис. 2.18. Схема підсилювача на польовому транзисторі із спільним витоком

Струм $I_{СР}$ у вихідному (стічному) ланцюзі встановлюється за допомогою джерела живлення $E_С$ і початкової напруги зсуву на затворі $U_{ЗВР}$ від'ємної полярності (для польового транзистора із *p*-каналом – додатної полярності). Оскільки струм затвора польового транзистора дуже малий (вхідний опір ПТ дуже високий), напруга $U_{ЗВР}$ забезпечується за рахунок того ж самого струму $I_{СР}$, що проходить через резистор у ланцюзі витоку $R_В$, тобто $U_{ЗВР} = –I_{СР} R_В$.

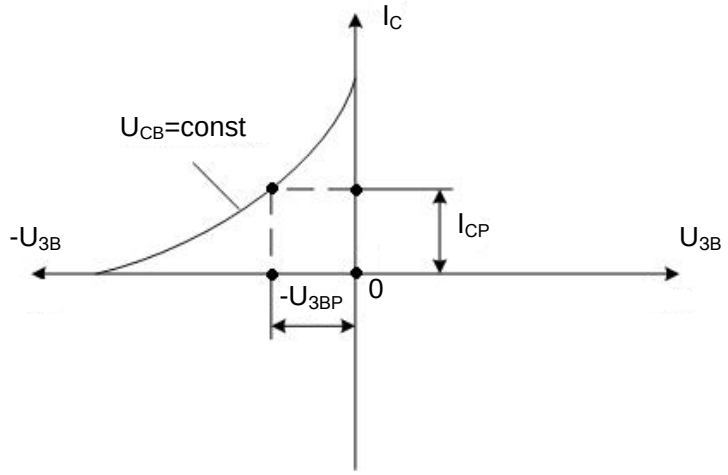


Рис. 2.19. Стоко-затворна ВАХ ПТ із *p-n*-переходами і каналом *n*-типу

Ця напруга через резистор $R_З$ прикладається до затвора із від'ємною полярністю. Змінюючи $R_В$, можна змінювати напругу $U_{ЗВР}$, і як це видно із стоко-затворної характеристики (рис. 2.19), змінювати струм стоку $I_{СР}$, встановлюючи необхідне його значення.

Резистор $R_В$, окрім функції автоматичного зсуву на затвор, виконує функцію термостабілізації режиму роботи підсилювача за постійним струмом, стабілізуючи $I_{СР}$.

На резисторі $R_В$ виробляється сигнал ВЗЗ за постійним струмом

$$U_{R_В} = I_C \cdot R_В.$$

ВЗЗ є послідовним, тому що сигнал ВЗЗ віднімається від вхідного сигналу

$$U_{ЗВ} = U_З - U_{R_В}.$$

Щоб на опорі $R_В$ не виділялася напруга за рахунок змінної складової струму стоку $I_{C\sim}$ (це привело б до ВЗЗ за змінним струмом), його шунтують конденсатором $C_В$, ємність якого визначається із умови $C_В >> 1/\omega R_В$, де ω – частота сигналу, що підсилюється.

Резистор $R_З$, що включений паралельно вхідному опору підсилювача, який дуже великий, повинен мати сумісний із ним опір.

Динамічний режим роботи польового транзистора забезпечується резистором у ланцюзі стоку R_C, з якого знімається змінний вихідний сигнал за наявності вхідного сигналу, що підсилюється. Зазвичай $R_C << R_З$; $R_З \approx R_{ВХ}$. Коефіцієнт підсилення підсилювального каскаду на польовому транзисторі в області середніх частот визначається рівністю [3; 12; 20]:

$$K_U = -SR_{C\sim}, \qquad (2.1)$$

де S – статична крутизна характеристики польового транзистора, а

$$R_{C\sim} = \frac{R_C \cdot R_H}{R_C + R_H}.$$

Знак «–» у виразі (2.1) вказує на те, що підсилювальний каскад із СВ змінює фазу сигналу, що підсилюється на 180° (як у підсилювальному каскаді за схемою із СЕ).

На рис. 2.20 наведено стоко-затворну ВАХ транзистора і показано вплив вхідної змінної напруги на вихідний струм.

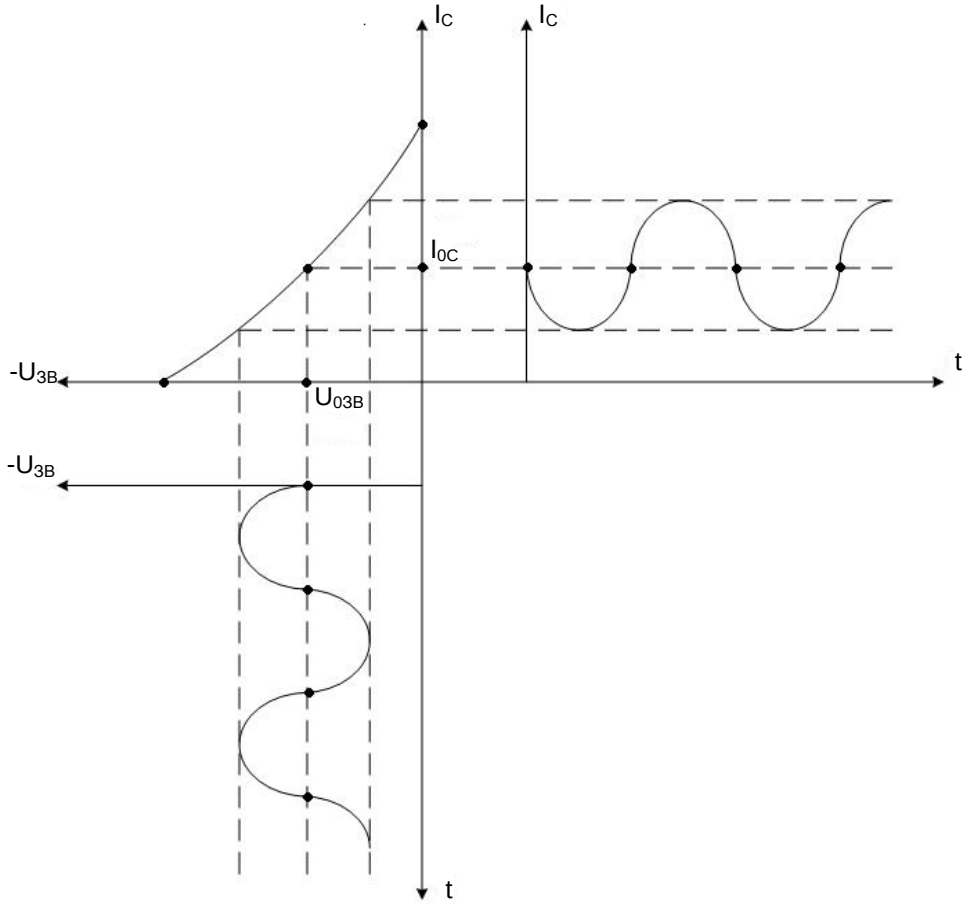


Рис. 2.20. Вплив вхідної змінної напруги на вихідний струм

Як видно із наведеного рисунка, під час подачі на затвор від'ємного півперіоду вхідного сигналу струм стоку зменшується, зменшується падіння напруги $I_C R$, що приводить до збільшення додатного потенціалу на виході схеми, тобто така схема із спільним витоком інвертує фазу вхідної напруги.

Підсилювачі на польових транзисторах завдяки їх великому вхідному опору (декілька МОм) широко застосовуються як вхідні каскади різних електронних пристроїв, джерело вхідного сигналу яких має великий внутрішній опір.

2.5.5. Схема із фіксованим струмом бази

Як зазначалося у 2.5.1, 2.5.2, робота однокаскадного транзисторного підсилювача залежить від початкового положення робочої точки за постійним струмом. Це положення визначається величиною струму у вхідному ланцюзі. Розглянемо найпростіший однокаскадний підсилювач на БТ, що включений за схемою із СЕ, в якому положення робочої точки визначається значенням струму бази $I_{0Б}$ (рис. 2.21).

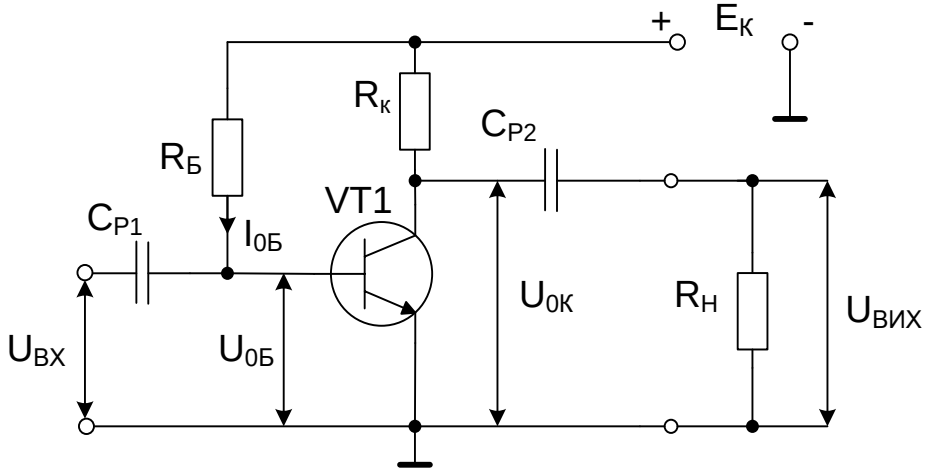


Рис. 2.21. Схема підсилювача із фіксованим струмом бази

Початковий струм бази $I_{0Б}$ визначається напругою $E_К$ і достатньо великим опором $R_Б$

$$R_Б = \frac{E_К - U_{0Б}}{I_{0Б}},$$

де $U_{0Б}$ – початкове зміщення на базі за постійним струмом.

Враховуючи, що $U_{0Б} << E_К$, то величина $I_{0Б}$ розраховується за формулою

$$I_{0Б} \approx \frac{E_К}{R_Б}.$$

Постійна складова струму колектора

$$I_{0К} = \beta \cdot I_{0Б},$$

де β – коефіцієнт підсилення струму.

Значення резистора $R_К$ можна визначити за формулою

$$R_К = \frac{E_К - U_{0К}}{I_{0К}},$$

де $U_{0К}$ – напруга на колекторі, яка відповідає початковому положенню робочої точки.

Розглянута схема достатньо проста, але має низку недоліків [20]:

– залежність параметрів від температури;
– залежність від розкиду параметрів транзисторів.

2.5.6. Схема із фіксованою базовою напругою

Схема із фіксованою базовою напругою (рис. 2.22) порівняно зі схемою підсилювача із фіксованим базовим струмом менш чутлива до впливу температури.

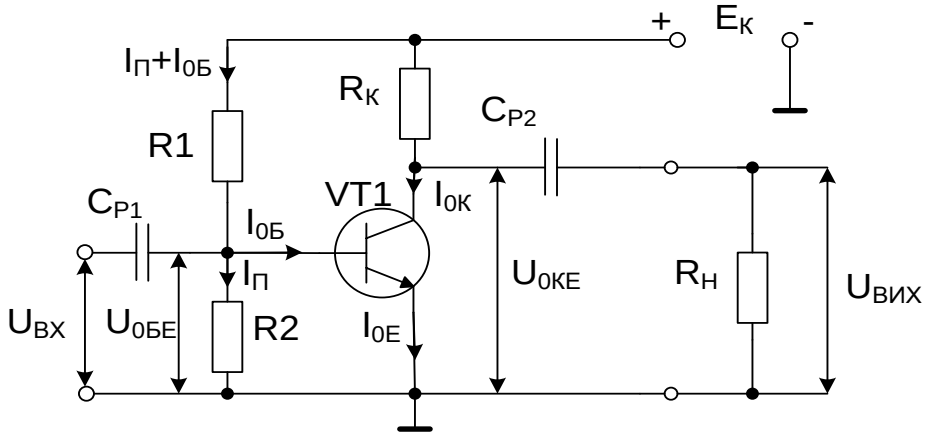


Рис. 2.22. Схема підсилювача із фіксованою базовою напругою

На схемі прийняті такі позначення:

– $I_П$ – струм подільника напруги $+E_К$, утворений резисторами $R1$, $R2$;
– $I_{0Б}$ – струм бази, що відповідає початковому положенню робочої точки;
– $U_{0БЕ}$ – напруга база–емітер, що відповідає початковому положенню робочої точки;
– $I_{0К}$, $I_{0Е}$ – відповідно постійні складові струму колектора і струму емітера;
– $U_{0К}$ – постійна складова напруги колектор–емітер.

Струм подільника обирається із співвідношення

$$I_П = (2...5) \cdot I_{0Б}.$$

Нижче наведено основні розрахункові співвідношення:

$$R1 = \frac{E_К - U_{0БЕ}}{I_П + I_{0Б}}.$$

$$R2=\frac{U_{0БЕ}}{I_П}.$$

$$R_К=\frac{E_К-U_{0К}}{I_{0К}}.$$

$$I_{0К}=I_{0Б}\cdot\beta.$$

2.5.7. Схема із колекторною стабілізацією

Схема із колекторною стабілізацією (рис. 2.23) відрізняється від схеми із фіксованим струмом бази тим, що резистор $R_Б$ підключений не до джерела живлення, а до колектора транзистора.

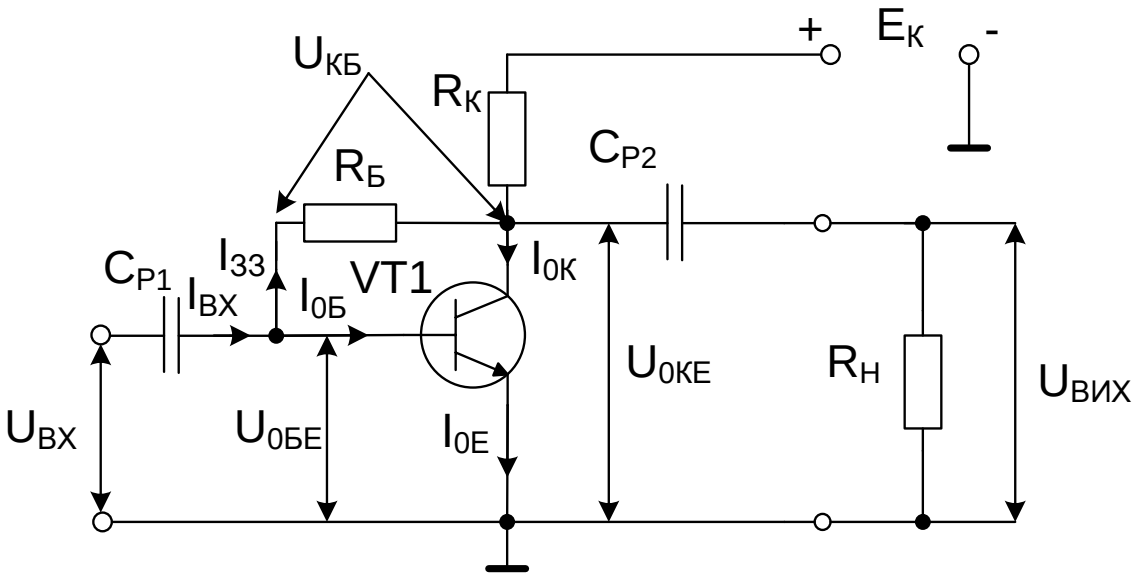


Рис. 2.23. Схема підсилювача із колекторною стабілізацією

У схемі діє паралельний ВЗЗ за напругою: $I_Б = (I_{ВХ} – I_{ЗЗ})$, $I_{ЗЗ} = f(U_{КЕ})$, який виконує функцію термостабілізації положення робочої точки. Якщо через вплив температури збільшується, наприклад, $I_К$, то збільшується спад напруги на $R_К$, зменшується напруга $U_{КБ}$, і струм бази $I_Б$. Зменшення струму $I_Б$ приведе до зниження струму колектора $I_К$ ($I_К = \beta I_Б$), який прямує до свого початкового значення. В результаті $I_{0К}$ і $U_{0К}$ змінюються досить незначно.

2.5.8. Фазо-інверсний підсилювач

Фазо-інверсний підсилювач (рис. 2.24) формує дві напруги рівні за величиною, але протилежні за фазою.

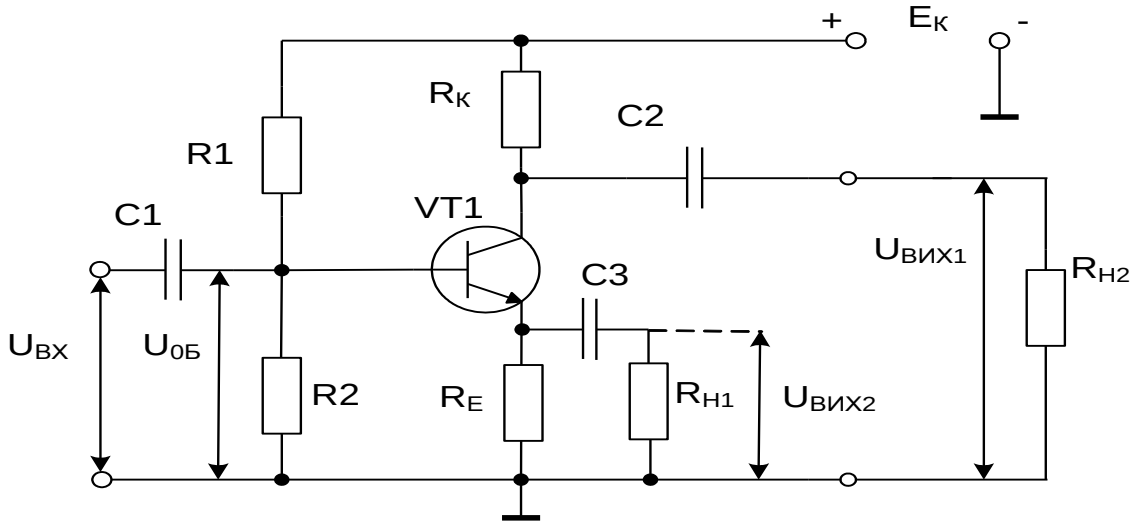


Рис. 2.24. Схема фазо-інверсного підсилювача

Вихідний сигнал $U_{ВИХ1}$, що знімається з колектора транзистора VT1, має полярність, протилежну вхідному сигналу $U_{ВХ}$ і вихідній напрузі $U_{ВИХ2}$, яка знімається з емітера транзистора VT1.

2.5.9. Підсилювач напруги на метал–оксид–напівпровідник–польовому транзисторі

Схема підсилювача напруги на МОН-польовому транзисторі із індукованим каналом *n*-типу наведено на рис. 2.25.

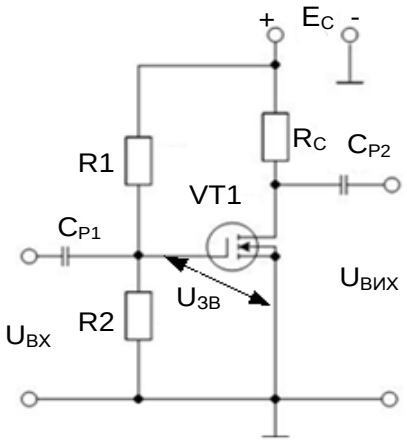


Рис. 2.25. Підсилювач напруги на МОН-польовому транзисторі

Подільник напруги E_C, виконаний на резисторах $R1$, $R2$, задає початкове значення $U_{03В}$, тобто фіксує положення робочої точки за постійним струмом (рис. 2.26).

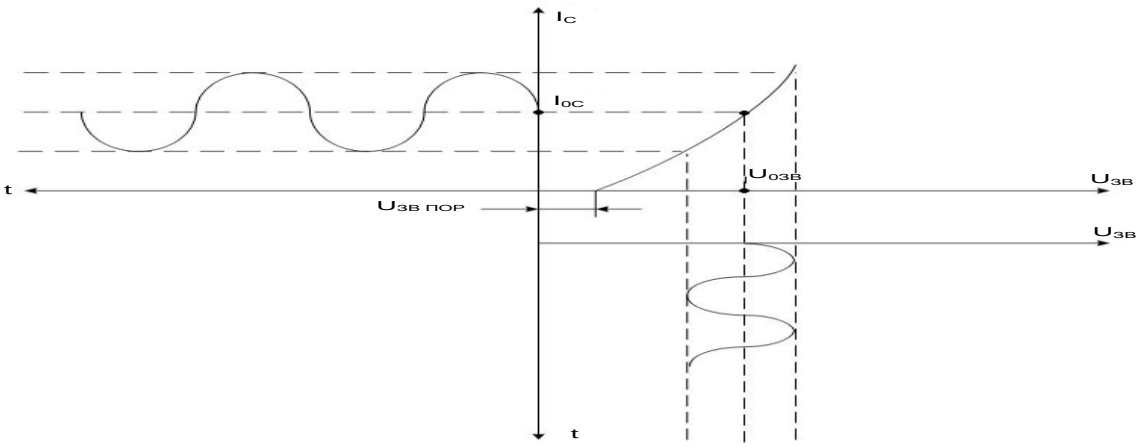


Рис. 2.26. Вплив вхідної змінної напруги на вихідний струм

Дана схема із спільним витоком інвертує фазу вхідної напруги.

2.5.10. Емітерний повторювач на складеному транзисторі

Складений транзистор широко застосовується в разі потреби отримання високого підсилення струму бази [3; 11]. Він складається із двох транзисторів, з'єднаних певним чином (рис. 2.27).

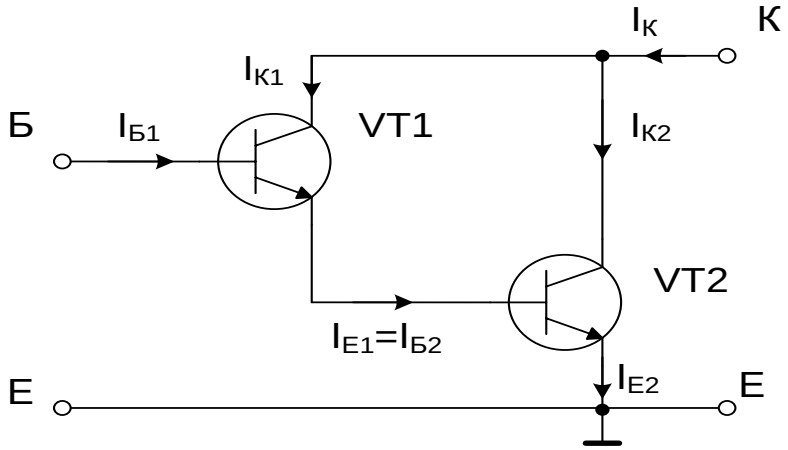


Рис. 2.27. Схема складеного транзистора

Колектори двох транзисторів VT1 і VT2 сполучені разом і утворюють колектор (К) складеного транзистора. До бази транзистора VT2 приєднаний емітер транзистора VT1.

У цьому разі база транзистора VT1 і емітер транзистора VT2 є відповідно спільною базою (Б) і спільним емітером (Е) складеного транзистора.

Для складеного транзистора справедливі такі співвідношення:

$$I_{К1}=\beta_1 \cdot I_{Б1},$$

$$I_{E1}=I_{Б2} \approx I_{K1}, \qquad (2.2)$$

$$I_{K2}=\beta_2 \cdot I_{Б2}=\beta_2 \cdot I_{E1}=\beta_2 \cdot I_{К1}=\beta_1 \cdot \beta_2 \cdot I_{Б1}.$$

Тоді коефіцієнт підсилення струму бази складеного транзистора

$$\beta=\frac{I_{К2}}{I_{Б1}}=\frac{\beta_1 \cdot \beta_2 \cdot I_{Б1}}{I_{Б1}}=\beta_1 \cdot \beta_2,$$

тобто рівний добутку коефіцієнтів підсилення струму окремих транзисторів VT1 і VT2.

Для того, щоб забезпечити виконання (2.2), транзистор VT2 виконується потужнішим.

На рис. 2.28 наведено схему Дарлінгтона, в якій як біполярний транзистор емітерного повторювача застосований складений транзистор.

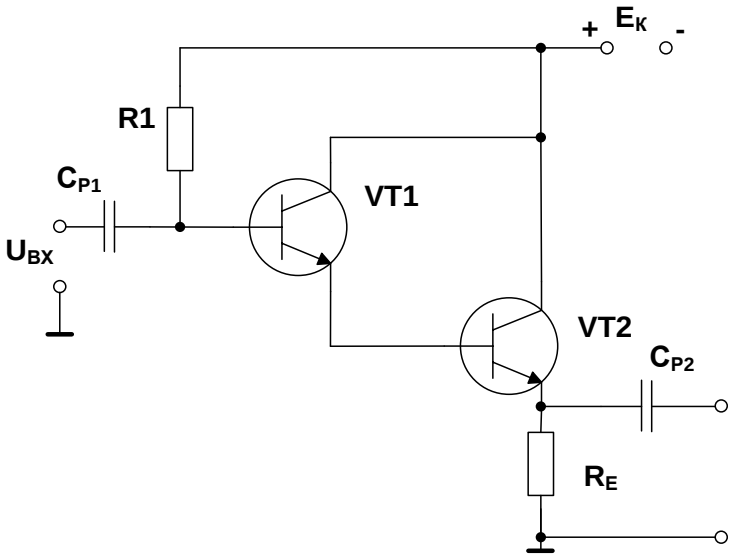


Рис. 2.28. Схема емітерного повторювача на складеному транзисторі

Застосування складеного транзистора в цій схемі дає збільшення коефіцієнта підсилення струму і збільшує вхідний опір підсилювача.

2.5.11. Підсилювач із автоматичним регулюванням підсилення

Підсилювач із автоматичним регулюванням підсилення (АРП) (рис. 2.29) автоматично регулює коефіцієнт підсилення так, щоб підтримувати задане значення вихідної змінної напруги.

На рис. 2.29 прийняті такі позначення:

– U_{ET} – еталонна (зразкова) постійна напруга;
– ~U_{BX}; ~$U_{BИX}$ – відповідно вхідна і вихідна змінна напруги;
– КНП – керований напругою підсилювач;
– ДТ – детектор (випрямляч) вихідної змінної напруги;
– ІСП – інтегратор сигналу похибки.

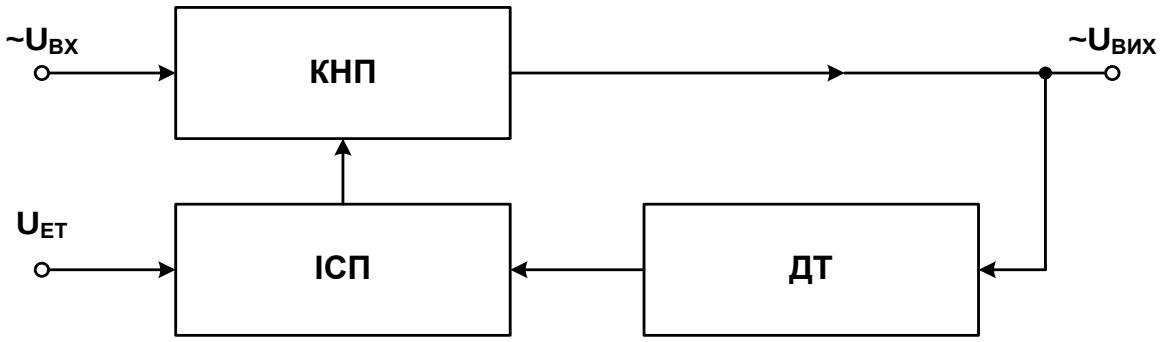


Рис. 2.29. Структура підсилювача із АРП

Якщо відбуваються помилкові зміни вихідного сигналу щодо заданого значення, то змінюється рівень постійної напруги на виході детектора (випрямляча). Ця напруга порівнюється із еталонним значенням в ІСП, який виробляє керувальний сигнал для КНП, пропорційний сигналу похибки, при цьому змінюється коефіцієнт підсилення КНП доти, поки вихідна напруга перетвореного змінного струму у постійний не стане рівною заданому еталонному значенню.

З одного боку, час реакції підсилювача із АРП можна змінювати, варіюючи постійну часу інтегратора. Затримка АРП повинна бути достатньо великою, щоб не викликати непотрібну реакцію на короткочасні випадкові зміни вихідного сигналу. З іншого боку, час реакції не повинен бути дуже великим, щоб не викликати надмірні затримки.

Нижче наведено простий приклад схеми із АРП (рис. 2.30).

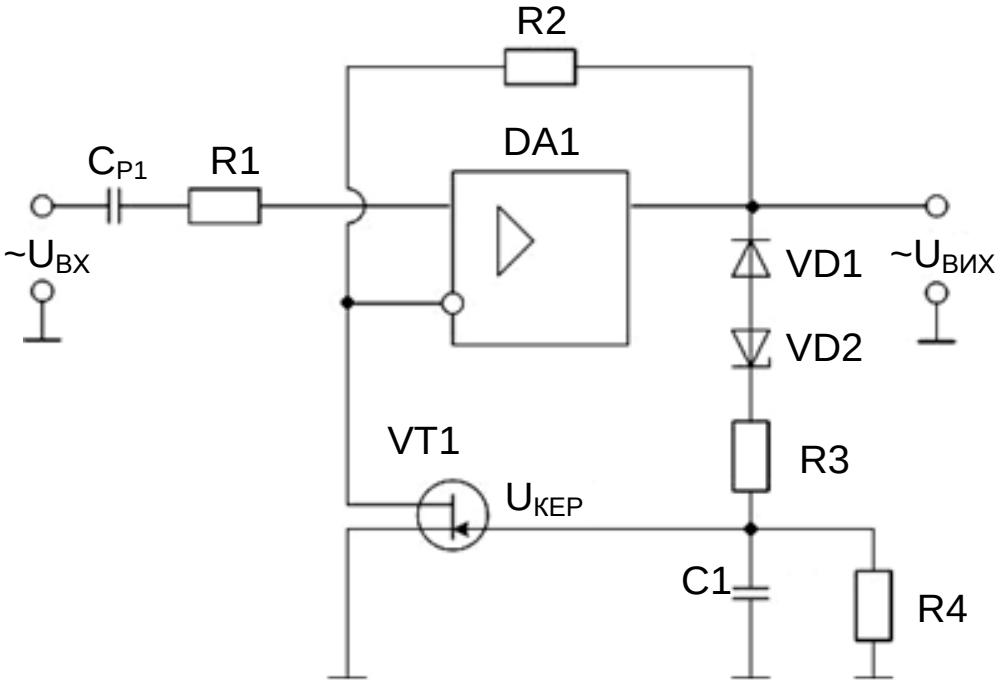


Рис. 2.30. Схема підсилювача із АРП

Діод VD1 виконує функцію простого однонапівперіодного випрямляча (детектора) і пропускає від'ємні напівперіоди вихідної синусоїдальної напруги. Стабілітрон VD2 задає рівень еталонного значення, яке дорівнює його напрузі пробою. Під час перевищення рівня вихідного сигналу напруги пробою відбувається різке зростання зворотного струму, який проходить через стабілітрон. Конденсатор *C*1 разом із резисторами *R*3, *R*4 виконують функцію інтегратора сигналу похибки.

Як КНП в цій схемі застосований неінвертуючий операційний підсилювач (ОП), робота якого розглядатиметься в підрозд. 2.7.5. Коефіцієнт підсилення цього підсилювача визначається виразом

$$K_{КНП} = (1 + \frac{R2}{R_{CB}}), \qquad (2.3)$$

де $R_{СВ}$ – опір польового транзистора VT1 із *p*-*n*-переходами і каналом *n*-типу.

Керувальна від'ємна напруга $U_{КЕР}$ із ємності *C*1 подається на затвор VT1. Під час зміни $U_{КЕР}$ змінюється ширина каналу польового транзистора, при цьому змінюється його опір стік–витік $R_{СВ}$, і отже змінюється коефіцієнт підсилення підсилювача (2.3). Щоб уникнути спотворень, польовий транзистор повинен працювати на лінійній ділянці ВАХ.

Якщо, наприклад, рівень вихідного сигналу збільшиться і перевищить напругу пробою VD2, то на затворі VT1 формується від'ємна напруга $U_{КЕР}$,

яка збільшує $R_{СВ}$; при цьому зменшується $K_{КНП}$, що у свою чергу приведе до зменшення вихідної напруги.

2.6. Підсилювачі постійного струму

2.6.1. Загальні відомості про підсилювачі постійного струму

Основна відмінність підсилювачів постійного струму (ППС) від підсилювачів змінного струму полягає в тому, що нижня межа їх смуги пропускання $f_{Н.ГР}$ дорівнює нулю (рис. 2.31).

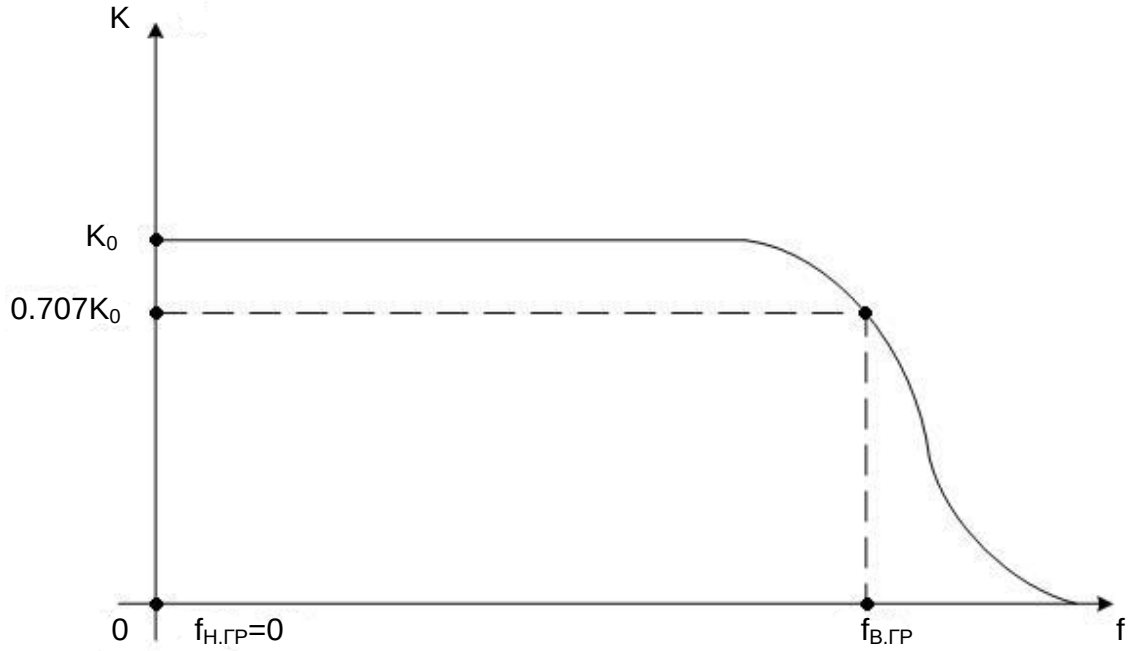


Рис. 2.31. АЧХ ППС

Тому ППС використовуються для підсилення електричних сигналів постійних за рівнем, або таких, що поволі змінюються, наприклад в інтегральних ОП.

Під час побудови багатокаскадних ППС ємнісний або трансформаторний зв'язок використовувати не можна. Для з'єднання окремих каскадів підсилення застосовується тільки гальванічний зв'язок, тому ППС ще називають підсилювачами із безпосереднім зв'язком; при цьому вихід попереднього каскаду омічно пов'язаний із входом наступного. Оскільки в ланцюгах зв'язку ППС відсутні реактивні елементи (наприклад, роздільні конденсатори у підсилювачах із реостатно-ємнісним зв'язком), то через підсилювач одночасно можуть проходити корисний сигнал, що підсилюється, і сигнал завади. Цей сигнал може з'явитися на вході під

впливом різних дестабілізуючих чинників, наприклад, зміни напруги джерела живлення, температури, тощо. Корисний сигнал і сигнал завади можуть мати однаковий або близький характер зміни у часі.

На виході підсилювача такі сигнали підсумовуються і розрізнити їх неможливо, що створює помилкове уявлення про дійсний підсилений корисний сигнал.

Довільні зміни сигналу, що підсилюється, не пов'язані зі змінами вхідного корисного сигналу, а обумовлені внутрішніми процесами, називаються дрейфом нуля ППС.

Значення дрейфу оцінюють за зміною рівня вихідної напруги дрейфу від мінімальної до максимальної

$$U_{ДР} = U_{ДР\,max} - U_{ДР\,min}$$

під час незмінного корисного вхідного сигналу (U_{BX} = const).

Для якісного оцінювання різних ППС за значенням дрейфу користуються поняттям дрейфу нуля, приведеного до входу підсилювача,

$$d = \frac{U_{ДР\,max} - U_{ДР\,min}}{K_U},$$

де K_U – коефіцієнт підсилення ППС за напругою.

Основними заходами для зниження дрейфу нуля є: жорстка стабілізація джерел живлення підсилювачів; використання ВЗЗ; застосування балансних компенсаційних схем ППС; використання елементів із нелінійною залежністю параметрів від температури для компенсації температурного дрейфу; застосування ППС із перетворенням постійного струму у змінний, тощо.

Найважливіші параметри ППС: коефіцієнт підсилення, вхідний і вихідний опори, дрейф нульового (початкового) рівня вихідної напруги, динамічний діапазон, тощо. Верхня робоча частота ППС визначається їх призначенням і зазвичай забезпечується без вживання спеціальних заходів.

ППС будують за двома принципами:

– ППС із безпосередніми зв'язками (прямого підсилення);
– ППС із перетворенням постійного струму у змінний (ППС на несучій частоті).

Під час проектування підсилювачів постійного струму із безпосередніми зв'язками потрібно вирішувати три питання, беручи за основу побудови ППС каскади відомих RC-підсилювачів:

– як погодити джерело струму вхідного сигналу із входом підсилювача, щоб не змінити його режим за постійним струмом;
– як узгодити навантаження із виходом підсилювача;
– як безпосередньо зв’язати каскади один з одним.

Ці проблеми вирішують, наприклад, з використанням диференціального ППС.

2.6.2. Диференціальний підсилювач постійного струму

Диференціальні каскади відносять до балансних (мостових) схем ППС, які розглянуті у [3; 11; 20]. Ці схеми використовують для зниження дрейфу нуля, що викликається зміною напруги живлення і температури навколишнього середовища. Диференціальні каскади (рис. 2.32) мають два входи і два виходи, що дозволяє проектувати підсилювачі, що інвертують або не інвертують.

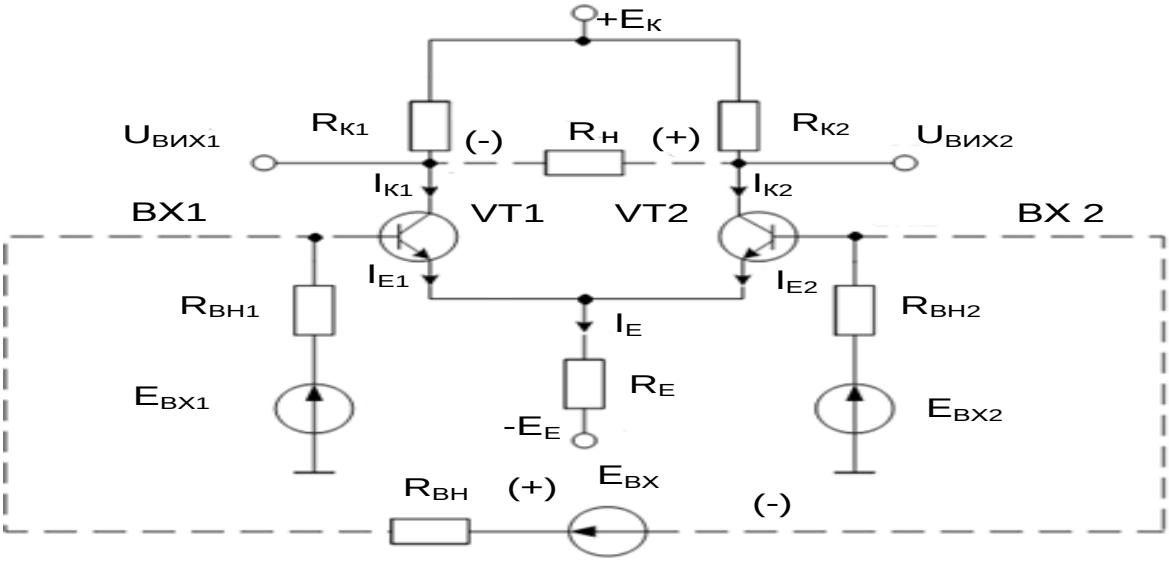


Рис. 2.32. Схема диференціального ППС

Диференціальний ППС (ДППС) представляє собою балансний ППС із джерелом стабільного струму у ланцюгу емітера (I_E), величина якого визначається додатковим джерелом живлення ($-E_E$) і резистором в емітерному ланцюзі R_E.

В окремому випадку, напруга вхідного сигналу може бути подана лише на один вхід (E_{BX1} = 0 або E_{BX2} = 0). Напруга вихідного сигналу знімається або між колекторами транзисторів (симетричний вихід), або із колектора одного із транзисторів відносно спільного дроту (несиметричний вихід).

Опір R_E має бути відносно великим і повинен перевищувати вихідний опір підсилювача.

Важливою особливістю ДППС є здатність високого підсилення різницевого вхідного сигналу $E_{ВХ1} - E_{ВХ2}$ (коли вхідні сигнали протифазні (різнополярні) або мають різні значення); при цьому підсилювач значно послаблює однаковий (синфазний) вхідний сигнал, яким часто є різноманітні завади.

У разі симетричних плечей схеми (транзистори ідентичні, $R_{К1} = R_{К2} = R_К$) і відсутності вхідних сигналів $E_{ВХ1} = E_{ВХ2} = 0$ ДППС збалансований і напруга між колекторами (на виході) дорівнює нулю.

У цьому разі в режимі спокою напруга емітерів у стані спокою становить

$U_{ЕС1} = U_{ЕС2} = (-E_Е + (I_{ЕС1} + I_{ЕС2}) R_Е) < 0$; $I_{ЕС1} = I_{ЕС2}$; $I_{КС1} = I_{КС2}$; $U_{КС1} = U_{КС2}$;
$U_{ВИХ} = U_{КС2} - U_{КС1} = 0$.

Якщо, наприклад, росте температура, то $I_{ЕС1}$, $I_{ЕС2}$ зростають, напруги $U_{ЕС1}$, $U_{ЕС2}$ стають менш від'ємними (більш додатними), транзистори VT1, VT2 закриваються, струми $I_{К1}$, $I_{К2}$ зменшуються. Струм емітера $I_{ЕС} = (I_{ЕС1} + I_{ЕС2})$ залишається постійним ($R_Е$ – велике). Будь-які симетричні зміни у схемі зводять дрейф нуля до нуля. Порівняно із звичайним ППС дрейф нуля знижується на декілька порядків, що дозволяє підсилювати менші рівні вхідних корисних сигналів.

Оскільки струм $I_{ЕС}$ розділяється між плечима ДППС навпіл, то потенціали колекторів обох транзисторів однакові і рівні (рис. 2.33)

$$U_{КС} = U_{ВИХ1} = U_{ВИХ2} = \frac{E_К - (I_{ЕС} \cdot R_К)}{2}.$$

Якщо у момент часу t_1 на вхід транзистора VT1 поступив додатний сигнал $E_{ВХ1} > 0$ за $E_{ВХ2} = 0$, то на виході лівого плеча підсилювача, що є підсилювальним каскадом на БТ типу *n-p-n* за схемою із СЕ, з'явиться приріст підсиленого вихідного сигналу $U_{ВИХ1}$ протилежної полярності: $-\Delta U_{ВИХ1}$ (інвертований сигнал, як у схемі із СЕ).

Одночасно на емітерному резисторі $R_Е$ з'являється додатний приріст ΔU_{RE}, рівний за величиною приросту вхідного сигналу $E_{ВХ1}$. Цей приріст поступає на емітер транзистора VT2, призакриває його, і визиває появу на колекторі VT2 приріст підсиленого вихідного сигналу додатної полярності ($+\Delta U_{ВИХ2}$). Зміна $U_{ВИХ2}$ синфазна зі зміною вхідного сигналу $E_{ВХ1}$, при цьому приріст $U_{ВИХ2}$ приблизно дорівнює приросту $U_{ВХ1}$.

Під час збільшення $E_{ВХ1}$ струм $I_{К1}$ збільшується, $U_{К1}$ = $U_{ВИХ1}$ зменшується і, навпаки, струм $I_{К2}$ зменшується, а напруга $U_{К2}$ = $U_{ВИХ2}$ збільшується (ділянка t_1… t_2 на рис. 2.33). У момент t_2 струм транзистора VT1 досягає максимально можливого значення I_{Emax}, яке визначається джерелом E_E і опором R_E (має велике значення), а струм транзистора VT2 = 0. Напруга $U_{ВИХ2}$ = $U_{ВИХ2max}$ = $E_К$, напруга $U_{ВИХ1}$ = $U_{ВИХ1min}$ = $E_К$ – I_{Emax} $R_К$, а різниця вихідних сигналів $U_{ВИХ2}$ – $U_{ВИХ1}$ = I_{Emax} $R_К$.

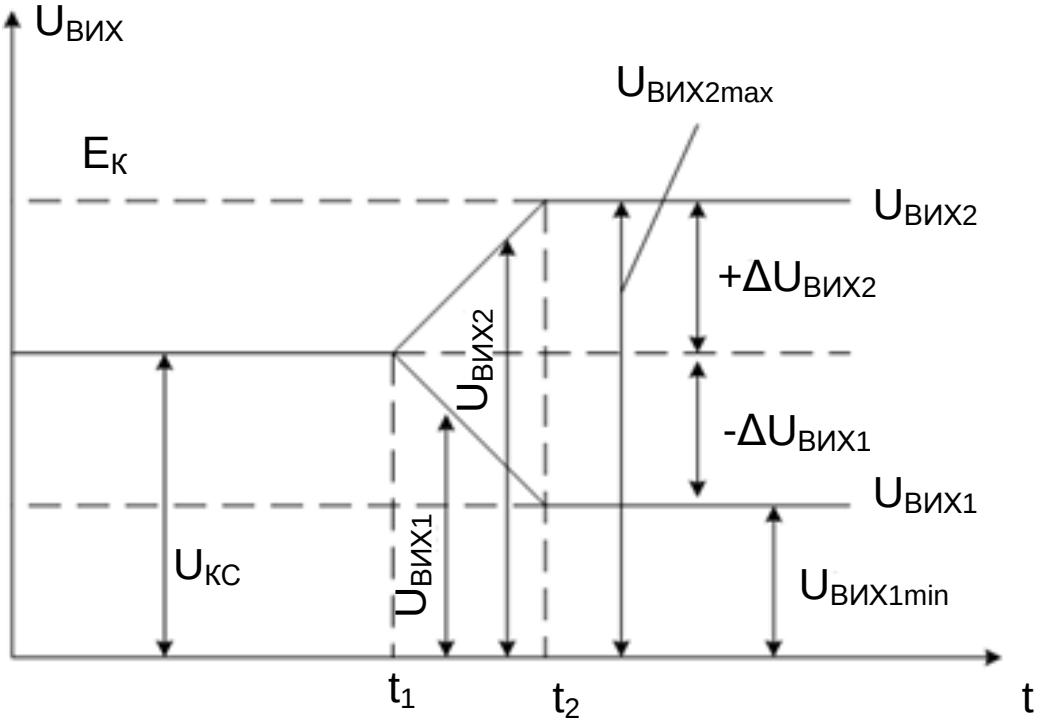


Рис. 2.33. Часова діаграма роботи диференціального ППС

Описаний процес відбувається і при подачі напруги на обидва входи, але при цьому між входами повинні прикладатися різнополярні сигнали (або сигнали різних значень). При цьому схему можна побудувати таким чином, що вихідний сигнал буде зніматися, наприклад, із виходу транзистора VT2, а на входи будуть подаватися різнополярні (різнорівневі) вхідні сигнали. Тоді вихідна напруга буде пропорційна різниці вхідних напруг, тому такий підсилювальний каскад називають диференціальним.

Якщо $U_{ВХ2}$ більш додатна, ніж $U_{ВХ1}$, то вихідний сигнал від'ємний, а якщо $U_{ВХ2}$ більш від'ємна, ніж $U_{ВХ1}$, то вихідний сигнал додатний. Тому у разі зняття $U_{ВИХ}$ із VT2 вхід $U_{ВХ2}$ називається інвертуючим, а вхід $U_{ВХ1}$ – неінвертуючим.

Під час надходження на обидва входи синфазного сигналу (наприклад, завади) у випаду ідеального джерела струму E_E ($R_E \to \infty$) сигнал

на виході відсутній. Оскільки у реальному підсилювачі резистор має кінцеве значення опору (хоча і велике), то під час дії на входах синфазного сигналу на виході підсилювача з'явиться невелика напруга розбалансу $\Delta E_{СФ}$, яка підсумовується із корисним сигналом, спотворюючи останній. Тому ДППС тим якісніший, чим менший різницевий вхідний сигнал він може розрізняти на фоні достатньо великого синфазного сигналу, який визивається впливом дестабілізуючих факторів.

У сучасних ДППС як джерела стабільного струму I_E можна використовувати транзистор, який включений за схемою із СЕ (рис. 2.34).

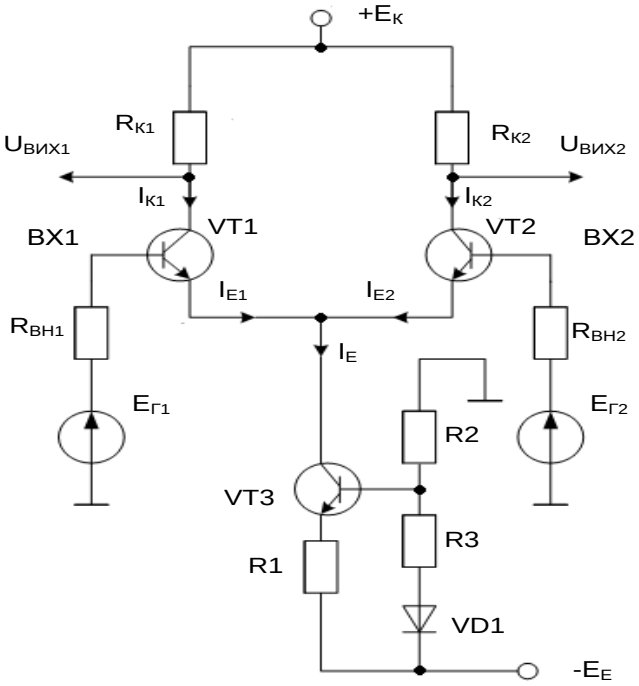


Рис. 2.34. Схема диференціального ППС із БТ, як джерела постійного струму

Транзистор, включений за схемою із СЕ, є хорошим генератором струму, оскільки типове значення його вихідного опору складає сотні кілоом.

Подільник напруги, що складається із резисторів *R*2, *R*3 і діода VD1, задає потенціал бази транзистора VT3, який на 1 В вище потенціалу лінії від'ємного живлення ($-E_E$).

Віднімаючи 0,6 В, які приблизно повинні спадати на переході база–емітер VT3, отримуємо, що на емітерному резисторі *R*1 величиною, наприклад, 200 Ом повинна спадати напруга 0,4 В. Емітерний струм буде дорівнювати 0,4/220 ≈ 2 мА. Тому в ланцюзі емітерів транзисторів VT1 і VT2 проходить струм I_E, що дорівнює 2 мА. Застосування діода VD1 в одному із плечей подільника напруги забезпечує температурну компенсацію. Різниця потенціалів на діоді, що включений у прямому напрямку, спадає зі

збільшенням температури точно так, як це має місце із різницею потенціалів між базою та емітером транзистора VT3. Тому у досить широкому діапазоні температур прикладена до бази напруга узгоджується із тією, яка необхідна транзистору VT3 для підтримання струму емітера, що дорівнює 2 мА. В ІМС роль діода може виконувати відкритий перехід база–емітер додаткового транзистора, колектор і база якого з'єднані накоротко, що приводить до компенсації впливу зміни температури.

Коли в емітерному ланцюзі ДППС включений генератор стабільного струму, можна краще пояснити роботу підсилювача в цілому.

Вхідні сигнали не можуть змінити сумарний струм Iе, вони можуть лише по різному розподіляти його між транзисторами VT1 і VT2.

За однакових $U_{ВХ1}$ і $U_{ВХ2}$ (синфазний сигнал) жоден із колекторних струмів не змінюється і вихідний сигнал не виникає. Сигнал на виході з'являється тільки тоді, коли $U_{ВХ1}$ і $U_{ВХ2}$ різні: при цьому в один із транзисторів буде відводитися більша частина сумарного струму емітерів, ніж у другий. Наприклад, якщо $U_{ВХ1}$ більш додатний, ніж $U_{ВХ2}$, то колекторний струм VT1 стане більше за рахунок зменшення колекторного струму VT2 і, якщо $U_{ВИХ}$ знімається із колектора VT1, відбудеться відхилення $U_{ВИХ}$ у від'ємний бік.

Під час симетричного виходу, коли $R_Н$ включений між $U_{ВИХ1}$ і $U_{ВИХ2}$, придушення синфазного сигналу обмежується лише ступенем симетрії між плечима підсилювача. Якщо вони симетричні, то підсилення синфазного сигналу відсутнє взагалі. Симетричний вихід можна використовувати, коли навантаження не заземлене, наприклад, між колекторами транзисторів можна включити вольтметр і утвориться простий електронний мілівольтметр із дуже малим дрейфом нуля. Сигнал із симетричного виходу ДППС можна подати на входи другого диференціального каскаду, у якого вихідна напруга вже знімається відносно землі. У такого підсилювача послаблення синфазного сигналу дуже велике і в той же час він має зручний несиметричний вихід.

На завершення наведемо декілька корисних співвідношень [5].

Якщо в схемі ДППС, наведеній на рис. 2.34, використовується несиметричний вихід $U_{ВИХ1}$, то під час подавання синфазного сигналу коефіцієнт підсилення

$$K_{U_{СФ}} = -\frac{R_{K1}}{2 \cdot R_E}. \qquad (2.4)$$

Знак «–» у виразі (2.4) вказує на те, що $U_{вих1}$ протифазна $U_{вх1}$.

Якщо $R_{K1} = R_E$, то $K_{UCФ} = -½$. Чим більший R_E відносно R_{K1}, тим менший коефіцієнт передачі синфазного сигналу.

Під час диференціального вхідного сигналу, коли сигнал на вході 1 відрізняється від сигналу на вході 2, коефіцієнт підсилення диференціального сигналу

$$K_{U_Д} = -10 \cdot I_E \cdot R_{K1}.$$

Наприклад, якщо I_E = 20 мА, $R_{K1} = R_{K2}$ = 5 кОм, то $K_{U_Д} = -10 \cdot 20 \cdot 10^{-3} \cdot 5 \cdot 10^{3} = -1000.$

Під час симетричного виходу коефіцієнт підсилення диференціального сигналу вдвічі більший:

$$K_{U_Д} = -20 \cdot I_E \cdot R_{K1}.$$

2.6.3. Підсилювачі постійного струму із перетворенням постійного струму у змінний (підсилювач постійного струму на несучій частоті)

У розглянутих вище ППС неможливо добитися ідеальної термостабілізації. Крім того, на вхід ППС із гальванічним зв'язком безперешкодно проходять низькочастотні завади. Тому під час підсилення малих сигналів постійного струму часто застосовують підсилювачі із перетворенням постійного струму у змінний, які мають малий дрейф нуля і високий коефіцієнт підсилення.

На рис. 2.35 наведено структуру подібного ППС.

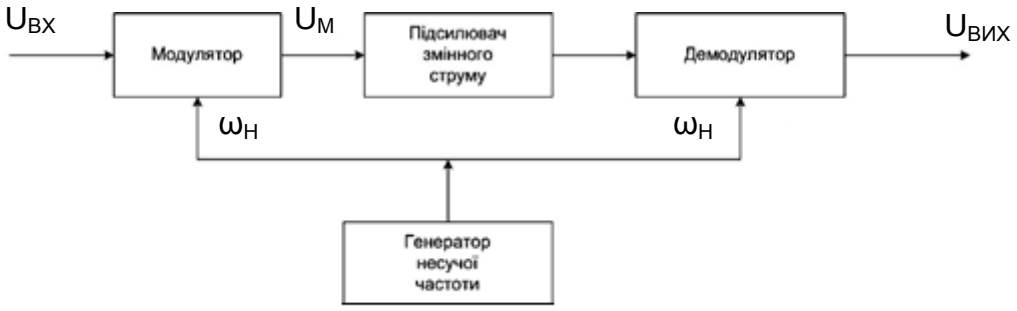


Рис. 2.35. Структура ППС на несучій частоті

Вхідна постійна, або що змінюється повільно, напруга U_{BX}, за допомогою модулятора перетворюється у сигнал змінного струму (рис. 2.36).

Генератор несучої частоти – це високочастотний генератор змінного сигналу з частотою в сотні – тисячі разів більшою, ніж частота $U_{ВХ}$, що змінюється повільно.

У модуляторі амплітуда змінного сигналу змінюється за законом зміни $U_{ВХ}$ (рис. 2.36).

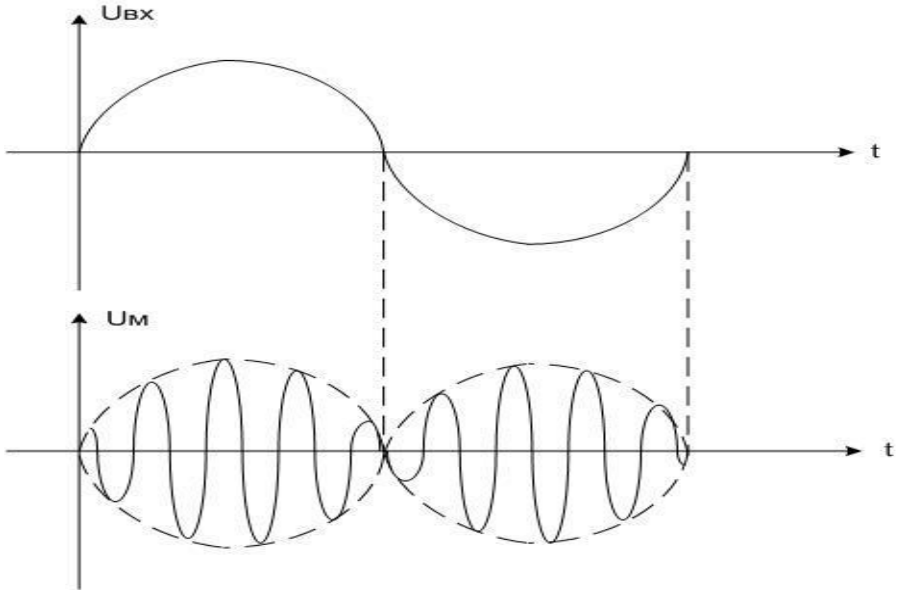


Рис. 2.36. Часові діаграми роботи модулятора

Промодульований сигнал підсилюється RC-підсилювачем змінного струму, після чого поступає на вхід демодулятора, який вирішує задачу зворотну модулятору: із високочастотного підсиленого сигналу виділяє низькочастотну складову, що огинає, і формує корисний підсилений сигнал $U_{ВИХ}$.

Розглянутий ППС має дуже малий дрейф нуля і за $U_{ВХ} = 0$, $U_{ВИХ}$ також практично дорівнює нулю, оскільки підсилювач змінного струму не має дрейфу (його нижня гранична частота більше нуля).

2.7. Операційні підсилювачі

2.7.1. Загальна характеристика операційних підсилювачів

Термін «операційний підсилювач» вперше був використаний в обчислювальній техніці, де він ототожнювався із поняттям «розв’язуючий підсилювач». Із цим терміном незмінно пов’язувалась будь-яка математична операція: підсумовування, диференціювання, інтегрування і т. ін., яку підсилювач міг виконувати завдяки введенню ВЗЗ певного вигляду. У наш час зміст цього терміну істотно розширився і дещо змінився. Під ОП прийнято розуміти універсальний електронний підсилювач, який може

виконувати різні функції і дозволяє без порушення його працездатності вводити ЗЗ різного типу [23]. Цей універсальний підсилювач має вигляд окремої ІМС ОП або може бути частиною ІМС. На рис. 2.37 наведені два варіанти позначення ІМС ОП на електричних схемах.

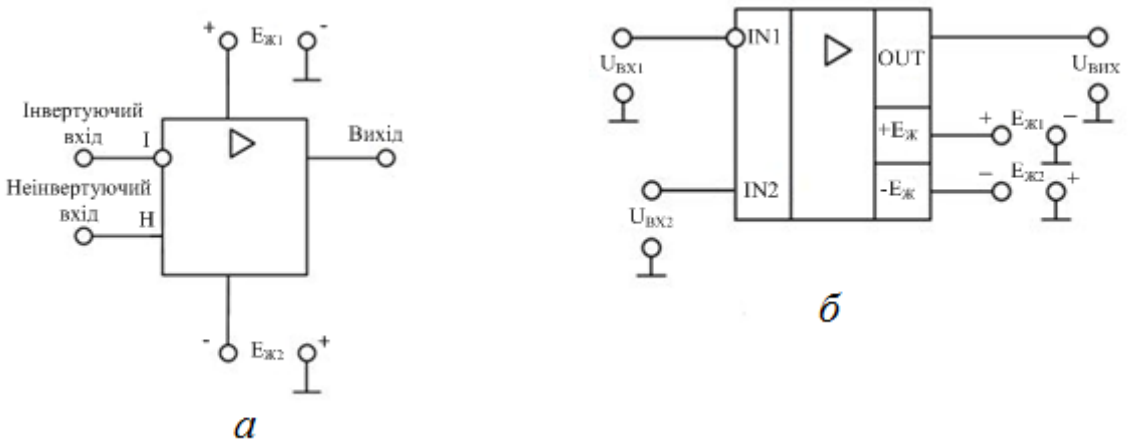


Рис. 2.37. Умовні позначення ІМС ОП на електричних схемах

У технічній документації ОП позначають прямокутником, у якого вхід, який інвертує, позначають маленьким колом. За принципом дії ОП схожий із звичайним підсилювачем. Як і звичайний підсилювач, він призначений для підсилення напруги або потужності вхідного сигналу. Тоді як властивості і параметри звичайного підсилювача повністю визначені його схемою, властивості і параметри ОП визначаються переважно параметрами ланцюга ЗЗ. ОП виконують за схемою підсилювачів постійного струму із безпосереднім зв'язком між окремими каскадами із диференціальним входом і біполярним відносно амплітуди підсилювального сигналу виходом. Це забезпечує нульові потенціали на вході і виході ОП за відсутності сигналів, що керують. ОП характеризується великим коефіцієнтом підсилення, високим вхідним і низьким вихідним опорами. У наш час ОП виконуються, зазвичай, у вигляді монолітних ІМС, і за розмірами і ціною не відрізняються від окремо взятого транзистора. Завдяки практично ідеальним характеристикам ОП реалізація різних схем на їх основі виявляється значно простішою, ніж на окремих транзисторах. Тому ОП витісняють окремі транзистори як елементи схем у багатьох областях лінійної схемотехніки. Більшість інтегральних ОП промислового типу мають один вихід (рис. 2.37). У цьому разі вихідна напруга $U_{ВИХ}$ знаходиться у фазі із напругою $U_{ВХ2}$ і протифазі до напруги $U_{ВХ1}$. Напруга, що безпосередньо прикладена між входами, дорівнює різниці напруг $U_{ВХ1}$ і $U_{ВХ2}$. Ця напруга дорівнює нулю,

якщо U_{BX1} і U_{BX2} мають навіть значні, але рівні значення. Тому напруги U_{BX1} і U_{BX2} відносно спільної точки називаються напругою загального вигляду, а їх різниця – диференціальною напругою.

Вихідна напруга ОП обчислюється за формулою

$$U_{ВИХ} = \Delta U \cdot K_{U.ІМСОП},$$

де ΔU – різниця напруг між входами, яка обчислюється як

$$\Delta U' = U_{BX1} - U_{BX2},$$

або

$$\Delta U'' = U_{BX2} - U_{BX1},$$

$K_{U.ІМСОП}$ – коефіцієнт підсилення напруги ІМС ОП.

Основною характеристикою ІМС ОП є передатна характеристика, яку наведено на рис. 2.38.

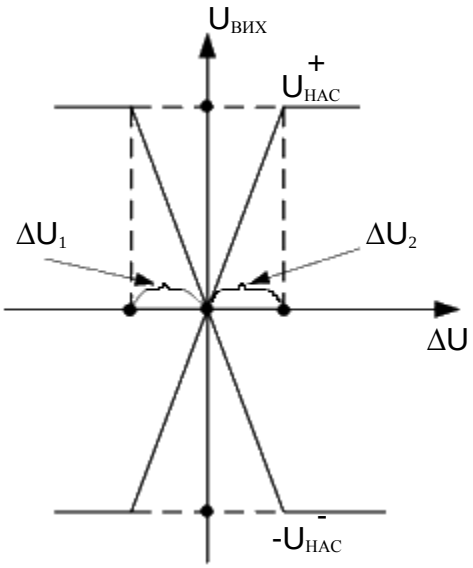


Рис. 2.38. Передатна характеристика ІМС ОП

На цьому рисунку суміщені дві передатні характеристики тієї ж самої ІМС ОП, вигляд яких залежить від того, як обчислюється ΔU:

$$\Delta U' = U_I - U_H,$$

$$\Delta U'' = U_H - U_I.$$

На рис. 2.39 ці дві характеристики зображені окремо. Наведені на рис. 2.38, 2.39 передатні характеристики ІМС ОП мають три характерні ділянки:

– лінійна ($U_{ВИХ}$ лінійно залежить від ΔU);

– насичення плюс ($U_{ВИХ} = +U_{НАС}^{+}$);

– насичення мінус ($U_{ВИХ} = -U_{НАС}^{-}$).

Значення напруг $|\Delta U_1| \approx \Delta U_2$, які відповідають границям лінійної ділянки, дуже малі

$$- \quad \Delta U_1 = \Delta U_2 = \frac{U_{НАС}^{+}}{K_{U.ІМСОП}}.$$

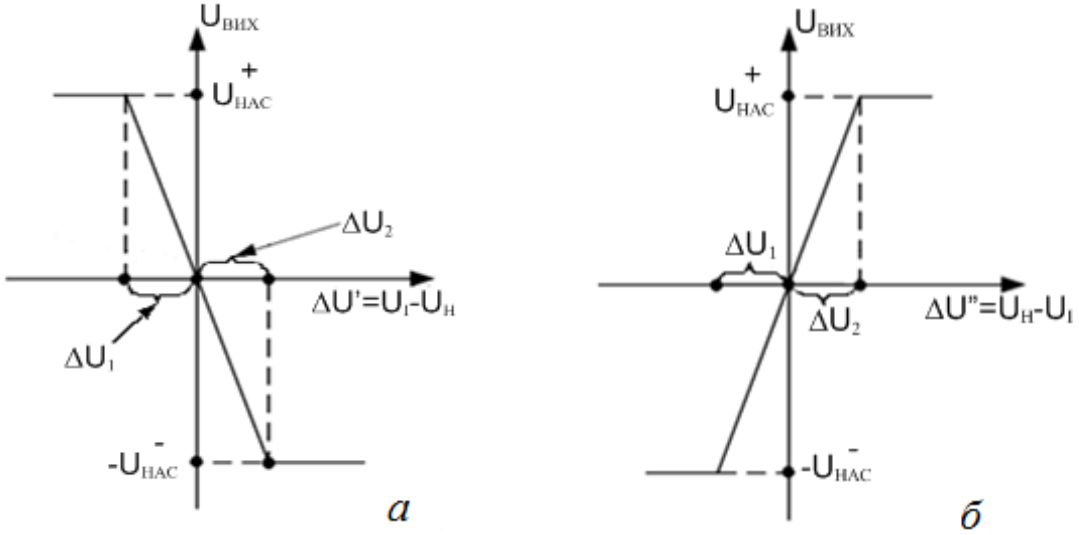


Рис. 2.39. Передатні характеристики ІМС ОП за:
а – $\Delta U' = U_I - U_H$; *б* – $\Delta U'' = U_H - U_I$

Умовні позначення на рис. 2.39:

$U_{ВИХ}^{+}$ – напруга насичення плюс, величина якої залежить від напруги живлення ІМС ОП (наприклад, якщо мікросхема живеться напругами $E_{Ж1} = +15B$, $E_{Ж2} = -15B$, то $U_{НАС}^{+} = +11B$, а – $U_{НАС}^{-} = -11B$);

$K_{U.ІМСОП}$ – коефіцієнт підсилення напруги ІМС ОП (дорівнює десяткам…сотням тисяч). Наприклад, якщо

$U_{НАС}^{+} = 11B$, а $K_{U.ІМСОП} = 10000$, то $\Delta U_1 = \frac{11}{10000} = 1.1 \cdot 10^{-3} B = 1.1 мВ.$

Лінійна ділянка передатної характеристики використовується у підсилювачах, а нелінійні відрізки – в імпульсних пристроях (компараторах, тригерах Шмітта, генераторах і т. ін.).

Під час використання ІМС ОП в імпульсних пристроях вихідна напруга залежить від співвідношення потенціалів входів: І – інвертуючого на Н – неінвертуючого.

Якщо потенціал входу «І» більш додатний (менш від'ємний) відносно потенціалу на вході «Н» і різниця $\Delta U = (U_I - U_H) > (|U_1| = U_2)$, то $U_{ВИХ} = -U_{НАС}^{-}$.

Наприклад,

$U_I = 4B$, $U_H = 2B$, то $U_{ВИХ} = -U_{НАС}^{-}$; $U_I = -4B$, $U_H = -2B$, то $U_{ВИХ} = +U_{НАС}^{+}$.

Зазвичай

$$+U_{ВИХ}^{+} = \left| -U_{НАС}^{-} \right|,$$

тому під час посилання на напруги насичення використовують або $+U_{НАС}$, або $(-U_{НАС})$. ІМС ОП широко використовуються в сучасних електронних пристроях, тому що вони мають: високий коефіцієнт підсилення напруги (десятки…сотні тисяч); великий вхідний опір (сотні…тисячі кОм); малий вихідний опір (долі…одиниці Ом); широку смугу частот пропускання (мегагерци); високий коефіцієнт придушення синфазного сигналу [23]. Під час аналізу електронних схем на ІМС ОП останню вважають ідеальною, якщо:

$$\left.\begin{aligned} -K_{U.ІМСОП} &\to \infty; \\ -R_{ВХ} &\to \infty; \\ -R_{ВИХ} &\to 0; \\ -\Delta f_{ПРОПУСКАННЯ} &\to \infty. \end{aligned}\right\}$$

На рис. 2.40 наведено спрощену структурну схему ІМС ОП. На рис. 2.41 наведено спрощену принципову схему ІМС ОП [23].

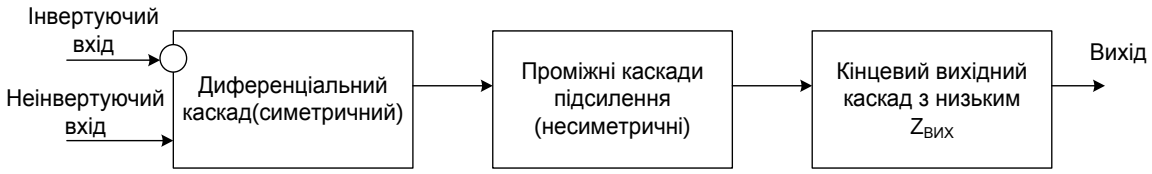


Рис. 2.40. Спрощена структура ІМС ОП

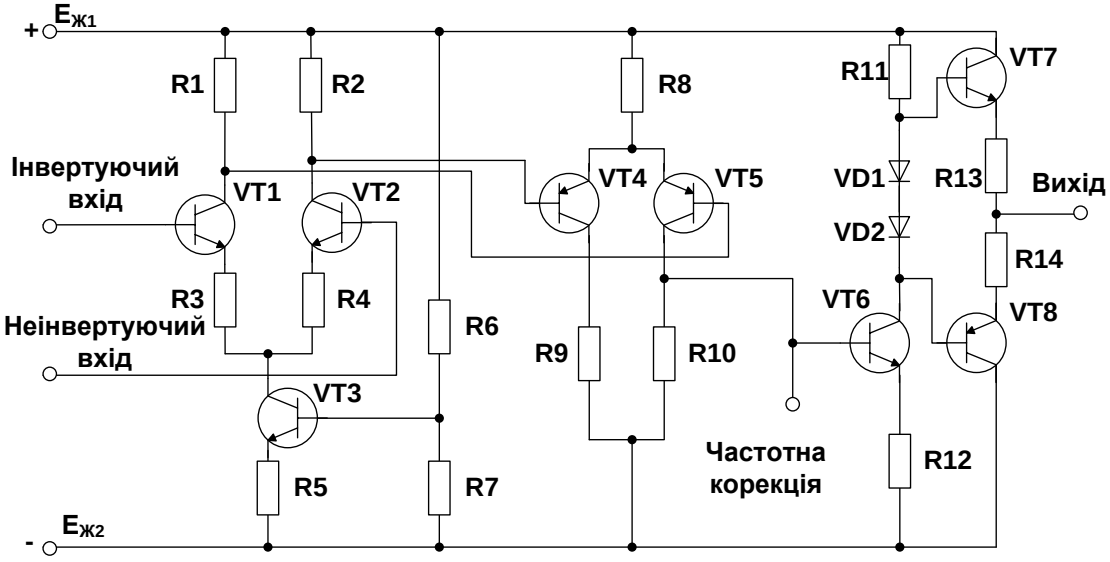


Рис. 2.41. Спрощена принципова схема ІМС ОП

Наведена на рис. 2.41 схема складається із трьох каскадів:

– диференційний симетричний вхідний каскад із джерелом стабільного струму, виконаний на транзисторах VT1…VT3;
– несиметричний проміжний каскад, виконаний на транзисторах VT4…VT6;
– кінцевий комплементарний вихідний каскад, який виконаний на транзисторах VT7, VT8 і виконує функцію емітерного повторювача (має дуже низький вихідний опір). На рис. 2.42 наведено еквівалентну схему заміщення ІМС ОП.

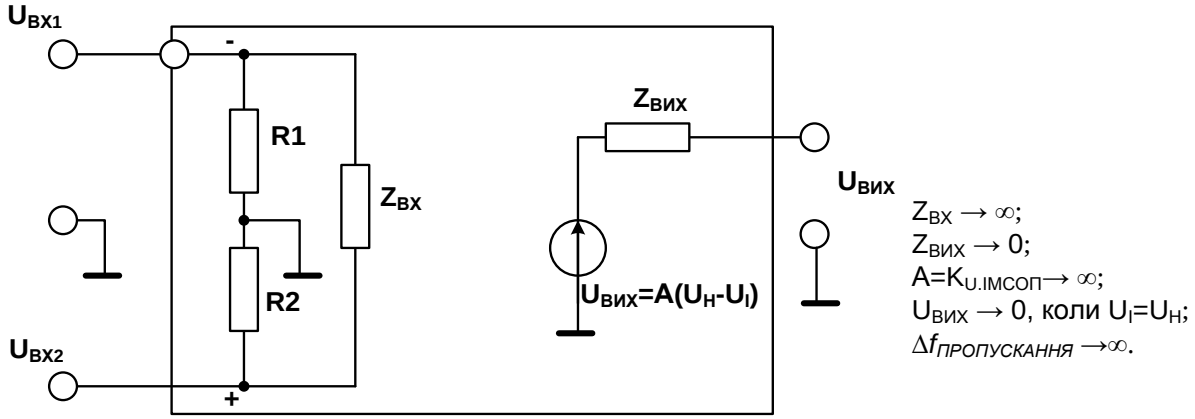


Рис. 2.42. Еквівалентна схема заміщення ІМС ОП

Перший каскад ОП – це диференціальний підсилювач. Диференціальний підсилювач має високий коефіцієнт підсилення відносно різниці вхідних сигналів і низький коефіцієнт підсилення відносно однакових сигналів, що подаються на входи одночасно (синфазні сигнали).

Синфазними сигналами називаються подані одночасно на обидва входи сигнали з однаковими фазою і амплітудою.

Крім того, диференціальний підсилювач має високий повний вхідний опір відносно будь-яких поданих на його входи сигналів.

Вхідний каскад ОП є найбільш важливим, оскільки саме завдяки йому визначається величина повного вхідного опору і в ньому мінімізуються чутливість до синфазних сигналів і напруги зсуву.

Напруги зсуву $U_{ЗСВ}$ – це невеликі за величиною небажані сигнали, що виникають всередині підсилювача і призводять до появи певної напруги на його вході у разі нульових напруг на обох входах. Причиною їх появи є неточне узгодження напруг емітер–база вхідних транзисторів.

Слід зробити ще декілька зауважень відносно вхідного каскаду. Опори в ланцюгах емітерів транзисторів VT1 та VT2 підвищують повний вхідний опір першого каскаду. Струми колекторів у вхідному каскаді зазвичай невеликі, так що переходи емітер–база вхідних транзисторів мають високий опір до змінного струму, і схема може працювати під час малих вхідних струмів. Зниження величини коефіцієнта підсилення в першому каскаді в результаті має бути компенсоване у проміжних каскадах. Для зниження чутливості схеми до синфазних сигналів струм емітера першого каскаду задається за допомогою джерела постійного струму. Через те, що джерело постійного струму має високий внутрішній опір $R_{ВИХ}$, коефіцієнт підсилення диференціального підсилювача відносно синфазних сигналів $A_{СФ}$ виходить дуже низьким. Щоб зменшити вхідний струм, необхідний для збудження диференціального підсилювача, і підвищити його вхідний опір як транзисторів першого каскаду VT1 та VT2 використовують пари Дарлінгтона чи польові транзистори. Використання польових транзисторів (із *p-n*-переходом чи МОН-транзисторів) дозволяє досягти дуже високого вхідного опору. Диференціальні підсилювачі на польових транзисторах мають більш високу вхідну напругу зсуву $U_{ЗСВ}$, яка більше залежить від температури, ніж у підсилювачах на біполярних транзисторах, однак ці вади можуть бути зведені до мінімуму за допомогою різних ланцюгів ЗЗ в середині підсилювача. Є ІС ОП, в яких для підвищення повного вхідного опору на вході використовують польові транзистори, а в інших ланцюгах підсилювача – біполярні. Використання як VT1 та VT2 пар Дарлінгтона також призводить до підвищення $U_{ЗСВ}$ та підвищення залежності його від температури.

За вхідним каскадом, як показано на рис. 2.40, слідують один чи декілька проміжних каскадів. Вони забезпечують зменшення напруги спокою на виході до близької до нуля величини та підсилення за напругою і за струмом. Підсилення за напругою необхідне для отримання високого загального коефіцієнта підсилення за напругою, а підсилення за струмом – для забезпечення струму, достатнього для роботи кінцевого каскаду без того, щоб навантажувати вхідний каскад. У проміжних каскадах можуть бути використані як диференціальні, так і односмугові схеми. Кінцевий каскад має забезпечувати низький повний вихідний опір ОП і струм, достатній для очікуваного навантаження. Крім того, цей каскад повинен мати достатньо високий повний вхідний опір, щоб не навантажувати останній із проміжних каскадів. У ролі кінцевого каскаду зазвичай використовують простий чи комплементарний емітерний повторювач.

Якщо коефіцієнт підсилення за напругою дорівнює 10 ($A1$ = 10) для першого каскаду, 100 ($A2$ = 100) для другого каскаду і 20 ($A3$ = 20) для третього каскаду, то загальний коефіцієнт підсилення A є результатом множення коефіцієнтів підсилення окремих каскадів:

$$A = A1 \cdot A2 \cdot A3 = 10 \cdot 100 \cdot 20 = 20000.$$

2.7.2. Основні параметри операційних підсилювачів

Коефіцієнт підсилення без ЗЗ $K_{U.IMC\ ОП}$ (А). Коефіцієнт підсилення підсилювача у разі відсутності ЗЗ, зазвичай дорівнює кільком десяткам тисяч. Він називається також повним коефіцієнтом підсилення за напругою.

Вхідна напруга зсуву $U_{ЗСВ}$. Невеликі небажані напруги, які створюються всередині підсилювача, є причиною виникнення на виході деякої ненульової напруги під час нульової напруги на обох входах. Це є наслідком неточного узгодження напруг емітер–база вхідних транзисторів. Зазвичай $U_{ЗСВ}$ дорівнює кільком мілівольтам. Напругу $U_{ЗСВ}$ називають вхідною, тому що визначають її через напругу, яку необхідно подати на вхід, щоб на виході встановилася напруга 0 В.

Вхідний струм зміщення Iзм. Струм на входах підсилювача, необхідний для роботи вхідного каскаду ОП (струм бази, який має бути забезпечений для вхідного транзистора).

Вхідний струм зсуву $I_{зсв}$. Різниця струмів зміщення для двох вхідних транзисторів ОП з'являється внаслідок неточного узгодження коефіцієнтів підсилення за струмом (β) вхідних транзисторів. Якщо $I_{ЗМ1}$– струм, необхідний для живлення бази вхідного транзистора на інвертуючому вході, а $I_{ЗМ2}$– струм, необхідний для живлення бази вхідного транзистора на неінвертуючому вході, то $I_{ЗСВ} = I_{ЗМ1} - I_{ЗМ2}$. Вхідний струм зсуву змінюється приблизно так, як вхідна напруга, тому струм зсуву є змінною величиною. Зазвичай $I_{ЗСВ}$ перебуває у діапазоні від кількох одиниць до кількох сотень наноампер.

Вхідний опір $R_{ВХ}$. Опір підсилювача відносно вхідного сигналу. Зазвичай, $R_{ВХ}$ перевищує один мегаОм, але може досягати і кількох сотень МОм.

Потрібно розрізняти диференціальний вхідний опір, тобто опір між обома вхідними виводами, та синфазний вхідний опір, тобто опір між

об’єднаними обома виводами входів і землею. В описах мікросхем зазвичай не вказується, який з цих параметрів мають на увазі, і пишуть R_{BX}.

Вихідний опір $R_{ВИХ}$. Внутрішній опір підсилювача, який впливає на напругу на його виході. Зазвичай $R_{ВИХ}$ не перевищує кількох сотень Ом.

Коефіцієнт послаблення синфазних вхідних напруг. Характеризує здатність ослабляти (не підсилювати) однакові сигнали, що прикладені до обох входів одночасно.

Коефіцієнт впливу нестабільності джерела живлення на вихідну напругу. Показує зміну вихідної напруги під час зміни напруги живлення ($+E_{Ж1}$ та $-E_{Ж2}$ одночасно) на 1 В. Зазвичай дається у мікровольтах на вольт.

Вхідна ємність (C_{BX}). Вхідна ємність (C_{BX}) є ємністю між вхідними виводами і землею.

Струм споживання. Струм споживання це струм спокою (без навантаження), що споживає ОП.

Споживана потужність. Споживана потужність це потужність, що розсіюється ОП без навантаження.

Максимальна швидкість зростання вихідної напруги. Максимальна швидкість зростання вихідної напруги це максимальна швидкість зміни вихідної напруги, що подається у вольтах на мікросекунду.

Перехідна характеристика. Перехідна характеристика відображає сигнал на виході ОП під час подавання на його вхід сходинки напруги. Час наростання та величина викиду вихідної напруги даються для стандартної зміни вхідної напруги.

Гранично допустимі значення. Сюди належать такі параметри, як максимальна потужність, що розсіюється, робочий діапазон температур, максимальна напруга живлення, максимальна різниця вхідних напруг (між інвертуючим і неінвертуючим входами), максимальна напруга синфазних вхідних сигналів та інтервал температур зберігання. Перевищення цих граничних значень призводить до пошкодження ОП.

Низка виробників включає у специфікації своїх ОП графіки багатьох параметрів. Сюди можуть належати залежності $U_{ВИХ.МАКС}$ від R_H, $U_{ВИХ.МАКС}$ від напруги живлення, $U_{ЗСВ}$ та $I_{ЗМ}$ від температури. Уважне вивчення специфікацій ОП є необхідним для їх успішного використання. Найбільш суттєві параметри, такі як $U_{ЗСВ}$ та A, зазвичай даються у разі максимальної та мінімальної робочих температур, а також за кімнатної температури.

2.7.3. Режим підсумовуючої точки

Два входи підсилювача часто називають точкою підсумовування [23]. Режим цих двох входів визначається малими струмами зсуву і різницею напруг між входами, дуже малою порівняно з напругою у будь-яких інших точках схеми, коли підсилювач використовується у схемі зі ЗЗ. Це обумовлено високим коефіцієнтом підсилення ОП під час розімкненого ланцюга ЗЗ. Наприклад, під час вихідної напруги 15 В і коефіцієнта підсилення без ЗЗ 10 000 напруга між вхідними виводами ($U_Д$ на рис. 2.43) дорівнює $U_{ВИХ}/K_{U.ІМСОП}$, тобто 15 В/10000, чи 1,5 мВ. Важливо зазначити, що вихідна напруга визначається лише малою напругою між вхідними виводами (і нічим іншим). Оскільки коефіцієнт підсилення ОП без ЗЗ дуже великий, ця вхідна напруга має бути дуже малою.

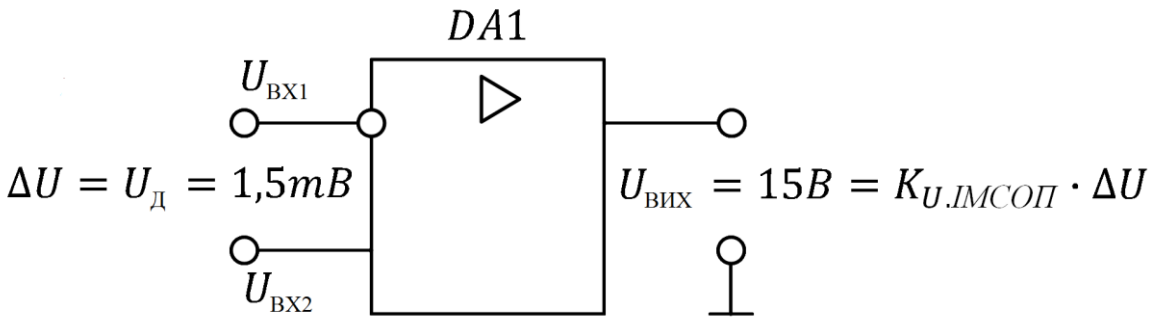


Рис. 2.43. Співвідношення вхід–вихід в ІМС ОП

2.7.4. Операційний підсилювач, що не інвертує

Схему ОП, що не інвертує, наведено на рис. 2.44.

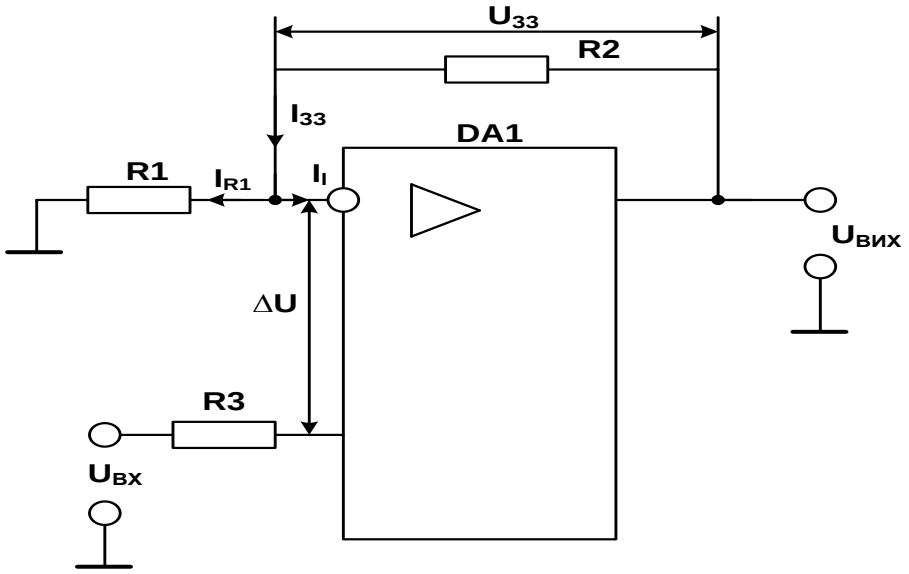


Рис. 2.44. Схема підсилювача, що не інвертує

Коефіцієнт підсилення цього підсилювача визначається виразом, виведення якого надано нижче.

Вважатимемо, що ІМС ОП (DA1) близька до ідеальної. Тоді:

$$K_{U.IMCOП} \to \infty; \tag{2.5}$$

$$R_{BX} \to \infty; \tag{2.6}$$

$$R_{BИX} \to 0.$$

Вихідна напруга підсилювача визначається виразом:

$$U_{BИX} = U_{ЗЗ} + \Delta U + U_{BX} = I_{ЗЗ} \cdot R2 + \Delta U + U_{BX}. \tag{2.7}$$

Під час виконання (2.5) та за умови, що підсилювач працює у лінійному режимі, $\Delta U \to 0$, тоді (2.7) матиме вигляд:

$$U_{BИX} = U_{ЗЗ} + U_{BX} = I_{ЗЗ} \cdot R2 + U_{BX}. \tag{2.8}$$

Оскільки під час виконання умови (2.6),струм $I_I \to 0$, то $I_{ЗЗ} \to I_{R1}$. Підставляючи останній в (2.8), отримаємо

$$U_{BИX} = I_{R1} \cdot R2 + U_{BX}. \tag{2.9}$$

Для визначення значення I_{R1} запишемо вираз, що пов’язує U_{BX}, ΔU, U_{R1}:

$$U_{BX} = \Delta U + U_{R1} = \Delta U + I_{R1} \cdot R1.$$

Останнє з урахуванням (2.5) та за умови, що підсилювач працює у лінійному режимі, $\Delta U \to 0$, матиме вигляд:

$$U_{BX} = I_{R1} \cdot R1.$$

Звідси отримаємо $I_{R1} = \dfrac{U_{BX}}{R1}$. Підставляючи його у (2.9), запишемо:

$$U_{BИX} = \frac{U_{BX}}{R1} \cdot R2 + U_{BX} = U_{BX}(1 + \frac{R2}{R1}).$$

Звідси коефіцієнт підсилення:

$$K_U = \frac{U_{BИX}}{U_{BX}} = 1 + \frac{R2}{R1}. \tag{2.10}$$

Якщо $R2 = 0$, а $R1 = \infty$, то $K_U = 1$. У цьому разі схема, що розглядається, має вигляд, яку наведено на рис. 2.45, та виконує функцію повторювача напруги, коли $U_{BИX} = U_{BX}$.

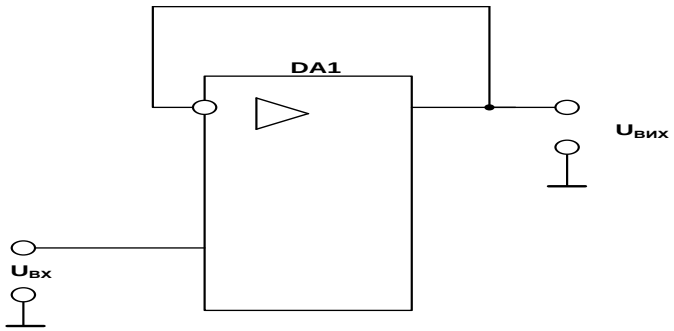


Рис. 2.45. Схема повторювача напруги, що не інвертує

У свою чергу значення резистора $R3$ розраховують за формулою:

$$R3 = \frac{R1 \cdot R2}{R1 + R2}.$$

Задаючи значення резистора $R1$, із формули (2.10) отримаємо вираз для розрахунку $R2$ за відомим значенням коефіцієнта підсилення K_U:

$$R2 = (K_U - 1)R1.$$

2.7.5. Операційний підсилювач, що інвертує

Схема ОП, що інвертує, наведена на рис. 2.46.

Якщо ІМС ОП вважати ідеальною $K_{U.ІМСОП} \to \infty, R_{BX} \to \infty, R_{ВИХ} \to 0,$ то під час роботи у лінійному режимі різниця потенціалів між його входами (диференціальний вхідний сигнал) прямує до нуля:

$$\Delta U = U_{BX1} - U_{BX2} = \frac{U_{ВИХ}}{K_{U.ІМСОП}} \approx 0.$$

Як показано на рис. 2.46, вхід, що не інвертує вхідний сигнал, з'єднаний із спільною шиною (землею). Тому потенціал інвертуючого входу також близький до потенціалу спільної (нульової) шини. Вхідна напруга U_{BX} підсилювача поєднана із напругами U_{R1} та ΔU виразом

$$U_{BX} = U_{R1} + \Delta U.$$

Оскільки за $K_{U.ІМСОП} \to \infty, \Delta U \to 0$, тоді

$$U_{BX} = U_{R1}.$$

Напруга U_{R1} визначається за формулою

$$U_{R1} = I_{R1} \cdot R1.$$

У свою чергу

$$I_{R1} = I_{ЗЗ} + I_I.$$

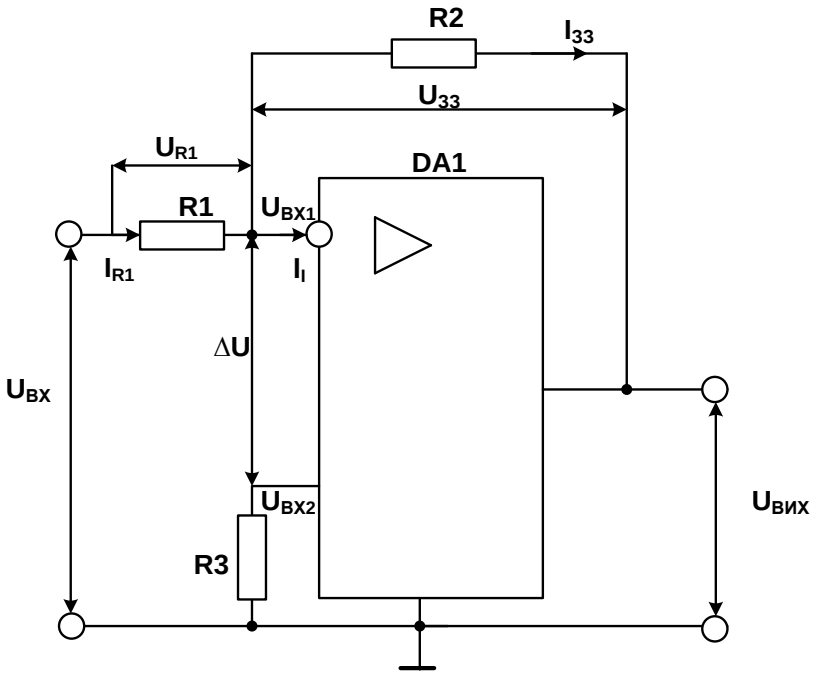


Рис. 2.46. Схема ОП, що інвертує

Якщо вважати, що R_{BX} ІМС ОП дуже великий ($R_{BX} \to \infty$), $I_I \approx 0$, то

$$I_{R1} = I_{33}; \qquad U_{R1} = I_{33} \cdot R1;$$

$$U_{BX} = I_{33} \cdot R1; \qquad I_{33} = \frac{U_{33}}{R2};$$

$$U_{BX} = \frac{U_{33} \cdot R1}{R2}.$$

Для визначення напруги ЗЗ U_{33} запишемо

$$\Delta U = U_{33} + U_{BИX}.$$

За умови, що $\Delta U \approx 0$ ($K_{U.ІМСОП} \to \infty$), отримаємо

$$U_{33} = -U_{BИX};$$

$$U_{BX} = -\frac{U_{BИX} \cdot R1}{R2};$$

$$U_{BИX} = -\frac{U_{BX} \cdot R2}{R1} = K_U \cdot U_{BX},$$

де $K_U = -\dfrac{R2}{R1}$.

Знак «мінус» у наведеній формулі вказує на те, що вихідна напруга $U_{BИX}$ перебуває у протифазі до вхідної напруги U_{BX}. Якщо $R2 = R1$, тоді $K_U = -1$, а наведена на рис. 2.46 схема стає повторювачем напруги, що інвертується.

2.7.6. Диференціальний операційний підсилювач

Схему диференціального ОП наведено на рис. 2.47.

Наведена схема є сполученням розглянутих вище ОП (того, що не інвертує (підрозд. 2.7.4), та того, що інвертує (підрозд. 2.7.5)) та призначена для підсилення різниці напруг: $U_{BX2} - U_{BX1}$.

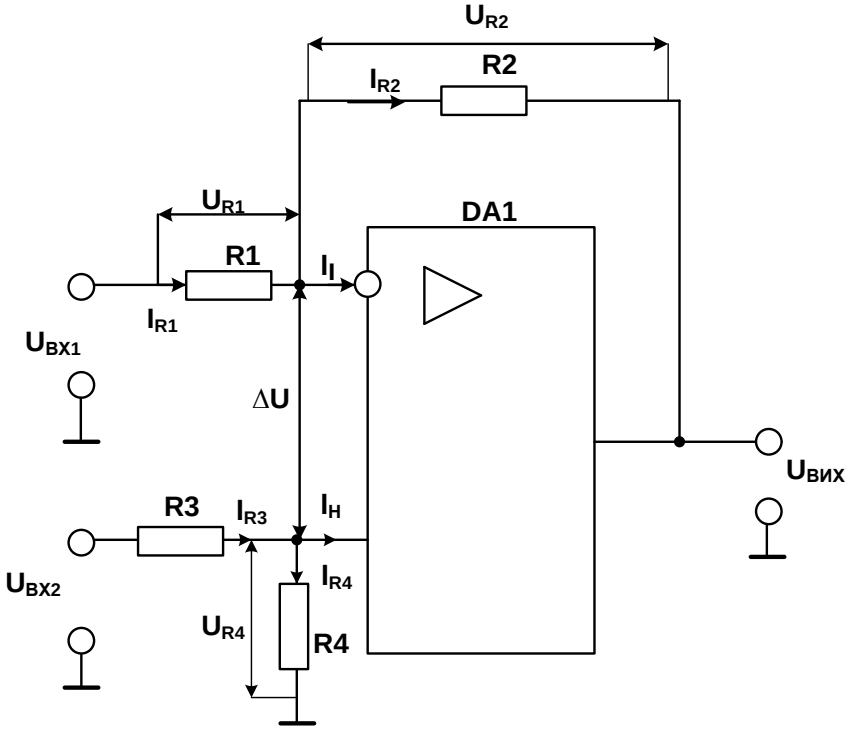


Рис. 2.47. Схема диференціального ОП

Наведемо логічну послідовність формул, за допомогою яких отримаємо остаточний вираз, який пов`язує вихідну напругу $U_{ВИХ}$ із різницею вхідних напруг. Вважатимемо, що ІМС ОП ідеальна, тобто $K_{U.ІМСОП} \to \infty; R_{BX} \to \infty; R_{ВИХ} \to 0$.

Тоді:

$$I_{R1} = I_{R2} + I_I \approx I_{R2} (I_I \to 0, \text{ якщо } R_{BX} \to \infty);$$

$$I_{R3} = I_{R4} + I_H \approx I_{R4} (I_H \to 0, \text{ якщо } R_{BX} \to \infty);$$

$$I_{R1} = \frac{U_{R1}}{R1};$$

$$U_{BX1} = U_{R1} + \Delta U + U_{R4} = U_{R1} + U_{R4} (\Delta U \to 0, \text{ якщо } K_{U.ІМСОП} \to \infty);$$

$$U_{R1} = U_{BX1} - U_{R4};$$

$$I_{R1} = \frac{U_{BX1} - U_{R4}}{R1};$$

$$I_{R2} = \frac{U_{R2}}{R2};$$

$$U_{R4} = \Delta U + U_{R2} + U_{ВИХ} = U_{R2} + U_{ВИХ} \, (\Delta U \to 0, \text{ якщо } K_{U.ІМСОП} \to \infty);$$

$$U_{R2} = U_{R4} - U_{ВИХ};$$

$$I_{R2} = \frac{U_{R4} - U_{ВИХ}}{R2};$$

$$I_{R1} = I_{R2};$$

$$\frac{U_{ВХ1} - U_{R4}}{R1} = \frac{U_{R4} - U_{ВИХ}}{R2};$$

$$R2 \cdot (U_{ВХ1} - U_{R4}) = R1 \cdot (U_{R4} - U_{ВИХ});$$

$$R1 \cdot U_{ВИХ} = R1 \cdot U_{R4} + R2 \cdot U_{R4} - R2 \cdot U_{ВХ1};$$

$$U_{ВИХ} = U_{R4}\left(\frac{R1 + R2}{R1}\right) - \frac{R2}{R1} \cdot U_{ВХ1};$$

$$U_{R4} = \frac{U_{ВХ2} \cdot R4}{R3 + R4};$$

$$U_{ВИХ} = \frac{U_{ВХ2} \cdot R4}{R3 + R4}\left(\frac{R1 + R2}{R1}\right) - \frac{R2}{R1} \cdot U_{ВХ1}.$$

Якщо $R1 = R3$; $R2 = R4$, тоді

$$U_{ВИХ} = \frac{U_{ВХ2} \cdot R2}{R1 + R2}\left(\frac{R1 + R2}{R1}\right) - \frac{R2}{R1} \cdot U_{ВХ1} = U_{ВХ2} \cdot \frac{R2}{R1} - U_{ВХ1} \cdot \frac{R2}{R1} =$$

$$= \frac{R2}{R1}(U_{ВХ2} - U_{ВХ1}) = K_U (U_{ВХ2} - U_{ВХ1}),$$

де $K_U = \frac{R2}{R1}$.

Якщо $U_{ВХ2} > U_{ВХ1}$, тоді $U_{ВИХ} > 0$, $U_{ВХ2} < U_{ВХ1}$, тоді $U_{ВИХ} < 0$.

Значення резисторів $R1$, $R3$ – десятки кОм, резисторів $R2$, $R4$ – сотні кОм.

Наприклад, якщо $R1 = R3 = 20$ кОм; $R2 = R4 = 100$ кОм, тоді

$$K_U = \frac{R2}{R1} = \frac{100}{20} = 5.$$

2.7.7. Підсумовуючий операційний підсилювач, що інвертує

Схему ОП, який виконує функцію суматора, що інвертує, наведено на рис. 2.48. Вираз, який пов’язує вихідну напругу $U_{ВИХ}$ із вхідними напругами $U_{ВХ1}$ та $U_{ВХ2}$, отримаємо за методикою, що описана під час розгляду схем ОП, наведених вище.

Будемо вважати, що ІМС ОП – ідеальна: $K_{U.ІМСОП} \to \infty$; $R_{BX} \to \infty$; $R_{ВИХ} \to 0$, тоді:

$$I_{R1} + I_{R2} = I_{R3} + I_I = I_{R3} (I_I \to 0, \text{ якщо } R_{BX} \to \infty);$$

$$I_{R1} = \frac{U_{R1}}{R1};$$

$$U_{R1} = U_{BX1} - \Delta U = U_{BX1} (\Delta U \to 0, \text{ якщо } K_{U.ІМСОП} \to \infty);$$

$$I_{R2} = \frac{U_{R2}}{R2};$$

$$U_{R2} = U_{BX2} - \Delta U = U_{BX2} (\Delta U \to 0, \text{ якщо } K_{U.ІМСОП} \to \infty);$$

$$I_{R1} = \frac{U_{BX1}}{R1}; \; I_{R2} = \frac{U_{BX2}}{R2};$$

$$\Delta U = U_{R3} + U_{ВИХ}; \; U_{R3} = -U_{ВИХ} (\Delta U \to 0, K_{U.ІМСОП} \to \infty);$$

$$I_{R3} = \frac{U_{R3}}{R3} = -\frac{U_{ВИХ}}{R3};$$

$$\frac{U_{BX1}}{R1} + \frac{U_{BX2}}{R2} = -\frac{U_{ВИХ}}{R3}.$$

Якщо $R1 = R2 = R$, тоді

$$U_{ВИХ} = -\frac{R3}{R}(U_{BX1} + U_{BX2}) = K_U (U_{BX1} + U_{BX2}), \text{ де } K_U = -\frac{R3}{R}.$$

Якщо $R3 = R1 = R2 = R$, тоді

$$U_{ВИХ} = -(U_{BX1} + U_{BX2}).$$

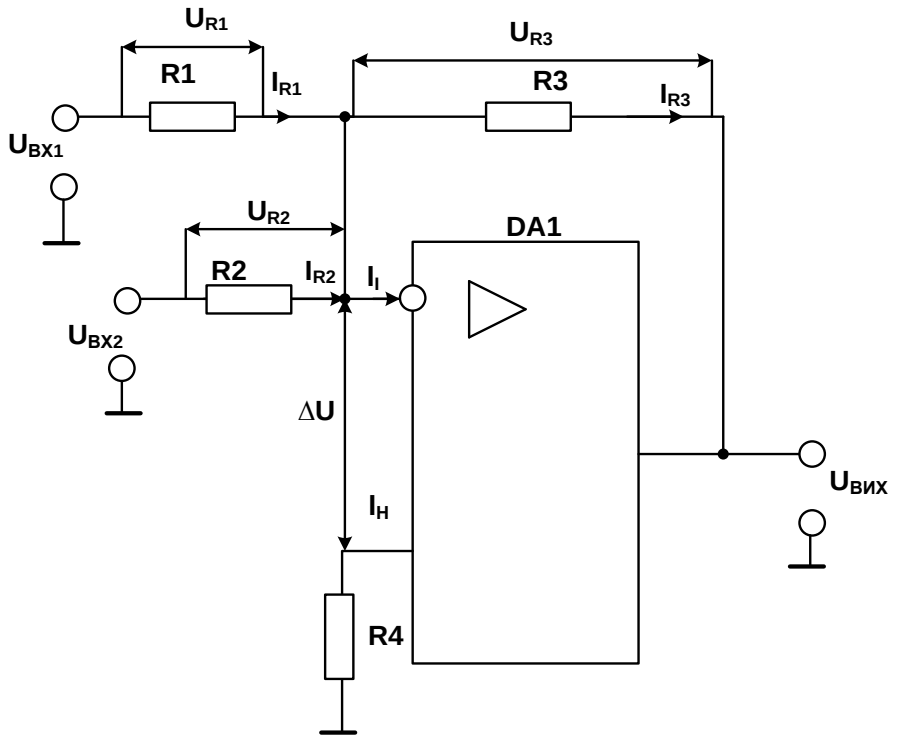


Рис. 2.48. Схема суматора, що інвертує

Щоб отримати значення $K_U > 1$, резистори $R1 = R2$ повинні мати значення десятки кОм, а $R3$ – сотні кОм.

Значення резистора $R4$ розраховують за формулою

$$R4 = \frac{R3 \cdot \dfrac{R1 \cdot R2}{R1 + R2}}{R3 + \dfrac{R1 \cdot R2}{R1 + R2}}.$$

Для того щоб схема виконувала функцію усереднення вхідних напруг, необхідно виконати умову

$$\left.\begin{aligned} R1 = R2 = ... = Rn \\ R3 = \frac{R1}{n} \end{aligned}\right\},$$

де n – кількість входів.

Тоді

$$U_{ВИХ} = -\frac{(U_{BX1} + U_{BX2} + ... + U_{BXn})}{n}.$$

2.7.8. Підсумовуючий операційний підсилювач, що не інвертує

Схему ОП, який виконує функцію суматора, що не інвертує, наведено на рис. 2.49.

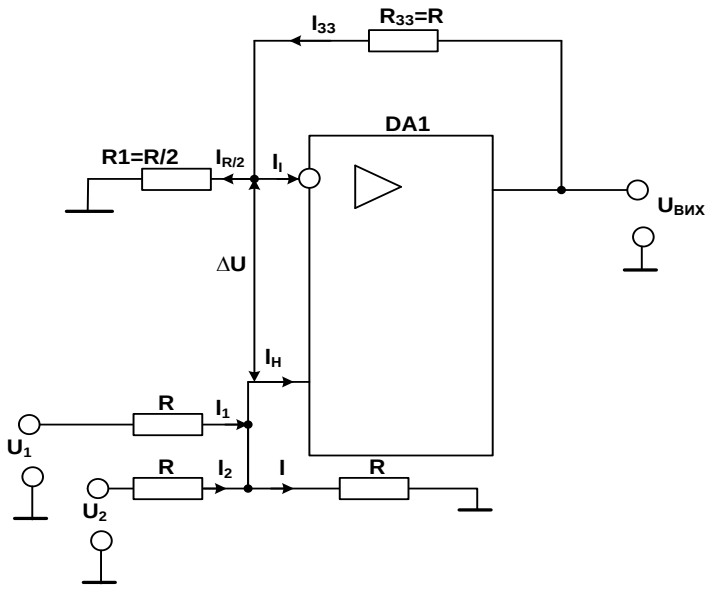


Рис. 2.49. Схема ОП, який виконує функцію суматора, що не інвертує

Вираз, який пов’язує вихідну напругу $U_{ВИХ}$ із вхідними напругами U_1 та U_2, отримаємо за методикою, що описана під час розгляду схем ОП, наведених вище.

Будемо вважати, що ІМС ОП – ідеальна, тоді:

$K_{U.IMCOП} \to \infty$; $R_{BX} \to \infty$; $R_{BИX} \to 0$, отже:

$$I_1 + I_2 = I\ ;\ I_1 = \frac{U_1 - U_H}{R};\ I_2 = \frac{U_2 - U_H}{R};$$

$$I = \frac{U_H}{R};\ \frac{U_1 - U_H}{R} + \frac{U_2 - U_H}{R} = \frac{U_H}{R};$$

$$U_1 + U_2 = 3 \cdot U_H .$$

$U_H = U_I$, якщо $\Delta U \to 0$, за умови, що $K_{U.IMCOП} \to \infty$;

$$U_H = I_{\frac{R}{2}} \cdot \frac{R}{2};$$

$$I_{\frac{R}{2}} = I_{ЗЗ} (I_I \to 0,\ \text{якщо}\ R_{BX} \to \infty);$$

$$I_{ЗЗ} = \frac{U_{BИX}}{R + \frac{R}{2}} = \frac{U_{BИX} \cdot 2}{3 \cdot R};$$

$$U_I = \frac{U_{BИX} \cdot 2}{3 \cdot R} \cdot \frac{R}{2} = \frac{U_{BИX}}{3};$$

$$U_1 + U_2 = 3 \cdot \frac{U_{BИX}}{3} = U_{BИX} .$$

У загальному випадку, якщо кількість входів дорівнює n, тоді $R_1 = \frac{R_{ЗЗ}}{n} = \frac{R}{n}$, а

$$U_{BИX} = (U_1 + U_2 + ... + U_n) .$$

2.7.9. Операційний підсилювач, що диференціює

Схему ОП, що диференціює, наведено на рис. 2.50.

Вважатимемо, що ІМС ОП є ідеальною:

– $K_{U.IMCOП} \to \infty$;

– $R_{BX} \to \infty$;

– $R_{BИX} \to 0$.

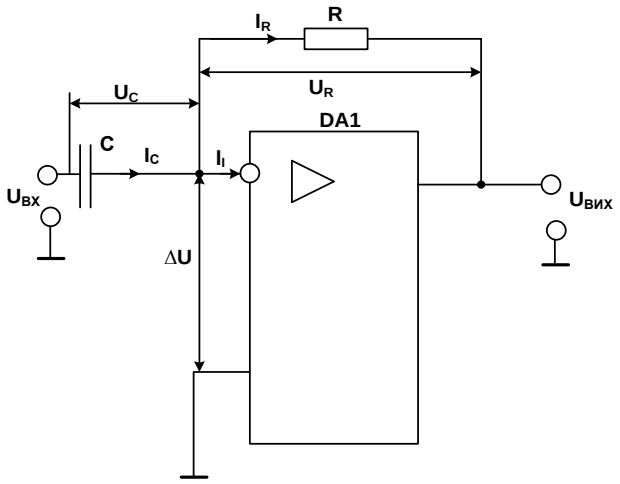


Рис. 2.50. Схема ОП, що диференціює

Різниця напруг між інвертуючим (І) та неінвертуючим (Н) входом $\Delta U = U_{ВИХ} / K_{U.ІМСОП}$ під час виконання умови (2.5) у межах лінійної ділянки передатної характеристики ІМС ОП приблизно дорівнює нулю. Струм, що надходить на інвертуючий вхід ІМС ОП, дорівнює нулю за умови, що $R_{ВХ} \to \infty$.

Струм, який проходить скрізь конденсатор

$$I_C = C \cdot \frac{dU_C}{dt}.$$

Напруги ΔU, U_R та $U_{ВИХ}$ пов'язані співвідношенням

$$\Delta U = U_R + U_{ВИХ}.$$

Якщо $\Delta U = 0\ (K_{U.ІМСОП} \to \infty)$,

$$U_{ВИХ} = -U_R.$$

У свою чергу

$$U_R = I_R \cdot R;$$

$$I_R = I_C (I_I \to 0, \text{ коли } R_{ВХ} \to \infty);$$

$$U_R = I_C \cdot R = R \cdot C \frac{dU_C}{dt};$$

$$U_{ВИХ} = -RC \frac{dU_C}{dt} = -\tau_{ДИФ} \frac{dU_C}{dt} = -\tau_{ДИФ} \frac{dU_{ВХ}}{dt}, \qquad (2.11)$$

де $\tau_{ДИФ} = RC$ – стала часу; $U_{ВХ} = U_C \left(\Delta U = 0\ (K_{U.ІМСОП} \to \infty) \right)$.

Отже, якщо ІМС ОП є ідеальною, то розглянута схема на його основі виконує точне диференціювання вхідного сигналу і похибка дорівнює нулю. Знак «мінус» у виразі (2.11) показує, що вихідна напруга протифазна вхідній.

2.7.10. Операційний підсилювач, що інтегрує

Як АЕ інтегруючих кіл (ІК) широко використовуються ІМС ОП. Принципову схему активного ІК на ІМС ОП показано на рис. 2.51. Будемо вважати, що ІМС ОП є ідеальною:

– $K_{U.ІМСОП} \to \infty$;

– $R_{ВХ} \to \infty$;

– $R_{ВИХ} \to 0$.

Різниця між інвертуючим (І) та неінвертуючим (Н) входами $\Delta U = \dfrac{U_{ВИХ}}{K_{U.ІМСОП}}$ під час виконання умови (2.5) у межах лінійної ділянки передатної характеристики ІМС ОП приблизно дорівнює нулю. Струм, який надходить на інвертуючий вхід ІМС ОП дорівнює нулю за умови, що $R_{ВХ} \to \infty$. Напруга на конденсаторі

$$U_C = \frac{1}{C}\int_0^t I_C dt.$$

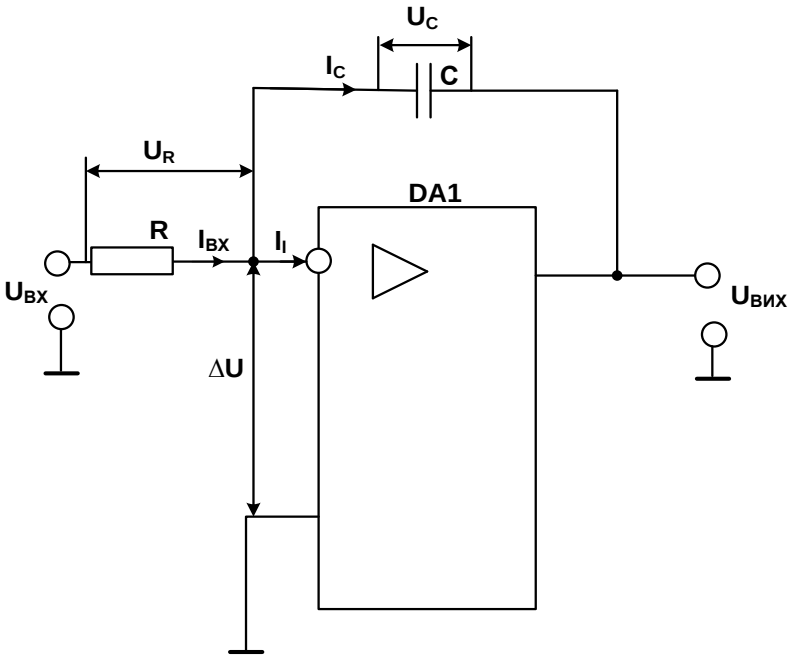


Рис. 2.51. Схема ОП, що інтегрує

Оскільки струм $I_{ВХ} = I_C$, а також $I_{ВХ} = \dfrac{U_{ВХ} - \Delta U}{R} = \dfrac{U_{ВХ}}{R}$, то

$$U_C = \frac{1}{C}\int \frac{U_{BX}}{R}dt = \frac{1}{RC}\int_0^t U_{BX}dt.$$

Оскільки виконуються умови $\Delta U \approx 0$ та $U_C + U_{ВИХ} = \Delta U$, то одержимо

$$U_{ВИХ} = -U_C = -\frac{1}{RC}\int_0^t U_{BX}dt = -\frac{1}{\tau_{ІНТ}}\int_0^t U_{BX}dt, \qquad (2.12)$$

де $\tau_{ІНТ} = RC$ – стала часу.

Отже, якщо ІМС ОП вважати ідеальною, то ІК на його основі виконує точне інтегрування вхідного сигналу і похибка дорівнює нулю. Знак «мінус» у виразі (2.12) вказує, що вихідна напруга протифазна вхідній, яка подається на вхід ІМС ОП, що інвертує.

2.7.11. Операційний підсилювач, що логарифмує

Ідея побудови ОП, що логарифмує, полягає в тому, що в ланцюг ВЗЗ включають елемент, який має логарифмічну характеристику, наприклад, НД або біполярний транзистор, який включений за схемою із СБ. Схему підсилювача наведено на рис. 2.52.

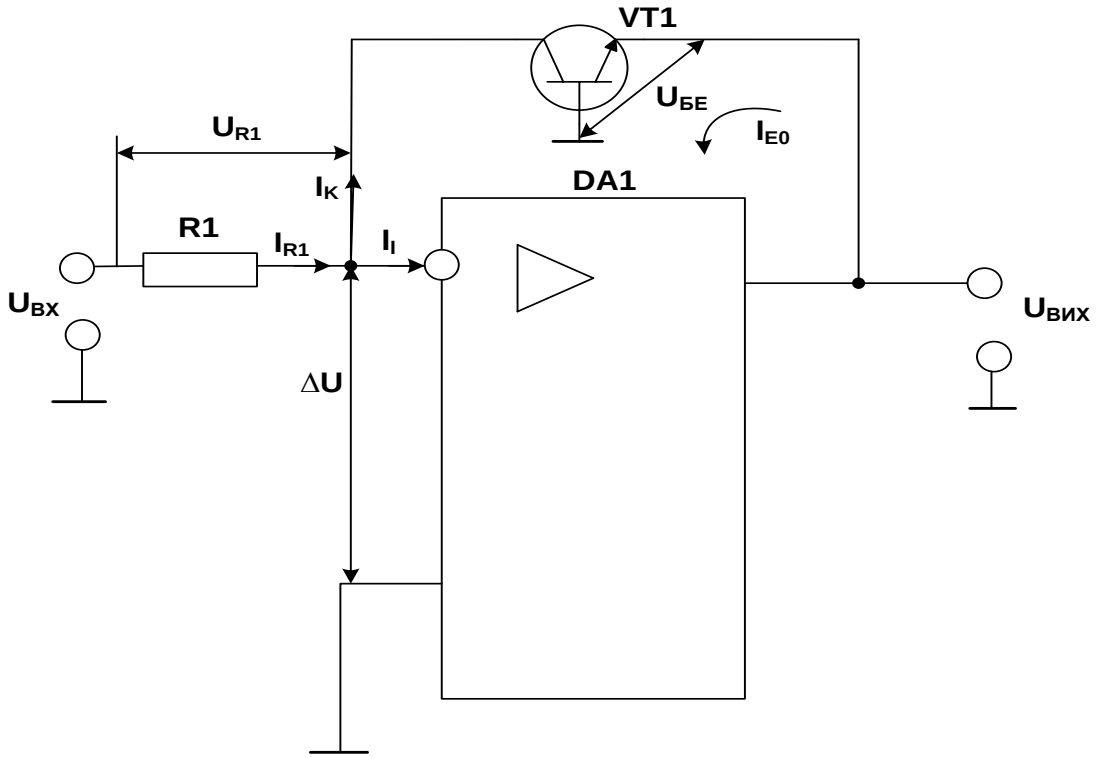


Рис. 2.52. Схема ОП, який логарифмує

Для транзистора VT1 із СБ виконується співвідношення [23]

$$I_K = I_{E0} \cdot e^{\frac{qU_{БЕ}}{kT}}, \qquad (2.13)$$

де I_K – струм колектора; I_{E0} – зворотний струм насичення емітерного переходу; q – заряд електрона $(1.6 \cdot 10^{-19}\,\text{Кл})$; k – постійна Больцмана $(1.38 \cdot 10^{-23}\,\text{Дж/К})$; T – абсолютна температура у градусах Кельвіна; $U_{БЕ}$ – напруга база-емітер транзистора VT1.

Якщо вважати, що ІМС ОП ідеальна, то:

$$K_{U.ІМСОП} \to \infty;$$

$$R_{ВХ} \to \infty;$$

$$R_{ВИХ} \to 0.$$

Для схеми можна навести такі співвідношення:

$$I_K = I_{R1} (I_I \approx 0, \text{ тому що } R_{ВХ} \to \infty);$$

$$I_{R1} = \frac{U_{R1}}{R1};$$

$$U_{ВХ} = U_{R1} + \Delta U = U_{R1} (\Delta U \to 0);$$

$$I_{R1} = \frac{U_{ВХ}}{R1};$$

$$I_K = \frac{U_{ВХ}}{R1}.$$

Підставимо отримане значення I_K в (2.13) та отримаємо

$$\frac{U_{ВХ}}{R1} = I_{E0} \cdot e^{\frac{qU_{БЕ}}{kT}}.$$

Перенесемо I_{E0} у ліву частину останнього рівняння

$$\frac{U_{ВХ}}{R1 \cdot I_{E0}} = e^{\frac{qU_{БЕ}}{kT}}.$$

Прологарифмуємо ліву та праву частину останнього рівняння

$$\ln \frac{U_{ВХ}}{R1 \cdot I_{E0}} = \frac{qU_{БЕ}}{kT}.$$

Із цього рівняння отримаємо

$$U_{БЕ} = \frac{kT}{q} \cdot \ln \frac{U_{ВХ}}{R1 \cdot I_{E0}}.$$

Очевидно, що у схемі

$$U_{ВИХ} = U_{БЕ} = \frac{kT}{q} \cdot \ln \frac{U_{ВХ}}{R1 \cdot I_{E0}}.$$

Виконаємо перехід від натурального логарифму $\ln x$ до десяткового $\log_{10} x$, використовуючи формулу

$$\log_{10} x = \ln x \cdot \log_{10} e,$$

отримаємо остаточний вираз

$$U_{ВИХ} = \frac{kT}{q} \cdot \frac{\log_{10} \frac{U_{ВХ}}{R1 \cdot I_{E0}}}{\log_{10} e}.$$

Замість VT1 можна використовувати НД, для якого виконується співвідношення

$$I_Д = I_0 \cdot e^{\frac{qU_Д}{kT}}.$$

Логарифмічні ОП застосовуються у вимірювальній техніці, у звукотехніці і т. ін., де використовується шкала у декадах.

2.7.12. Операційний підсилювач, що антилогарифмує

Для пояснення терміну «підсилювач, що антилогарифмує» наведемо декілька відомих з математики формул:

$$\ln x = K,$$

$$e^{K} = x,$$

$$e^{\ln x} = x,$$

тоді антилогарифм від K дає x:

$$\text{antiln}\, K = x = e^{K}.$$

Останній вираз буде використаний далі під час отримання виразу, який описує роботу ОП, який антилогарифмує [23].

Схему антилогарифмуючого ОП наведено на рис. 2.53.

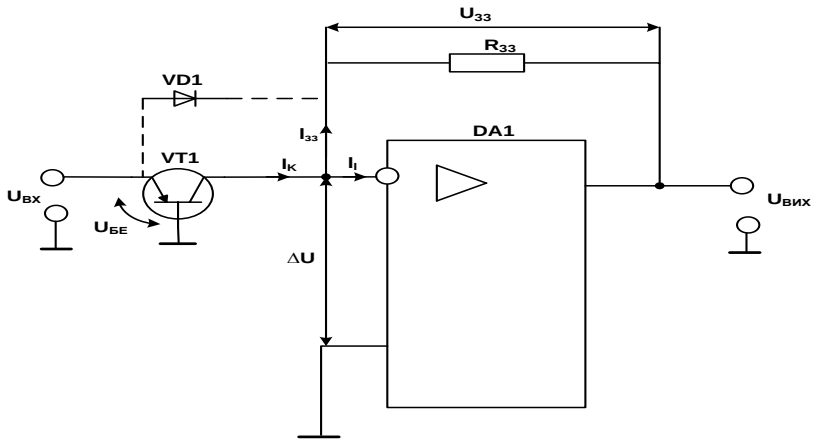


Рис. 2.53. Схема ОП, що антилогарифмує

Будемо вважати, що ІМС ОП ідеальна, тобто $K_{U.IMCOП} \to \infty$; $R_{BX} \to \infty$; $R_{BИX} \to 0$.

Тоді можна навести такі співвідношення:

$$\Delta U = U_{ЗЗ} + U_{BИX};\ U_{BИX} = -U_{ЗЗ} = -I_{ЗЗ} \cdot R_{ЗЗ}(\Delta U \to 0);$$

$$I_K = I_{ЗЗ} + I_I = I_{ЗЗ}(I_I \to 0);$$

$$I_K = I_{E0} \cdot e^{\frac{qU_{БE}}{kT}},$$

де I_K – струм колектора транзистора VT1; I_{E0} – зворотний струм насичення емітерного переходу; q – заряд електрона $(1.6 \cdot 10^{-19} Кл)$; k – постійна Больцмана $(1.38 \cdot 10^{-23} Дж/К)$; T – абсолютна температура у градусах Кельвіна; $U_{БE}$ – напруга база-емітер транзистора VT1;

$$U_{BИX} = -R_{ЗЗ} \cdot I_{E0} \cdot e^{\frac{qU_{БE}}{kT}};$$

$$U_{БE} = U_{BX};$$

$$U_{BИX} = -R_{ЗЗ} \cdot I_{E0} \cdot e^{\frac{qU_{BX}}{kT}};$$

$$U_{BИX} = -R_{ЗЗ} \cdot I_{E0} \cdot anti\ln\left(\frac{qU_{BX}}{kT}\right).$$

Замість транзистора VT1 можна використовувати НД VD1, підключення якого на рис. 2.53 зображене пунктирною лінією.

2.8. Підсилювачі потужності

2.8.1. Загальна характеристика підсилювачів потужності

Підсилювачами потужності називають вихідні (кінцеві) підсилювальні каскади, призначені для передачі споживачеві заданої або максимально можливої потужності за високого ККД і допустимих рівнях частотних і нелінійних спотворень. Вихідні каскади, зазвичай, працюють у режимі підсилення великих сигналів і їх найважливішими показниками є: потужність, що віддається у навантаження (коефіцієнт підсилення за потужністю), ККД, рівень нелінійних спотворень підсилювального сигналу. Рівень нелінійних спотворень і ККД підсилювача істотно залежать від початкового положення робочої точки, тому необхідно, строго дотримуватись режиму роботи підсилювача потужності за постійним струмом. Слід враховувати, що нелінійні спотворення підсилювача в режимі великого сигналу обумовлюються не тільки нелінійністю вхідних характеристик, але й нелінійністю вихідних. Мінімально можливий рівень

нелінійних спотворень можна забезпечити у режимі класу *A*, а максимально можливий ККД – у режимі *B* або *AB*.

Рівень потужності, що віддається вихідним підсилювальним каскадом у навантаження, залежить від співвідношення вихідного опору підсилювача і опору навантаження. Максимальна потужність у навантаженні виходить за умови рівності названих опорів. Проте вихідний опір підсилювача може істотно відрізнятися від опору навантаження. Цю суперечність можна вирішити за допомогою використання вихідного трансформатора, що погоджує.

Вихідні каскади проектують в одно- і двотактному виконанні. Однотактні каскади зазвичай працюють у режимі класу *A*, двотактні – в режимі класу *B* або *AB*. Зі всіх варіантів двотактна схема в режимі класу *B* найбільш економічна і забезпечує відносно великі рівні вихідної потужності. Однотактна схема застосовується під час досить малих вихідних потужностей. Є безтрансформаторні та трансформаторні ПП [5; 12; 20].

2.8.2. Безтрансформаторні підсилювачі потужності

Тенденція до мікромініатюризації пристроїв промислової електроніки призвела до розробки двотактних підсилювачів потужності із безтрансформаторним виходом. Особливо небажано, а в деяких типах схем повністю виключається застосування трансформаторних вихідних каскадів в інтегральній схемотехніці. Відсутність частотно-залежних елементів у ланцюгах зв’язку між каскадами дозволяє вводити глибокі спільні ВЗЗ як за змінним, так і за постійним струмом, що істотно покращує характеристики всього пристрою. Безтрансформаторні потужні вихідні каскади виконують переважно за двотактними схемами на транзисторах, що працюють у режимі *B* або *AB* і включені за схемами із СЕ і СК. У цих схемах можливе поєднання в одному каскаді або однакових транзисторів, або транзисторів із різним типом електропровідності. Каскади, в яких використані транзистори з різним типом електропровідності *p-n-p* і *n-p-n*, носять назву каскадів із додатковою симетрією. Одну із можливих схем підсилювального каскаду із додатковою симетрією показано на рис. 2.54.

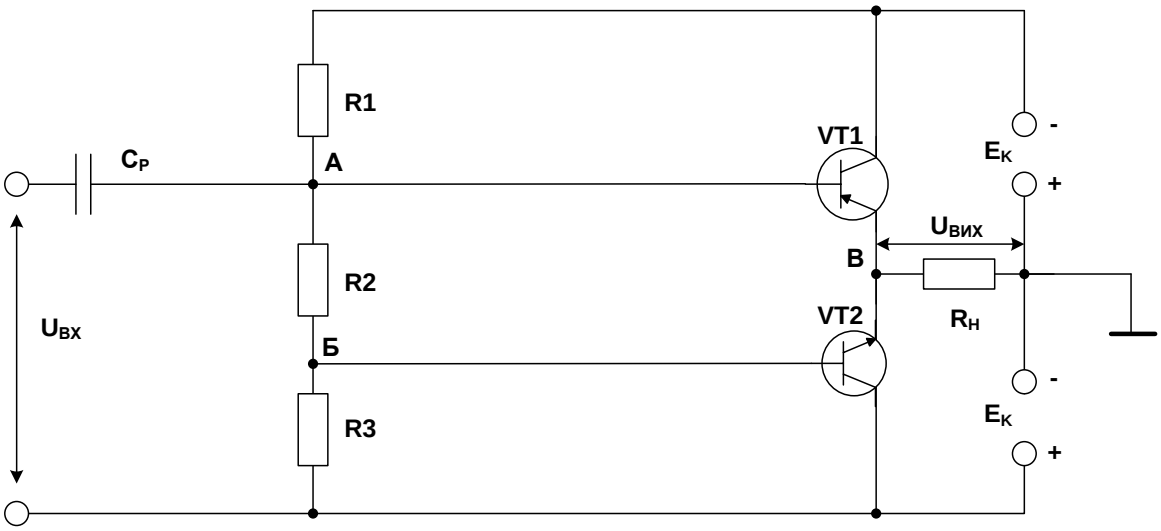


Рис. 2.54. Схема двотактного підсилювача потужності із додатковою симетрією

За відсутності вхідного сигналу струм в опорі навантаження R_H практично відсутній, оскільки невеликі початкові струми, що проходять через транзистори VT1 і VT2, у ньому взаємно віднімаються. Ці струми обумовлені зміщенням, створеним падінням напруги на $R2$:

$$U_{R2} = I_П \cdot R2;$$

$$I_П = \frac{2 \cdot E_K}{R1 + R2 + R3},$$

де $I_П$ – струм подільника напруги, який утворюють резистори $R1...R3$.

Якщо транзистори VT1 і VT2 ідентичні за параметрами, то потенціали точок *А* і *Б* щодо емітерів відповідних транзисторів (точка *В*) дорівнюють $\left(-\frac{U_{R2}}{2}\right)$ та $\left(+\frac{U_{R2}}{2}\right)$.

У цьому випадку через транзистори проходить однаковий струм, а в опорі навантаження струм відсутній.

Для визначення напруги зсуву необхідно знати характеристики транзисторів і заздалегідь задатися значенням струму I_{0K} транзисторів VT1 і VT2. Цьому струму колектора відповідають певний струм бази $I_{0Б}$ і напруга $U_{0БЕ}$. Струм подільника напруги вибирають у 5...10 разів більше початкових базових струмів транзисторів VT1 і VT2. Це забезпечує малу зміну потенціалів баз у разі температурних змін їх струмів.

За вибраним струмом подільника визначають опори $R1$, $R2$, $R3$:

$$R1 = \frac{|E_K| - |U_{0БЕ1}|}{I_П};$$

$$R3 = \frac{E_K - U_{0БЕ2}}{I_П};$$

$$R2 = \frac{|U_{0БЕ1}| + U_{0БЕ2}}{I_П}.$$

Оскільки $R2$ має невелике значення, можна вважати, що бази транзисторів за змінним струмом безпосередньо сполучені між собою. Для зменшення опору $R2$ за змінним струмом воно може бути шунтоване конденсатором. Під час подачі вхідного змінного підсилювального сигналу один із транзисторів залежно від фази сигналу закривається, а відкритий транзистор працює як підсилювальний каскад, зібраний за схемою із СК, тобто як звичайний емітерний повторювач. Під час іншого півперіоду вхідного сигналу відкритий і закритий транзистори міняються місцями. Вихідний опір емітерного повторювача малий, що полегшує узгодження підсилювача із низькоомним навантаженням, і ККД схеми може бути досить високим. Оскільки вихідна напруга схеми із СК майже дорівнює вхідній, підсилення потужності в такому підсилювачі досягається завдяки підсиленню струму. Для отримання однакового вхідного опору в різні півперіоди і однакового підсилення за потужністю транзистори підсилювача рекомендовано підбирати ідентичними. Можливі й інші схеми побудови безтрансформаторних двотактних вихідних каскадів [5; 13]. На рис. 2.55 показано схему більш поширеного на практиці підсилювача потужності на транзисторах VT1 і VT2 різної структури, сигнал збудження на який поступає з виходу ОП DA1.

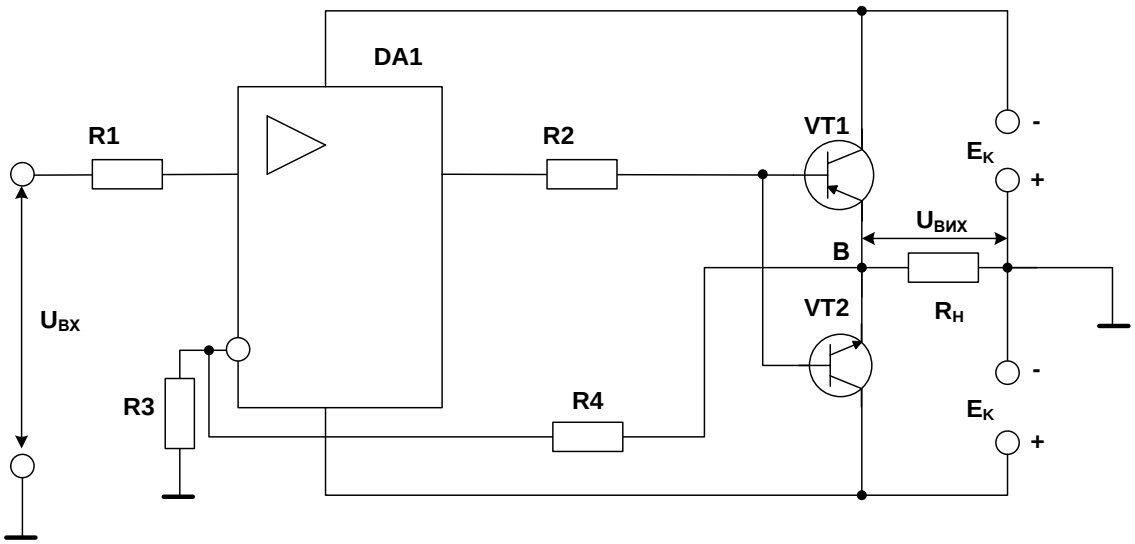


Рис. 2.55. Схема безтрансформаторного підсилювача потужності, керованого ОП

Підсилювач за допомогою подільника, який виконаний на резисторах $R3$ і $R4$, охоплений ВЗЗ, завдяки якому схема настільки лінійна, що не вимагає додаткових ланцюгів зсуву для транзисторів кінцевого каскаду. Оскільки напруга на опорі навантаження $U_{ВИХ}$ приблизно дорівнює напрузі на виході ОП, потужність у навантаженні

$$P_{ВИХ} = \frac{U_{ВИХ}^2}{R_H},$$

обмежується максимальною вхідною напругою цього підсилювача.

2.8.3. Трансформаторні підсилювачі потужності

Підсилювачі потужності, зазвичай, є кінцевими каскадами, що забезпечують максимальну чи необхідну потужність у навантаженні. В цих каскадах для узгодження високого вихідного опору підсилювача з низьким опором навантаження застосовують вихідні (погоджувальні) трансформатори.

Розрізняють одно- або двотактні підсилювачі потужності. Двотактні підсилювачі потужності застосовують за великих потужностей у навантаженні ($P_H > 1...3$Вт).

Принципову схему однотактного підсилювача потужності наведено на рис. 2.56.

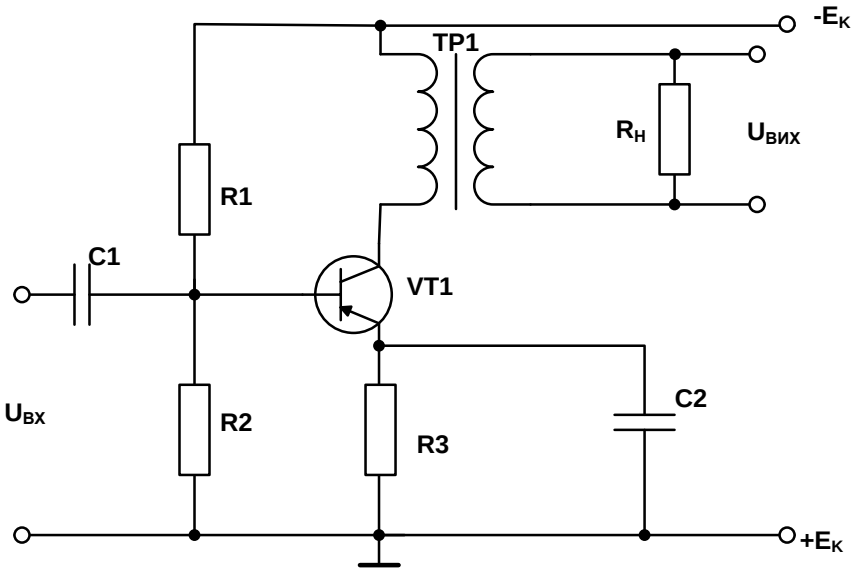


Рис. 2.56. Схема однотактного підсилювача потужності

Як видно з рис. 2.56, принцип побудови схеми підсилювачів потужності аналогічний розглянутому раніше принципу побудови

RC-підсилювачів напруги. Відмінність полягає лише в тому, що замість резистора R_K підключається вихідний трансформатор ТР1, що забезпечує узгодження опору навантаження з вихідним опором підсилювача. Зазвичай, однотактні підсилювачі потужності працюють у режимі *А* [1; 5; 12].

Режим класу *А* характеризується тим, що крізь підсилювальний транзистор струм проходить протягом всього періоду. Для аналізу режиму роботи каскаду використовуються статичні вихідні характеристики транзистора. Для отримання максимальної потужності на виході каскаду необхідно використовувати всю робочу ділянку лінії навантаження за змінним струмом, що забезпечується вибором точки спокою посередині відрізка прямої навантаження, який відповідає активній області транзистора.

Вихідна потужність підсилювача (потужність на первинній обмотці трансформатора)

$$P_{ВИХ} = U_K \cdot I_K = \frac{U_{Km} \cdot I_{Km}}{2},$$

де U_K, I_K та U_{Km}, I_{Km} – відповідно діючі й амплітудні значення змінної складової колекторних напруги і струму.

Однотактний вихідний каскад можна використовувати тільки в режимі класу *А*. Каскад має малий ККД. Для нього потрібне джерело живлення великої потужності, яке має малі пульсації випрямленої напруги. Наявність постійного підмагнічування обмотки трансформатора приводить до необхідності збільшення габаритів вихідного трансформатора. Разом із тим треба відмітити такі переваги однотактного вихідного каскаду: потрібен лише один транзистор, не потрібен попередній каскад, виконаний за фазоінверсною схемою. Більш детальний аналіз такого підсилювача наведено у [1; 8; 12]. Кращі показники можна отримати від підсилювача потужності, який побудований за двотактною схемою (рис. 2.57).

Зазвичай, двотактні підсилювачі потужності працюють у класах *АВ* чи *В*. У цій схемі трансформатор ТР1 необхідний для створення двох однакових за величиною та протилежних за фазою напруг, які керують роботою транзисторів VT1 та VT2. Резистори $R1$ та $R2$ забезпечують режим роботи підсилювача у класах *АВ* чи *В*. Режим класу *В* характеризується тим, що точка спокою знаходиться в області колекторних струмів, близьких до нуля. В цьому випадку у разі появи на базі від'ємної півхвилі вхідного сигналу транзистор відкритий; у разі додатного сигналу, що відповідає плюсу на базі відносно емітера, – транзистор закритий. У режимі класу *В* струм крізь транзистор проходить протягом півперіоду. Режим класу *АВ* є проміжним

між режимами класів *A* та *B*, однак ближче до режиму класу *B*. Час відкритого стану транзистора в цьому режимі більше π і менше 2π. Режими класів *B* та *AB* в однотактних підсилювачах потужності використовуватися не можуть, через те, що в цьому випадку у кривій колекторного струму I_K мають місце суттєві нелінійні спотворення.

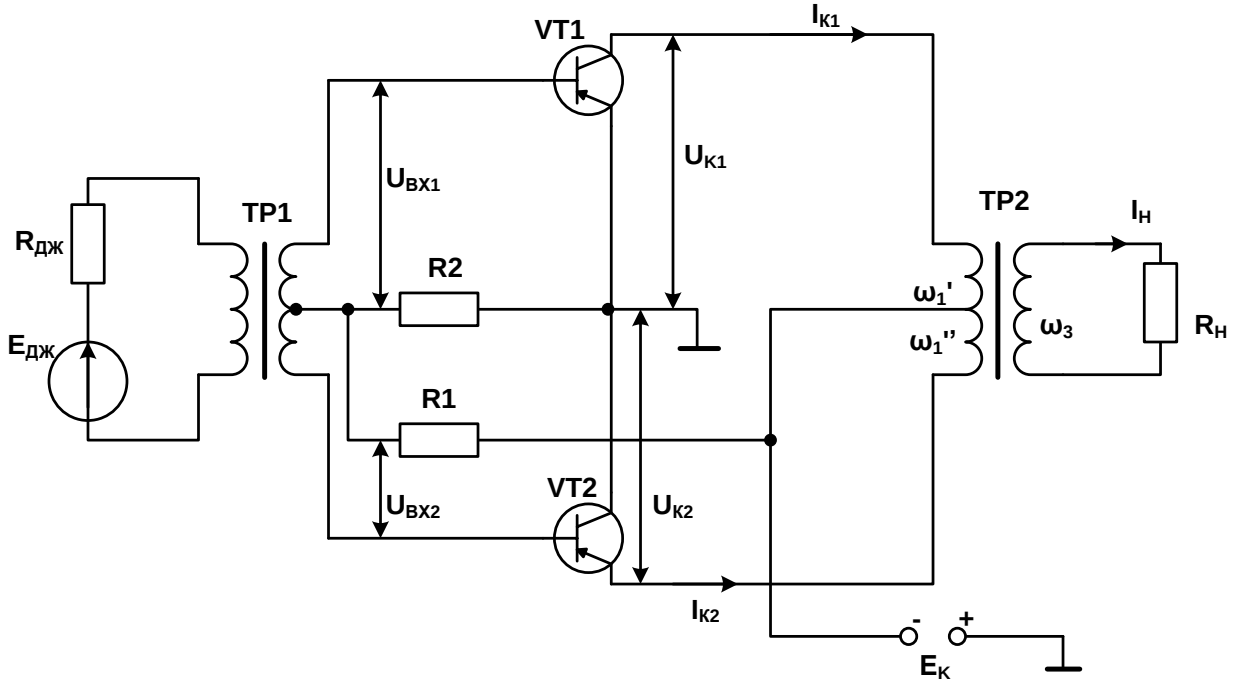


Рис. 2.57. Схема двотактного підсилювача потужності

Широке застосування ці режими знаходять у двотактних підсилювачах потужності, де струм у ланцюзі навантаження визначається сумою струмів обох транзисторів. У стані спокою, у разі відсутності вхідного сигналу, різниця потенціалів $U_{БЕ1} = U_{БЕ2} = 0$, і обидва транзистори закриті. Вхідний сигнал на бази обох транзисторів подається у протифазі, тому в режимі класу *B* кожний із транзисторів відкритий протягом півперіоду, коли потенціал бази стає від'ємним відносно емітера. Струми у первинних обмотках вихідного трансформатора в обох півперіодах спрямовані зустрічно, і через те, що миттєві значення їх змінюються за синусоїдальним законом, струм I_H у вторинній обмотці буде синусоїдальним. Пульсуючі струми I_{K_1} і I_{K_2}, які проходять відповідно крізь обмотки ω_1' та ω_1'', мають постійну складову, але оскільки значення цих струмів рівні, а напрямок протилежний, постійна складова у первинній обмотці компенсується і підмагнічування осердя відсутнє. Використання режимів класів *B* та *AB* дає можливість суттєво підвищити ККД схеми за рахунок зменшення втрат

потужності у транзисторах. Більш детально робота двотактних підсилювачів потужності описана у [12; 20].

2.9. Електричні фільтри

2.9.1. Загальна характеристика електричних фільтрів

Електричним фільтром називається пристрій, що пропускає електричні коливання одних частот і що затримує коливання інших. Електричні фільтри, які називають просто фільтрами, мають вибіркові властивості. Ці властивості формуються пасивними елементами, величини яких залежать від частоти. В діапазоні низьких, особливо звукових (300…3400 Гц), і інфранизьких частот (< 300 Гц) як частотно-залежні елементи широко використовуються *RC*-ланцюги. Проте пасивні *RC*-ланцюги мають великі власні втрати і характеризуються низькими селективними властивостями. Тому ці ланцюги застосовують у поєднанні із компенсуючими втрати АЕ (підсилювачами). Такі селективні підсилювачі називають активними *RC*-фільтрами. Як підсилювачі в цих фільтрах широко використовуються ОП в інтегральному виконанні ІМС ОП. Активні фільтри (АФ) широко використовуються в різних електронних пристроях сучасних систем автоматики і робототехніки.

Залежно від того, яку частину частотного спектра вхідного сигналу пропускає АФ, розрізняють фільтри:

- нижніх частот (ФНЧ);
- верхніх частот (ФВЧ);
- смугово-пропускні (смугові) (СФ);
- смугово-загороджувальні (загороджувальні) (ЗФ).

2.9.2. Активні фільтри нижніх частот

Під час введення сигналів, що знімаються з датчиків у вигляді аналогових напруг, часто необхідно виключати проходження ВЧ завад на вхід АЦП, що формує цифровий сигнал для мікропроцесорного пристрою оброблення інформації. Для цього використовують активні ФНЧ.

На рис. 2.58 наведено АЧХ ідеального і реального ФНЧ.

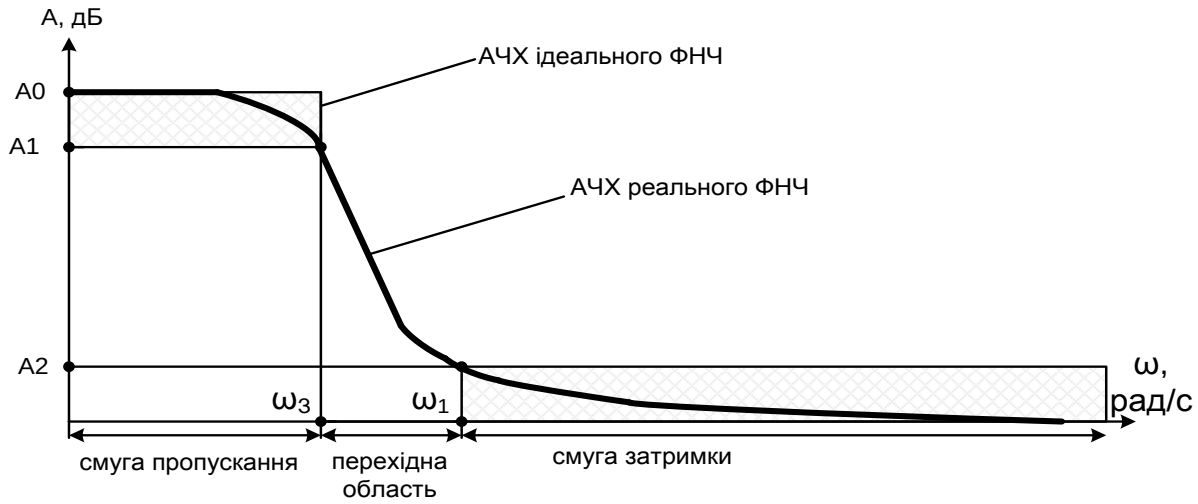


Рис. 2.58. АЧХ ідеального та реального ФНЧ

Діапазон або смуга частот, в яких сигнали проходять із мінімальним загасанням, називається смугою пропускання, а діапазон, в якому сигнали придушуються, утворюють смугу затримки. Більш тонкою лінією на рис. 2.58 показана логарифмічна АЧХ ідеального ФНЧ зі смугою пропускання $0 \le \omega \le \omega_3$ і смугою затримування $\omega > \omega_3$. Частота ω_3 між цими смугами називається частотою зрізу. Значення *A*, дБ, ідеального ФНЧ у смузі пропускання дорівнює *A*0, а в смузі затримки – нулю. На практиці неможливо реалізувати цю ідеальну характеристику, оскільки буде потрібно сформувати дуже вузьку перехідну область.

АЧХ реальних АФ ближче наближаються до ідеального для фільтрів більш високого порядку. Однак підвищення порядку зв’язане із ускладненням схем і більш високою вартістю.

Основна проблема під час проектування фільтра полягає у наближенні реальної АЧХ із заданим ступенем точності до ідеальної за найменших витрат. Приклад такої реальної характеристики показано на рис. 2.58 більш товстою лінією.

На практиці мають бути визначені і чітко розмежовані смуги пропускання і затримки. За смугу пропускання вибирають діапазон частот, де значення коефіцієнта передачі більше або дорівнює деякому, заздалегідь обраному числу, позначеному *A*1, а смугу затримки утворює діапазон частот, в якому амплітуда менше або дорівнює визначеному значенню, наприклад, *A*2. Інтервал частот, у якому характеристика постійно спадає, переходячи від смуги пропускання до смуги затримки, називається перехідною областю. Зображена на рис. 2.58 АЧХ реального фільтра має смугу пропускання у

діапазоні частот $0 \leq \omega \leq \omega_3$, смугу затримки в діапазоні $\omega \geq \omega_1$ і перехідну область у діапазоні $\omega_3 < \omega < \omega_1$.

Однієї з основних задач, що розв'язуються під час проектування АФ, є пошук аналітичної апроксимуючої функції, що із необхідною точністю відтворює задану за умовами АЧХ.

Є кілька типів стандартних фільтрів, що можуть використовуватися для апроксимації заданих АЧХ проектованих АФ: фільтри Батерворта, Чебишева, інверсні Чебишева й еліптичні [30].

Фільтри Батерворта мають монотонну (максимально плоску) АЧХ; АЧХ фільтра Чебишева має пульсації (коливання коефіцієнта передачі) у смузі пропускання і монотонна у смузі затримки; АЧХ інверсного фільтра Чебишева монотонна у смузі пропускання і має пульсації у смузі затримки, а АЧХ еліптичного фільтра має пульсації як у смузі пропускання , так і у смузі затримки.

Одним з основних методів проектування АФ, в яких значення порядку $n > 2$, є каскадне з'єднання ланок 1-го і 2-го порядків, що дозволяє одержати фільтр будь-якого високого порядку [30].

Як видно з рис. 2.59 каскадне з'єднання фільтрів 1-го і 2-го порядків дає фільтр 3-го порядку, каскадне з'єднання двох фільтрів 2-го порядку дає фільтр 4-го порядку і т. ін. Збільшуючи кількість фільтрів 1-го і 2-го порядків, що з'єднуються, можна одержати фільтр будь-якого потрібного нам порядку.

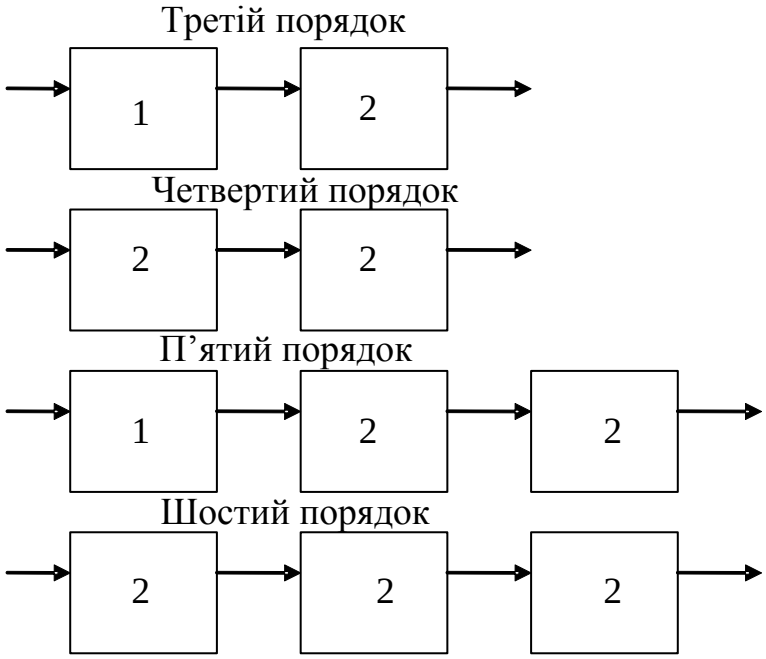
Фільтри парних порядків будуються із $n/2$ каскадів 2-го порядку, де n-порядок фільтра. Сумарний коефіцієнт передачі АФ, побудованого каскадним з'єднанням фільтрів 1-го і 2-го порядків, дорівнює добутку коефіцієнтів передачі вихідних ланок. Є кілька способів схемної реалізації АФ: із багатопетлевим зворотним зв'язком (БЗЗ), із джерелом напруги, що керується напругою (ДНКН); біквадратний фільтр та ін.

Однією із найбільш простих схем АФ, що реалізує необхідні передатні функції окремих ланок фільтра, є схема із БЗЗ (рис. 2.60).

Схема має таку назву тому, що вона містить два шляхи проходження сигналу ЗЗ: через резистор і через конденсатор.

Фільтр із БЗЗ має гарну стабільність характеристик, низький вхідний опір і може ефективно застосовуватися для значень коефіцієнта підсилення, що не перевищує 10.

На кафедрі АУТС розроблений пакет прикладних програм для розрахунку АФ.



1 – фільтр першого порядку

2 – фільтр другого порядку

Рис. 2.59. Каскадне з’єднання фільтрів 1-го і 2-го порядків

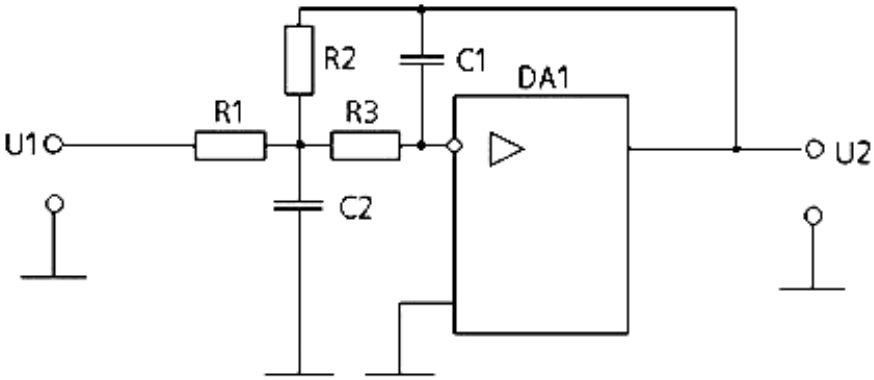


Рис. 2.60. Схема фільтра із БЗЗ

2.9.3. Активні фільтри верхніх частот

ФВЧ – це пристрій, що пропускає сигнали високих і придушує сигнали низьких частот. На рис. 2.61 зображені АЧХ ідеального і реального ФВЧ, де для практичного випадку позначені: смуга пропускання $(\omega \geq \omega_з)$,

смуга затримки – $(0 \le \omega \le \omega_1)$, перехідна область – $(\omega_1 < \omega < \omega_3)$, частота зрізу – ω_3 [рад/с], або $f_3 = \omega_3 / 2\pi$ [Гц].

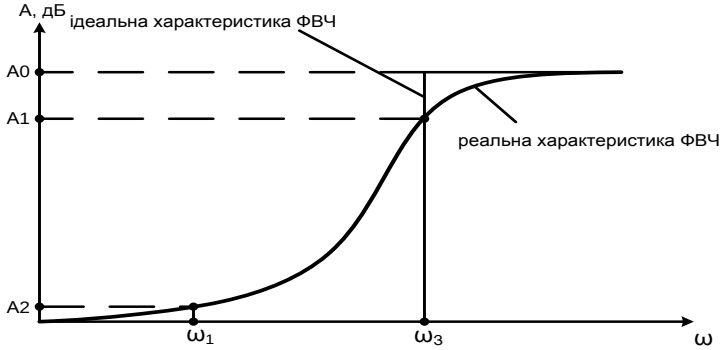


Рис. 2.61. Ідеальна і реальна АЧХ ФВЧ

Особливості проектування активних ФВЧ розглянуті у [30].

2.9.4. Активні смугові фільтри (селективні підсилювачі)

Загальні відомості про активні смугові фільтри. Селективні підсилювачі застосовуються в тих випадках, коли необхідно із сукупності вхідних сигналів широкого діапазону частот виділити групу сигналів близьких частот, що несуть корисну інформацію.

Амплітудно-частотна характеристика такого підсилювача має вигляд, показаний на рис. 2.62.

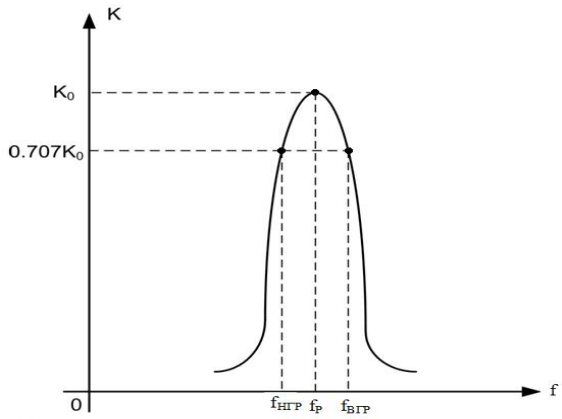


Рис. 2.62. АЧХ селективного підсилювача

Підсилювач має дуже вузьку смугу пропускання

$$\Delta f = f_{ВГР} - f_{НГР},$$

поза межами якої підсилення набагато слабкіше.

Селективні підсилювачі поділяються на дві основні групи:

– із використанням паралельного *LC*-контуру із частотно-селективними властивостями (резонансні);
– із використанням частотно-залежного ВЗЗ (підсилювачі із частотно-залежним ВЗЗ).

В області низьких частот (десятки – тисячі герц) переважніше використання селективних підсилювачів із частотно-залежним ВЗЗ.

Селективні підсилювачі із частотно-залежним ВЗЗ. На рис. 2.63 наведено схему селективного підсилювача із ланцюжком частотно-залежного ВЗЗ у вигляді подвійного Т-подібного мосту (*2Т-мосту*).

Амплітудно-частотна характеристика 2*Т*-мосту показана на рис. 2.64 (крива *1*).

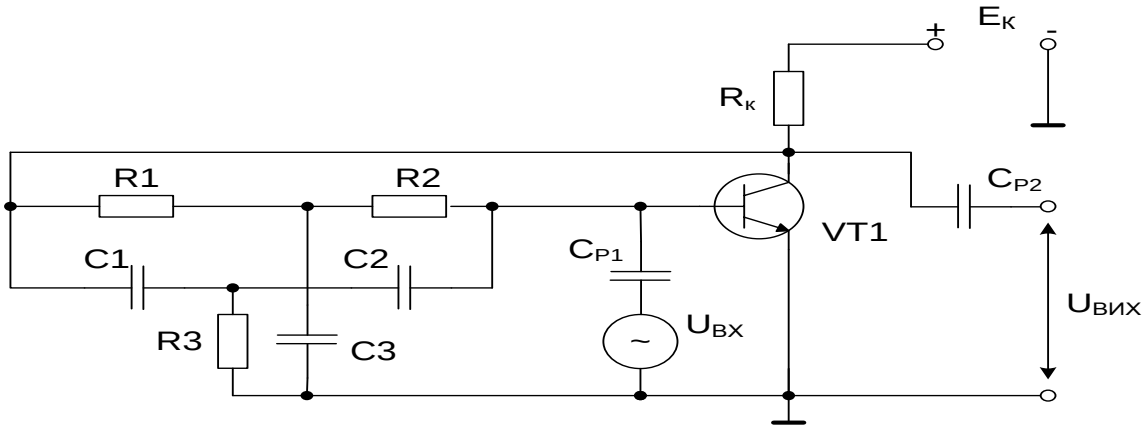


Рис. 2.63. Схема селективного підсилювача із частотно-залежним ВЗЗ

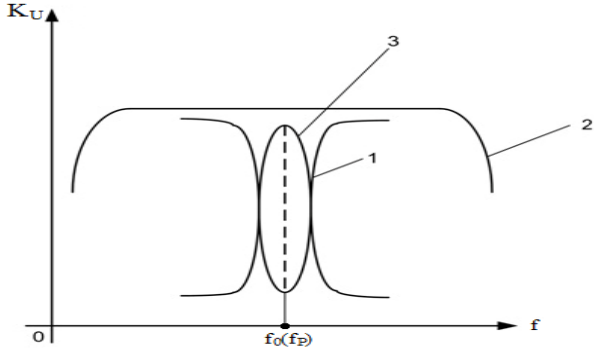


Рис. 2.64. АЧХ: *1* – 2*Т*-мосту;
2 – підсилювача без ВЗЗ; *3* – селективного підсилювача

Амплітудно-частотна характеристика підсилювача без ВЗЗ має вигляд кривої *2* (рис. 2.64).

Оскільки транзистор, включений за схемою із СЕ, зсуває фазу вхідного сигналу на 180°, селективний 2*T*-міст включається у ланцюг ВЗЗ і загальний фазовий зсув за замкнутою петлею: підсилювач – 2*T*-міст, дорівнює 180°.

Як показано на рис. 2.64 (крива *1*), на частоті квазірезонансу ω_0 (f_0) відсутній ВЗЗ.

Коефіцієнт підсилення селективного підсилювача на квазірезонансний частоті максимальний (рис. 2.64, крива *3*). У разі частот, відмінних від f_0, на роботу підсилювача впливає ВЗЗ і його коефіцієнт підсилення зменшується.

Квазірезонансна частота селективного підсилювача визначається співвідношенням

$$\omega_0 = \frac{1}{\sqrt{R1 \cdot R2 \cdot C1 \cdot C2}} \text{ за } R3 = \frac{R1R2}{R1 + R2}, \; C3 = C1 + C2.$$

У разі виконання умов:

$$\begin{cases} R1 = R2 = 2R3; \\ C1 = C2 = 0.5 \cdot C3; \end{cases}$$

$$\omega_0 = \frac{1}{R1 \cdot C1} = \frac{1}{R2 \cdot C2} = \frac{1}{R3 \cdot C3}.$$

Значення вхідного і вихідного опорів підсилювального каскаду істотно впливають на характеристики 2*T*-мосту, спотворюючи його частотну характеристику, розширюючи смугу пропускання селективного підсилювача і погіршуючи його селективність.

Для поліпшення селективності підсилювача слід використовувати як АЕ підсилювальний каскад із високим K_U великим вхідним і малим вихідним опорами.

Позитивні результати під час проектування селективних підсилювачів із частотно-залежним ВЗЗ дає застосування в якості підсилювача ІМС ОП.

У цьому разі загальний принцип побудови схеми залишається таким самим, як під час проектування схеми на транзисторах, яку розглянуто вище.

На рис. 2.65 зображено схему селективного підсилювача на ІМС ОП.

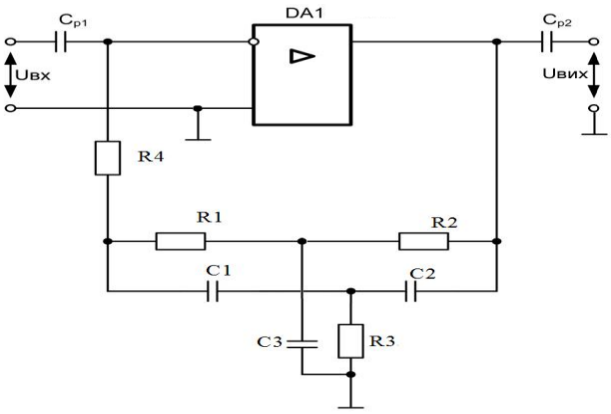


Рис. 2.65. Схема селективного підсилювача на ІМС ОП

Контрольні запитання та завдання

1. Дайте визначення поняттю «підсилювач електричних сигналів».
2. За рахунок чого підсилюються струм, напруга або потужність?
3. Назвіть види підсилювачів за призначенням.
4. Поясніть умови оптимального узгодження джерела вхідного сигналу та навантаження з параметрами підсилювача.
5. Назвіть та поясніть основні технічні параметри підсилювачів.
6. Наведіть та поясніть АЧХ та ФЧХ типового підсилювача.
7. Наведіть та поясніть види спотворень у підсилювачах.
8. Дайте визначення та поясніть призначення ЗЗ у підсилювачах.
9. Як впливають ЗЗ на основні параметри підсилювачів?
10. Наведіть та поясніть структуру підсилювача із ЗЗ.
11. Які види ЗЗ є для підсилювачів корисними, а які паразитними?
12. Наведіть та поясніть класифікацію ЗЗ за типом приєднання кола ЗЗ до вхідних і вихідних кіл підсилювача.
13. Назвіть основні типи кіл ЗЗ у підсилювачах.
14. Назвіть способи усунення паразитних ЗЗ у підсилювачах.
15. Який тип ЗЗ необхідно застосувати для збільшення вхідного та зменшення вихідного опорів підсилювача?
16. Як розрахувати основні параметри підсилювача зі СЕ за змінним струмом?
17. Як змінюється фаза вхідної напруги у підсилювачі зі СК?
18. Назвіть основні властивості підсилювача зі СК, які визначають необхідність його застосування.
19. Порівняйте основні параметри підсилювачів зі СЕ, СК та СБ, які визначають їх застосування.

20. Назвіть елементи схем однокаскадних підсилювачів, які визначають режим роботи за постійним струмом.
21. Поясніть призначення роздільних конденсаторів у підсилювачах змінного струму.
22. Як побудувати лінію навантаження для БТ, який включений за схемою із СЕ?
23. Що відбувається з фазою вхідної напруги підсилювача на БТ, який включений за схемою із СЕ? Відповідь поясніть.
24. Назвіть основні переваги та недоліки підсилювача з фіксованим струмом бази.
25. Назвіть основні причини температурної нестабільності транзисторних підсилювачів та поясніть роботу елементів температурної стабілізації.
26. Дайте визначення ОП та опишіть його основні параметри.
27. Наведіть умовне позначення ОП на електричних схемах.
28. Наведіть та поясніть структуру ОП.
29. Як підключаються джерела живлення до ОП?
30. Наведіть та поясніть передатну (амплітудну) характеристику ОП.
31. Наведіть та поясніть схему заміщення вхідного кола ОП.
32. Назвіть та опишіть типи ОП, які визначають їх практичне застосування.
33. Які властивості має ОП, який охоплений ВЗЗ?
34. Поясніть схему, основні параметри інвертуючого підсилювача на основі ІМС ОП.
35. Поясніть схему, основні параметри неінвертуючого підсилювача на основі ІМС ОП.
36. Наведіть та поясніть схеми повторювачів на основі ІМС ОП.
37. Поясніть схему, основні параметри диференціального підсилювача на основі ІМС ОП.
38. Поясніть схему, основні параметри диференціатора та інтегратора на основі ІМС ОП.
39. Поясніть схему, основні параметри логарифмуючого підсилювача на основі ІМС ОП
40. Поясніть схему, основні параметри антилогарифмуючого підсилювача на основі ІМС ОП.
41. Дайте визначення та поясніть призначення ПП.
42. Поясніть особливості побудови безтрансформаторних ПП.
43. Назвіть та поясніть класи роботи ПП.

44. Наведіть схему та поясніть роботу однотактного ПП з трансформаторним виходом.
45. Яке призначення вихідного трансформатора у ПП?
46. Які переваги мають двотактні ПП щодо однотактних?
47. Назвіть основні переваги та недоліки трансформаторних ПП.
48. Дайте визначення електричному фільтру. Загальна характеристика. Види і типи.
49. Зобразіть графічно АЧХ фільтра нижніх і верхніх частот. Поясніть отриманні графіки.

3. ГЕНЕРАТОРИ ГАРМОНІЙНИХ СИНУСОЇДАЛЬНИХ КОЛИВАНЬ

3.1. Загальна характеристика генераторів гармонійних синусоїдальних коливань

Електронні генератори гармонійних коливань служать для перетворення енергії джерела постійного струму у енергію незгасаючих синусоїдальних коливань. Вони містять АЕ і частотно-селективну схему (чотириполюсник). Як АЕ використовуються діоди, що мають ділянку від'ємного диференціального опору на вольт-амперній характеристиці, транзистори й інтегральні підсилювачі, особливо операційні, а як частотно-селективні чотириполюсники (ЧСЧ) – резонансні *LC*-контури, кварцові резонатори, *RC*-, *RL*- і *RLM*-ланцюги. За типом ЧСЧ генератори поділяються на *LC*-, *RC*-, *RL*- та *RLM*-генератори [5; 12; 20].

Залежно від частот, що генеруються, генератори поділяються на високо-, низько- і інфранизькочастотні. Перші працюють на частотах приблизно від 100 Мгц до 100 кГц, другі – від 100 кГц до 10 Гц, а треті – від 10 Гц і нижче. Із конструктивних міркувань на високих частотах переважно застосовуються *LC*-генератори, на низьких у разі напруги живлення порядку 4 В і вище – *RC*-генератори, а на низьких і інфранизьких частотах у разі напруги живлення біля 1 В ефективніші *RL*- і *RLM*-генератори.

За принципом виникнення коливань розрізняють генератори із зовнішнім (незалежним) збудженням (зазвичай, *LC*-генератори) і генератори із самозбудженням (автогенератори).

Залежно від наявності елементів плавного перестроювання частоти генератори поділяються на перестроювані (діапазонні) і фіксованої частоти.

На рис. 3.1 показано структурну схему простого автоколивального генератора. Такі генератори будуються за кільцевою схемою, в якій діє ДЗЗ. Основними елементами генератора є АЕ (підсилювач) – АЕ (П) і ЧСЧ.

3.2. *RC*-генератори синусоїдальних коливань

3.2.1. Загальні відомості про *RC*-генератори синусоїдальних коливань

Для генерування низькочастотних синусоїдальних коливань широко застосовуються *RC*-генератори, що містять ЧСЧ на *R* та *C* елементах і, залежно від створюваного ними зсуву фази на квазірезонансній частоті, інвертуючий або неінвертуючий підсилювач.

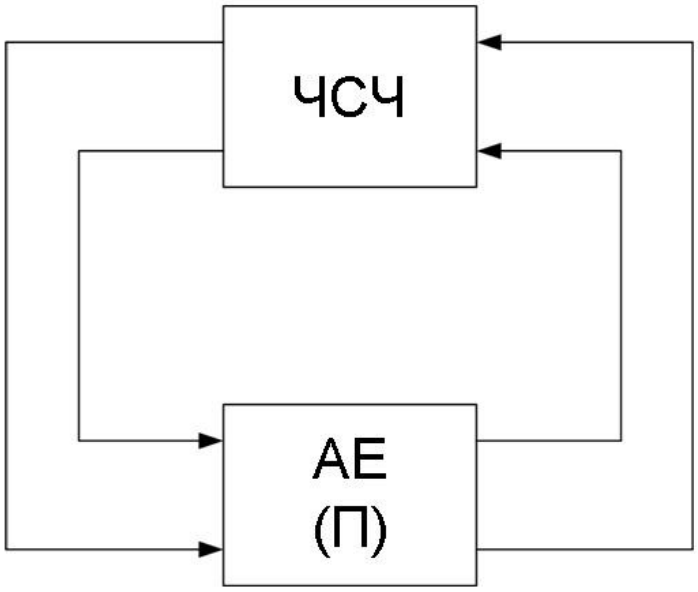


Рис. 3.1. Структурна схема автоколивального генератора

Частота, що генерується *RC*-генератором, називається квазірезонансною, оскільки ЧСЧ на *RC*-елементах не має резонансних властивостей, як, наприклад *LC*-контур.

В автоколивальних *RC*-генераторах використовуються підсилювачі, що охоплені ДЗЗ. Коефіцієнт підсилення підсилювача, охопленого ДЗЗ,

$$K_{ДЗЗ} = \frac{K_П}{1 - K_П \cdot K_{ЧСЧ}},$$

де $K_П$ – коефіцієнт підсилення підсилювача без ЗЗ; $K_{ЧСЧ}$ – коефіцієнт передачі ЧСЧ.

Умови самозбудження автогенератора:

$$K_П \cdot K_{ЧСЧ} \geq 1;$$

$$\Delta\varphi_П + \Delta\varphi_{ЧСЧ} = 2\pi n,$$

де n = 0, 1, 2, 3…

Друга із цих умов є необхідною і означає, що у схемі генератора діє ДЗЗ. Перша умова є достатньою та означає, що підсилення АЕ генератора більше (або дорівнює) загасанню, яке вносить ЧСЧ.

RC-автогенератори підрозділяються на дві основні групи:

1) автогенератори із поворотом фази сигналу у ланцюзі ДЗЗ на квазірезонансній частоті ω_0 на + 180°;

2) автогенератори без повороту фази, в яких фазовий зсув сигналу у ланцюзі ДЗЗ на квазірезонансній частоті ω_0 дорівнює нулю.

3.2.2. Частотно-селективні *RC*-чотириполюсники

Основні схеми цих чотириполюсників, а також значення частоти квазірезонансу ω_0 і коефіцієнта загасання γ_0 (зворотного коефіцієнту передачі) на частоті квазірезонансу для випадку застосування у *RC*-чотириполюсниках однакових опорів резисторів *R* і ємностей конденсаторів *C* наведено у табл. 3.1. Ці чотириполюсники поділяються на ті, що фазують напругу та ті, що фазують струм.

Для побудови автогенераторів на *RC*-чотириполюсниках, що фазують напругу, потрібні підсилювачі із великим вхідним і малим вихідним опорами, а для автогенераторів на *RC*-чотириполюсниках, що фазують струм, – підсилювачі із малим вхідним і великим вихідним опорами.

Частотно-селективні *RC*-чотириполюсники із зсувом фази на + 180° є ланцюговими (сходовими), що складаються із каскадно (послідовно) включених Г-подібних ланок із резисторами *R* в одних однойменних плечах ланок і конденсаторами *C* в інших.

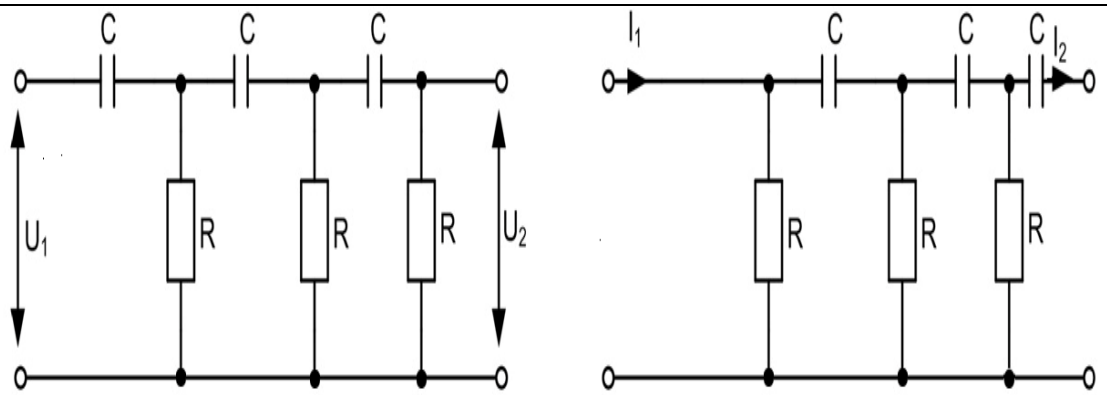
На практиці зазвичай застосовують ланцюгові *RC*-чотириполюсники із кількістю ланок, що дорівнює трьом або чотирьом, оскільки подальше збільшення кількості ланок не дає істотних переваг, ускладнюючи схему чотириполюсника і підбір *R* і *C*. Амплітудно-частотна і фазо-частотна характеристики цих чотириполюсників показані на рис. 3.2.

Частотно-селективні *RC*-чотириполюсники із нульовим зсувом фази на квазірезонансній частоті можна розділити на дві групи: одинарні Г- подібні (міст Віна) і подвійні (Г-подібні та ланцюгові (сходові)).

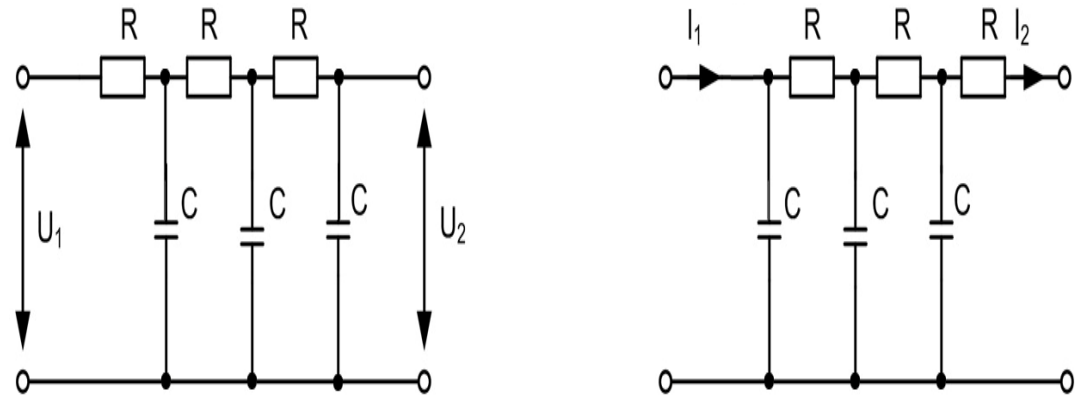
Одинарні Г-подібні *RC*-чотириполюсники є Г-подібною ланкою, що містить у одному плечі послідовне з’єднання резистора *R* і конденсатора *C*, у іншому – паралельне з’єднання *R* і *C* (міст Віна).

Таблиця 3.1. Схема і основні показники частотно-селективних *RC*-чотириполюсників

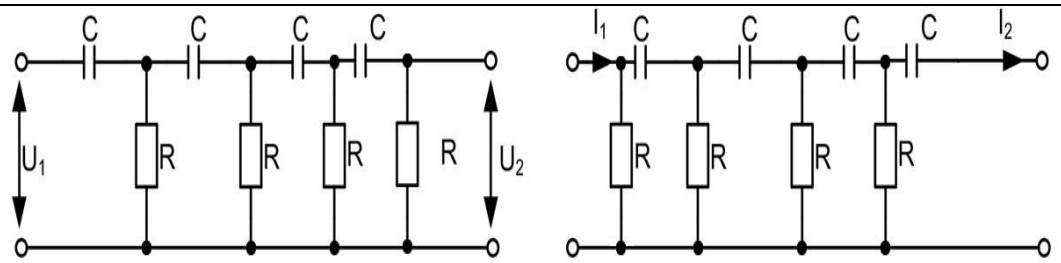
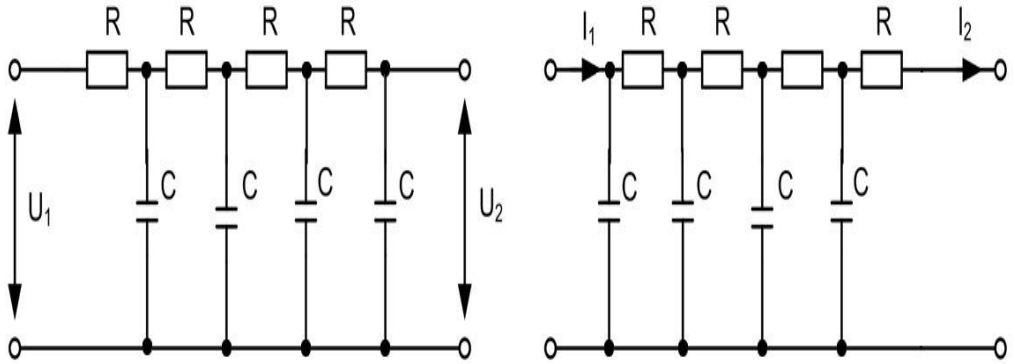
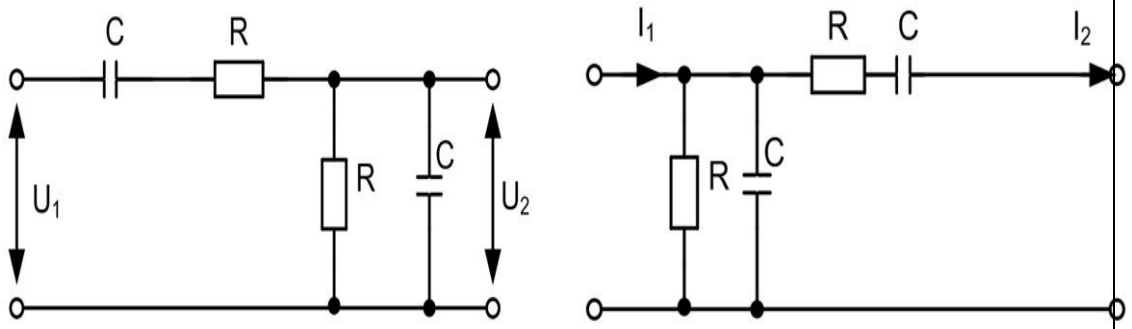
Частотні селективні *RC*-чотириполюсники	
Що фазують напругу	Що фазують струм
Ланцюгові зі зсувом фази 180°	
Трьохланкові	

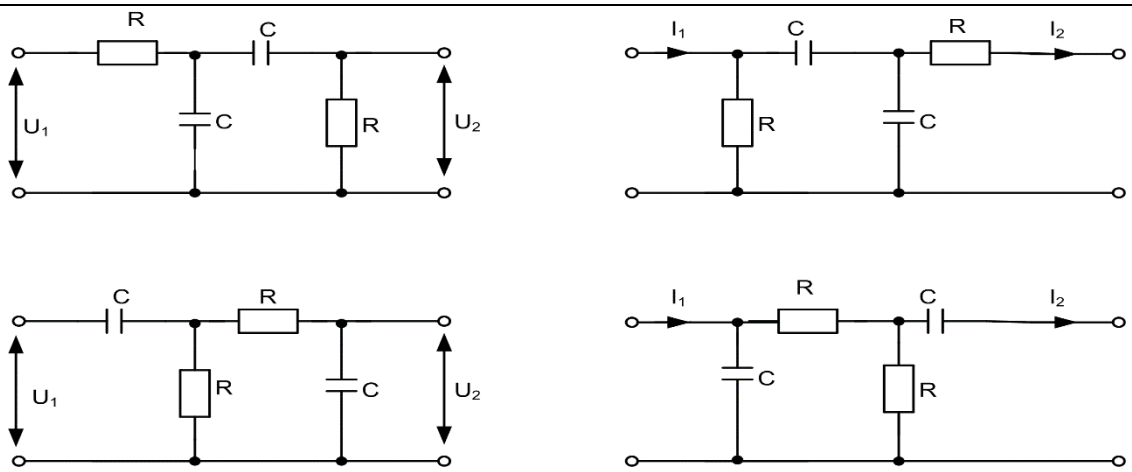
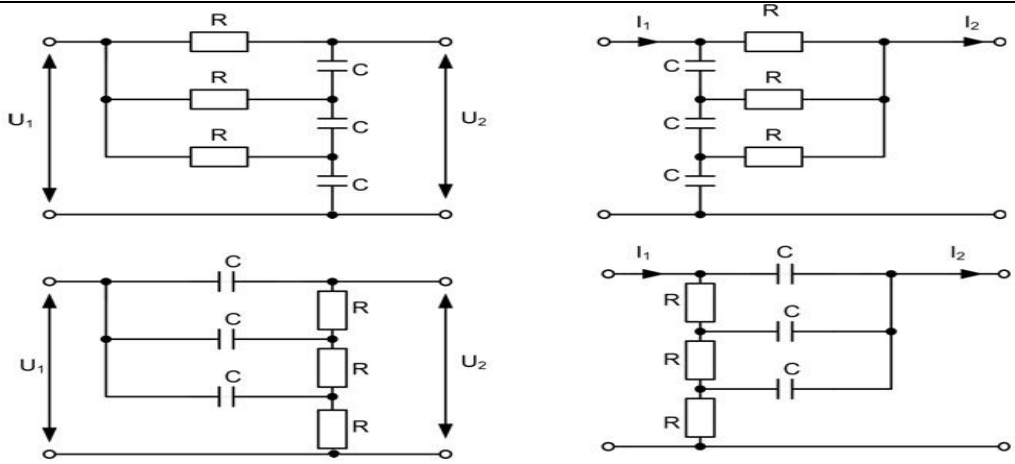


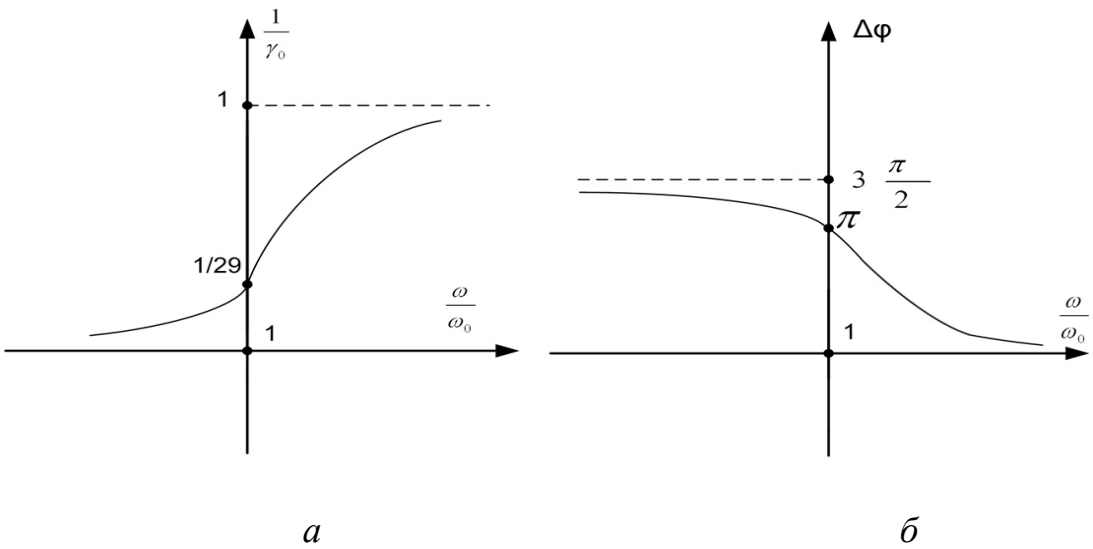
$$\gamma_0 = \frac{U_1}{U_2} = -29; \quad \omega_0 = \frac{1}{\sqrt{6}RC}; \quad \gamma_0 = \frac{I_1}{I_2} = -29$$



$$\omega_0 = \frac{\sqrt{6}}{RC}; \quad \gamma_0 = -29$$

Чотирьохланкові
 $\omega_0 = \frac{1}{\sqrt{10/7} \cdot RC}; \quad \gamma_0 = -18.4$  $\omega_0 = \frac{\sqrt{10/7}}{RC}; \qquad \gamma_0 = -18.4$
Г-подібні зі зсувом фази на 0° (міст Віна)
 $\omega_0 = \frac{1}{RC}; \quad \gamma_0 = 3$

Подвійні Г-подібні зі зсувом фази на 0°
 $\omega_0 = \frac{1}{RC}; \quad \gamma_0 = 3$
Ланцюгові трьохланкові зі зсувом фази на 0°
 $\omega_0 = \frac{1}{RC}; \quad \gamma_0 = 0.996$



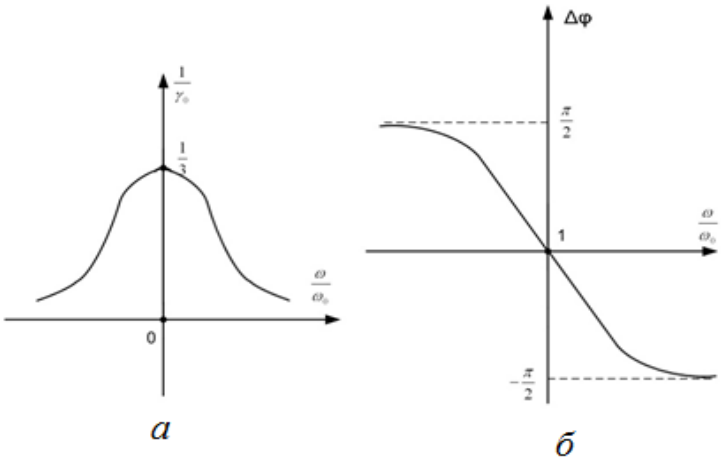
а *б*

Рис. 3.2. Характеристики ланцюгового *RC*-чотириполюсника:
а – частотна; *б* – фазова

Подвійні Г-подібні *RC*-чотириполюсники складаються із двох Г-подібних ланок *RC* і *CR* або *CR* і *RC*, що включені каскадно. Частотна і фазова характеристики одинарного і подвійного Г-подібних *RC*-чотириполюсників показані на рис. 3.3.

Ланцюгові Г-подібні *RC*-чотириполюсники із нульовим зсувом фази є особливою групою, яка має коефіцієнт загасання напруги (струму) менше одиниці (коефіцієнт передачі більше одиниці).

Ці чотириполюсники зазвичай застосовуються для побудови автогенераторів на повторювачах, наприклад емітерних, які мають коефіцієнт передачі напруги менше одиниці, тобто баланс амплітуд у таких автогенераторах виконується за рахунок чотириполюсника.



а *б*

Рис. 3.3. Характеристики Г-подібних *RC*: *а* – частотна; *б* – фазова

3.2.3. *RC*-автогенератори із поворотом фази

Один із простих варіантів *RC*-автогенератора із трьохланковим ланцюговим чотириполюсником, що фазує напругу, показаний на рис. 3.4.

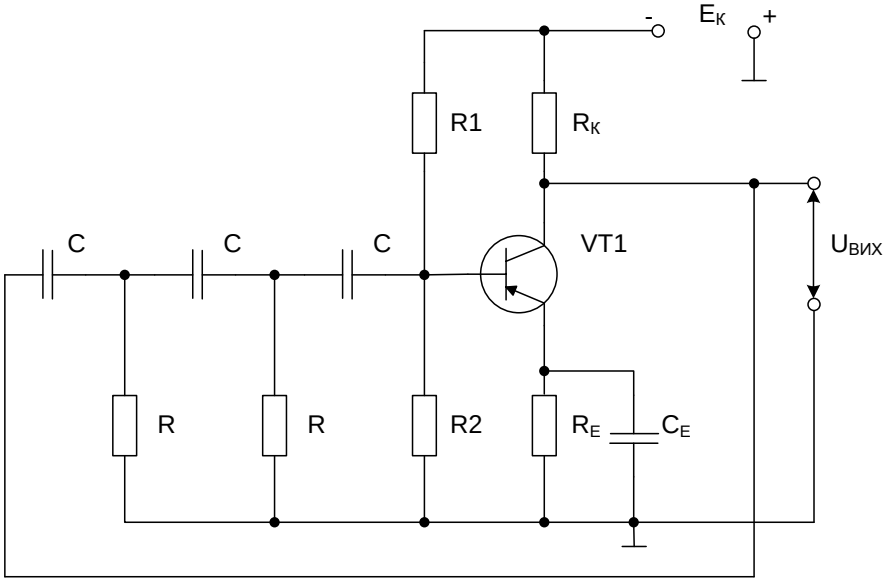


Рис. 3.4. Схема *RC*-автогенератора на транзисторі із трьохланковим ланцюговим чотириполюсником

Оскільки ЧСЧ, що використовується в цій схемі, зсуває фазу на 180°, генератор містить однокаскадний підсилювач на транзисторі, що включений за схемою зі спільним емітером. Даний підсилювач також зсуває фазу сигналу на 180°. Вихід підсилювача за допомогою ЧСЧ сполучений із входом, утворюючи кільцеву схему із ДЗЗ.

Режим роботи підсилювача за постійним струмом забезпечується подільником $R1$, $R2$ і резистором R_E в емітерному ланцюзі транзистора. Одночасно паралельно включені за змінним струмом резистори $R1$, $R2$, утворюють третій опір ланцюгового ЧСЧ, тобто $\frac{R1 \cdot R2}{R1 + R2} = R$.

Під час забезпечення коефіцієнта підсилення підсилювача K_U > 29 втрати в ланцюговому чотириполюснику компенсуються, схема самозбуджується і генерує синусоїдальні коливання із частотою

$$f_{\Gamma} = \frac{1}{\sqrt{6} \cdot 2\pi \cdot RC} \quad .$$

Для підвищення вхідного опору підсилювача, що використовується в цій схемі, в схему генератора включають емітерний повторювач, який поміщають між ЧСЧ і підсилювачем. Оскільки фазовий зсув, що вносить емітерний повторювач, дорівнює нулю, умова балансу фаз при цьому не

порушується. Деяке загасання, що вноситься емітерним повторювачем, повинне компенсуватися підсилювачем, щоб виконувалася умова балансу амплітуд.

Для побудови *RC*-автогенераторів широко використовуються ІМС ОП. Одна із схем *RC*-автогенераторів на ІМС ОП із ланцюговим чотириполюсником, що фазує напругу, показана на рис. 3.5.

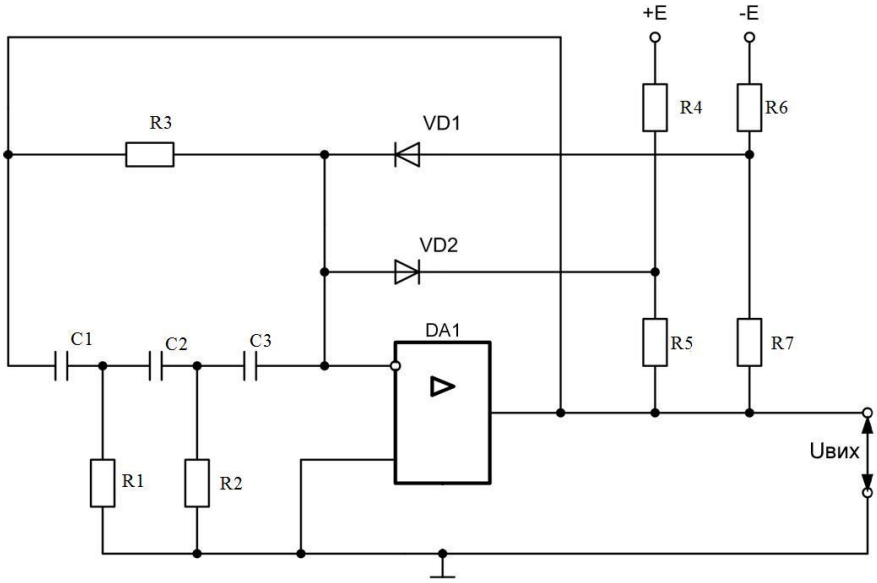


Рис. 3.5. Схема ланцюгового *RC*-автогенератора на ІМС ОП

Оскільки у цій схемі ЧСЧ складається із резисторів *R*1, *R*2 і конденсаторів *C*1, *C*2, *C*3, підсилювач повинен мати малі вхідний і вихідний опори і створювати зсув фази на 180°. Для цього ІМС ОП охоплена частотно-незалежним ВЗЗ, який введений за допомогою резистора *R*3.

Цей ланцюг настільки зменшує вхідний опір ІМС ОП, що в першому наближенні можна вважати, що фазозсувний ланцюг працює на нульовий вхідний опір. Частота коливань на виході такого автогенератора:

$$f_{\Gamma} = \frac{1}{2\pi\sqrt{R1 \cdot R2 \cdot (C1 \cdot C2 + C1 \cdot C3 + C2 \cdot C3)}}.$$

Для виникнення стійких автоколивань під час змін параметрів елементів необхідно, щоб

$$K_U \cdot \gamma > 1,$$

де K_U – коефіцієнт підсилення ІМС ОП; γ – загасання, що вноситься ЧСЧ.

У той же час для отримання мінімальних спотворень синусоїдального сигналу потрібно, щоб

$$K_U \cdot \gamma \approx 1.$$

Для вирішення цієї суперечності в схемі створений нелінійний ВЗЗ за допомогою діодів VD1 і VD2, які починають відкриватися тільки після того, як амплітуда автоколивань перевищить постійну закриваючу напругу змішення, яка закриває діоди та формується за допомогою резисторів *R*4…*R*7. У разі відкривання діодів глибина ВЗЗ збільшується і коефіцієнт підсилення зменшується (починає виконуватися умова $K_U \cdot \gamma \approx 1$). Це приводить до стабілізації амплітуди автоколивань. Значення напруги зсуву діодів VD1 і VD2 зазвичай підбираються під час налаштування схеми.

Перебудова частоти автоколивань ланцюгових генераторів ускладнена, тому їх зазвичай використовують тільки для роботи на фіксованій частоті.

3.2.4. *RC*-автогенератори без повороту фази

Один з варіантів *RC*-автогенератора із Г-подібним ЧСЧ, що фазує напругу, показаний на рис. 3.6.

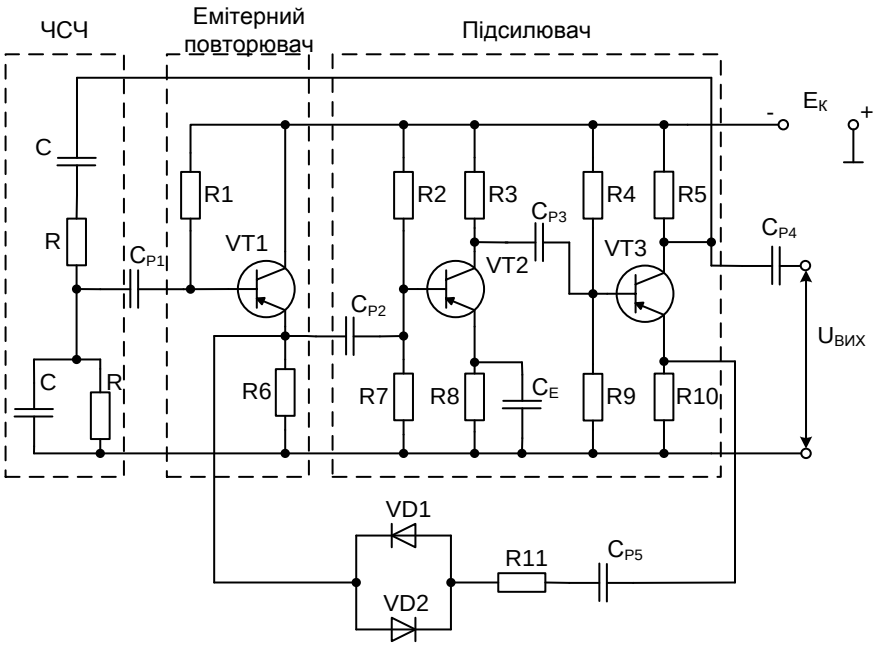


Рис. 3.6. Схема автогенератора на дискретних елементах із мостом Віна в якості ЧСЧ

Для забезпечення балансу фаз автогенератор виконаний на двокаскадному підсилювачі на транзисторах, включених за схемою із СЕ (кожен каскад створює зсув фази на 180°). Умова балансу амплітуд виконується із запасом, оскільки коефіцієнт підсилення двокаскадного підсилювача із СЕ завжди більше трьох. Тому для поліпшення форми вихідної напруги і підвищення стабільності в автогенераторі застосований

ланцюг нелінійного ВЗЗ, що стабілізує роботу всіх транзисторів в лінійному режимі.

Цей ланцюг складається із конденсатора C_{p5}, резистора $R11$ і паралельно включених діодів VD1 і VD2. Особливість цього ланцюга в тому, що коефіцієнт передавання ланцюга ВЗЗ зростає зі збільшенням амплітуди вихідних коливань, при цьому зменшується опір діодів і зростає сигнал ВЗЗ на вході ланцюга. Таким чином, під час включення джерела живлення амплітуда коливань збільшується, ВЗЗ, що збільшується, зменшує коефіцієнт підсилення і відбувається стабілізація амплітуди коливань на заданому рівні. Цей рівень визначається опором резистора $R11$. Конденсатор C_{p5} служить для усунення ВЗЗ між вхідним і вихідним ланцюгами за постійним струмом.

Щоб не порушувати симетрію моста Віна (рівність активних опорів резисторів і конденсаторів у послідовному і паралельному ланцюжках), необхідно забезпечити високий вхідний опір першого каскаду підсилювача. Це досягається використанням ЕМП на транзисторі VT1. Фазовий зсув, що вноситься ЕМП, дорівнює нулю, і загальний фазовий зсув вхідної і вихідної напруг підсилювача дорівнює 2π, як цього вимагає умова балансу фаз.

Одна з можливих схем автоколивального генератора без повороту фази на ІМС ОП зображена на рис. 3.7.

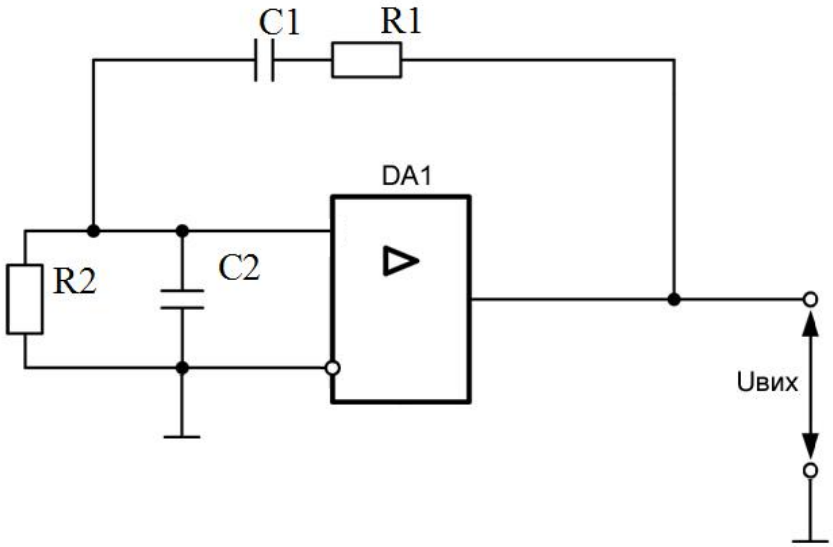


Рис. 3.7. Схема автоколивального *RC*-автогенератора на ІМС ОП із мостом Віна як ЧСЧ

Така схема спрощена і відрізняється від раніше розглянутої використанням як АЕ ІМС ОП. На схемі відсутній ланцюг ВЗЗ, який можна вводити аналогічно схемі, наведеній на рис. 3.6.

Контрольні запитання та завдання

1. Опишіть принцип побудови і роботи генератора гармонійних синусоїдних коливань (ГГСК).
2. Назвіть та поясніть умови збудження *RC*-автогенератора.
3. Назвіть та поясніть схеми *RC*-ланцюгів ГГСК.
4. Як пов'язана частота коливань на виході ГГСК з параметрами *RC*-ланцюга?
5. Наведіть схему та поясніть роботу ГГСК на основі ОП та моста Віна.

4. ДЖЕРЕЛА ЖИВЛЕННЯ ЕЛЕКТРОННИХ СХЕМ

4.1. Загальні відомості про джерела живлення електронних схем

Для виконання своїх функцій електронні пристрої потребують наявності джерел живлення (ДЖ), якими можуть бути:

– батарейки або акумулятори (використовуються у малогабаритних автономних (портативних) пристроях);
– ДЖ, які підключаються до мережі змінного струму [3; 5; 12].

4.2. Батарейки та акумулятори

Перевагою батарей є їх портативність і повна відсутність змінних складових на їхньому виході. Однак є небезпека протікання, якщо розрядженій батареї випадково дозволили занадто довго залишатися в приладі. Це може привести до ушкодження схем високої вартості в результаті корозії.

Протягом терміну служби батареї її напруга звичайно не залишається постійною. Це належить до дешевих цинкових і лужних батарей, в яких за час їх використання напруга одного елемента спадає від 1,6 В до 1,3 В. Ртутно-цинкові елементи мають значно кращу характеристику, їх ЕРС зберігає величину 1,3 В практично протягом усього терміну служби, а потім швидко спадає, так що не виникає сумнівів, коли вони виявляються повністю розрядженими. Однак вони дорогі. Аналогічну постійну ЕРС, що дорівнює 1,55 В, мають срібно-цинкові елементи.

Нікель-кадмієві елементи (акумулятори NiCd), що перезаряджаються, мають найрізноманітніші розміри, від маленьких «кнопок» до великих батарей, які використовуються в електрокарах. Акумулятори малих розмірів випускаються зазвичай герметичними, так що відсутній ризик витоку та немає необхідності їх витягати. Нікель-кадмієві акумулятори та більш нові елементи типу нікель–метал–гідрид (NiMH) є досить добрі джерела живлення для портативної електроніки. Зарядне обладнання можна включити до складу приладу, даючи можливість працювати від мережі або від акумулятора. ЕРС нікель-кадмієвих акумуляторів спадає від 1,3 В до 1,1 В до кінця циклу розрядки.

4.3. Джерела живлення від мережі змінного струму

4.3.1. Загальні відомості про джерела живлення від мережі змінного струму

Джерела живлення від мережі змінного струму поділяються на дві групи:

– безперервні джерела живлення (БДЖ);
– імпульсні джерела живлення (ІДЖ).

4.3.2. Безперервні джерела живлення

Структуру БДЖ наведено на рис. 4.1.

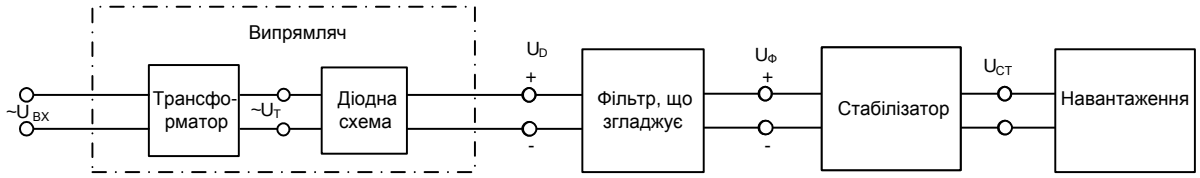


Рис. 4.1. Схема безперервного джерела живлення

На вході БДЖ знаходиться випрямляч, на який подається напруга від мережі змінного струму (~$U_{ВХ}$).

Випрямляч служить для перетворення енергії джерела змінного струму в постійний струм. Він складається із: силового трансформатора, який змінює (знижує) напругу до необхідної величини; діодної схеми, на виході якої утворюється пульсуюча напруга однієї полярності, яка побудована на основі одного або кількох діодів.

Фільтр, що згладжує, призначений для зменшення пульсацій випрямленої напруги.

Стабілізатор напруги підтримує незмінною вихідну напругу незалежно від коливань струму в навантаженні, а також коливань напруги в живлячій силовій мережі.

Випрямлячі

Випрямлячі потужністю до кількох сотень ват називаються малопотужними. Вони будуються на основі однофазних випрямлячів.

Однофазні випрямлячі можуть бути:

– однопівперіодні;
– двопівперіодні;
– мостові;

– із помноженням напруги.

Однопівперіодний випрямляч

Схему однопівперіодного випрямляча наведено на рис. 4.2, а його ВАХ і часові діаграми роботи – на рис. 4.3, 4.4.

Струм через діод буде проходити в тому разі, коли напруга в точці *А* буде додатною, і ланцюг розмикається, коли напруга в точці *А* стане від'ємною. В результаті на навантаженні з'явиться однополярна напруга, форма якої приведена на рис. 4.3.

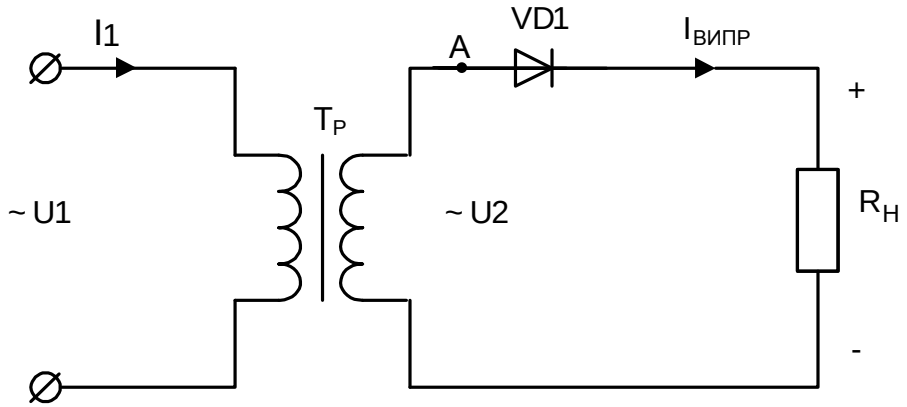


Рис. 4.2. Схема однопівперіоднго випрямляча

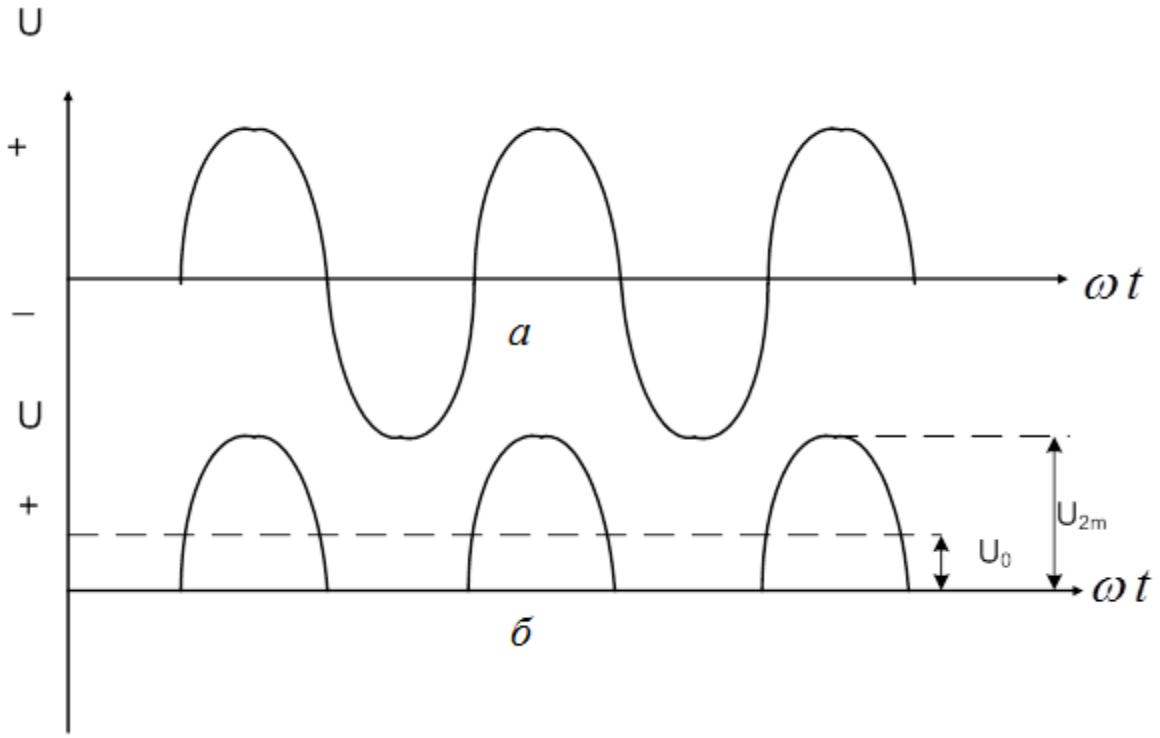


Рис. 4.3. Форма сигналу в схемі однопівперіодного випрямляча:
а – вхідна змінна напруга; *б* – випрямлена однополярна напруга

На рис. 4.4 наведені ВАХ та часові діаграми роботи однопівперіодного випрямляча.

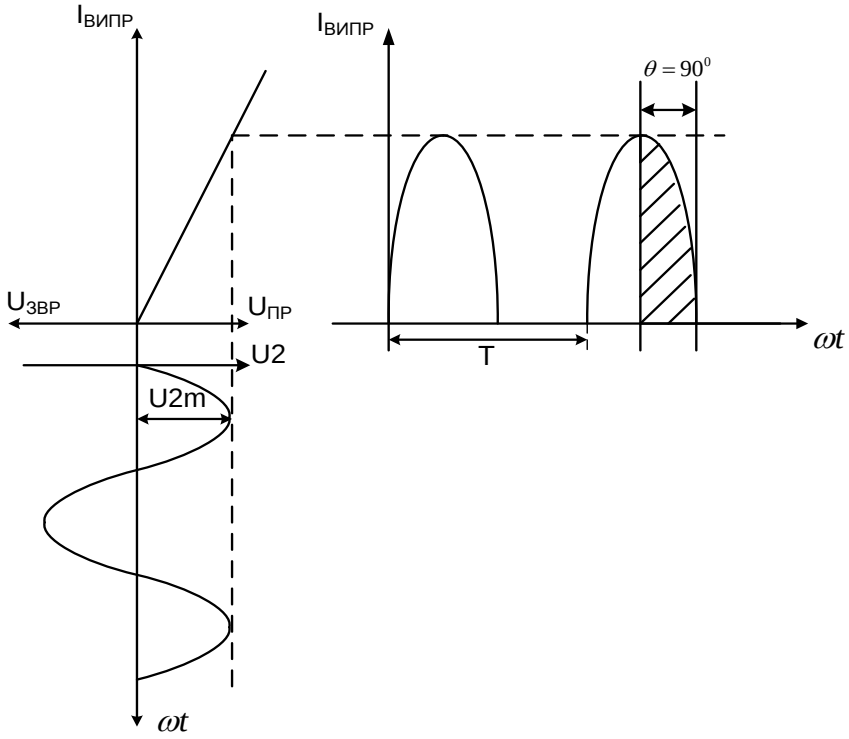


Рис. 4.4. ВАХ та часові діаграми роботи однопівперіодного випрямляча

На рис. 4.3 та рис. 4.4 використані такі позначення:

U_0 – постійна складова пульсуючої напруги:

$$U_0 = \frac{1}{2\pi}\int_0^{\pi} U_{2m}\sin(\omega t)d(\omega t) = \frac{1}{\pi}U_{2m} = 0.318U_{2m} = 0.45U_Д;$$

U_{2m}– амплітудне значення змінної напруги на виході трансформатора;

$U_{2m} = \pi U_0 = 3.14U_0$;

$U_Д$ – діюче значення змінної напруги;

$I_Д$ – діюче значення змінного струму;

$U_Д = \frac{U_{2m}}{\sqrt{2}}$;

I_0 – постійна складова пульсуючого струму;

$I_0 = \frac{U_0}{R_н} = \frac{1}{\pi}I_{2m}$;

$$I_Д = \sqrt{\frac{1}{2\pi}\int_0^{\pi}(I_{2m})^2\sin(\omega t)d(\omega t)} = 0.5I_{2m} = 1.57I_0.$$

Під час активного навантаження кут відсічки $\theta = 90^0$. Якщо використовується ємнісне навантаження: $I_0 = \frac{1}{2\pi}$.

Мостовий випрямляч

На рис. 4.5 показано більш досконалу схему випрямляча, в якій змінна напруга використовується повністю. Ця схема більш відома, як двопівперіодний мостовий випрямляч. Оскільки діодна схема має форму ромба і нагадує міст Уітсона, таку схему ще називають мостовим випрямлячем.

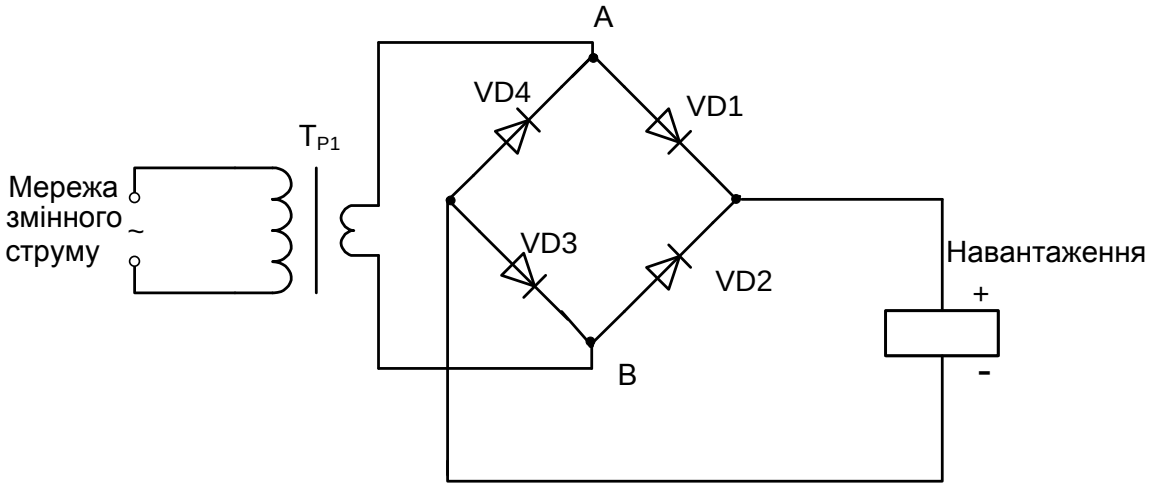


Рис. 4.5. Двопівперіодний мостовий випрямляч

Ми можемо легко розділити його роботу на окремі етапи, розглядаючи, що відбувається під час додатних і від'ємних півперіодів напруги на виході трансформатора. Коли напруга в точці *A* додатна, діод VD1 проводить струм, і напруга на верхньому кінці навантаження додатна; в той же час напруга в точці *B* від'ємна і діод VD3, пропускає її до нижнього кінця навантаження. В наступному півперіоді напруга *B* точці *A* від'ємна, а *B* точці *B* додатна, так що діод VD2 проводить від точки *B* до верхнього кінця навантаження, а діод VD4 проводить від точки *A* до нижнього кінця навантаження. Результуючу форму сигналу на навантаженні наведено на рис. 4.6.

Очевидно, що під час двопівперіодного випрямлення напруга на навантаженні має менш переривчастий характер, ніж у разі однопівперіодного випрямлення.

Помітимо, що частота сигналу під час двопівперіодного випрямлення дорівнює подвоєній частоті вхідної змінної напруги. Від'ємна півхвиля

вхідної змінної напруги інвертується та вставляється між сусідніми додатними півперіодами.

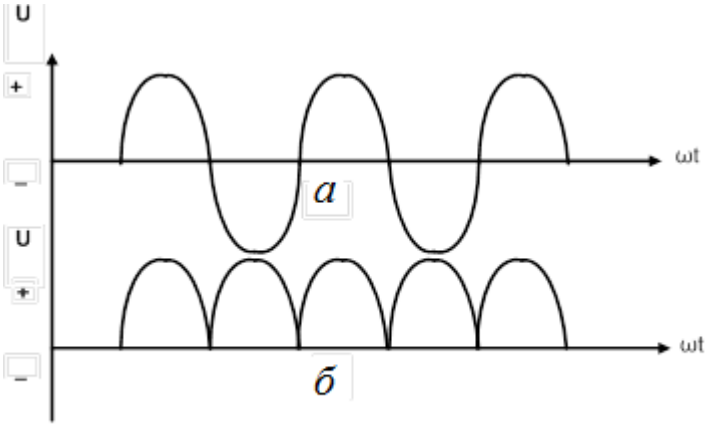


Рис. 4.6. Форма сигналу в двопівперіодному випрямлячі:
а – вхідна змінна напруга; *б* – випрямлена однополярна напруга на навантаженні

Фільтр, що згладжує

Хоча сигнали, форму яких наведено на рис. 4.3, 4.6, є однополярними, про них не можна сказати, що вони є безперервною постійною напругою, оскільки вони все ще містять велику змінну складову. Ця напруга придатна для заряду акумулятора, причому напруга на виході двопівперіодного випрямляча краща, оскільки у нього більший середній струм, але його не можна використовувати в такому необробленому вигляді як напруга живлення електронного обладнання.

Щоб згладити пульсуючу напругу, до виходу випрямляча підключають конденсатор, що накопичує, як показано на рис. 4.7.

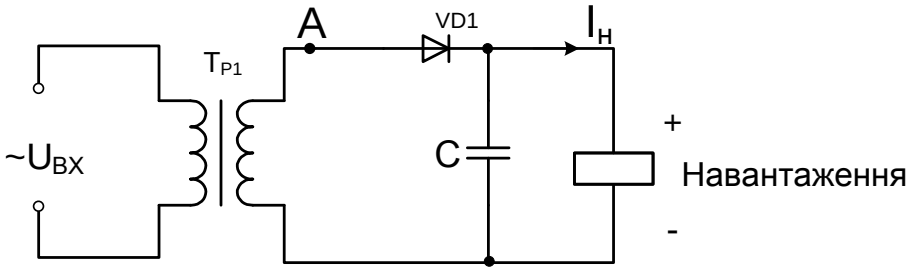


Рис. 4.7. Фільтр, що згладжує

Типова ємність конденсатора *C* для мережі із частотою 50 Герц знаходиться в діапазоні від 100 мкФ до 30000 мкФ і залежить від струму навантаження та необхідної ступені згладжування.

Ефект згладжування накопичуючого конденсатора можна пояснити, розглядаючи інтервали заряду і розряду в сигналі, форму якого наведено на

рис. 4.8. Дійсна форма вихідної напруги показана суцільною лінією, а його середнє значення $U_{СЕР}$ (U_0) позначене горизонтальною пунктирною лінією. Пунктиром позначено також півперіоди змінної напруги, в межах яких діод (у схемі без конденсатора *C*) проводить.

Конденсатор заряджається поблизу пікового значення відповідного півперіоду змінної напруги і потім розряджається в навантаження протягом частини періоду, що залишилась. Таким чином, велику частину часу струм у навантаженні забезпечується накопичувальним конденсатором, а випрямляч просто «поповнює» заряд конденсатора поблизу піків у кожному півперіоді.

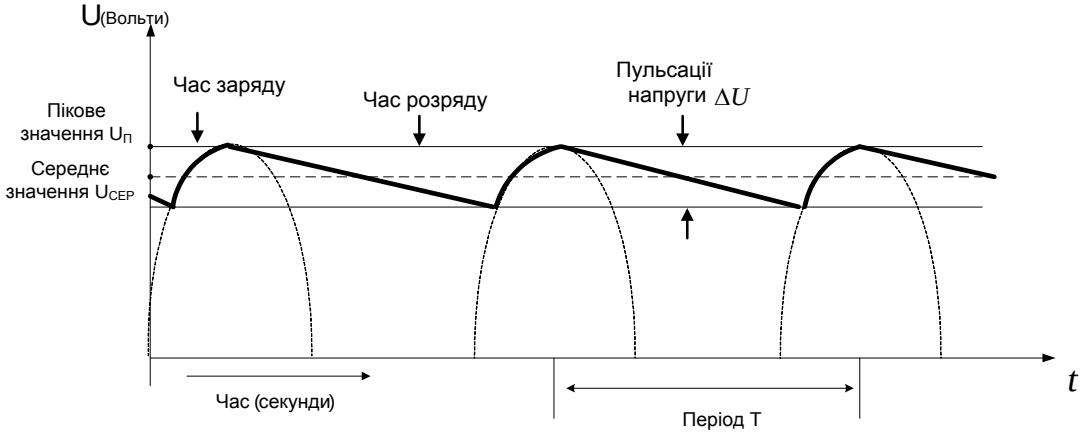


Рис. 4.8. Вихідна напруга однопівперіодного випрямляча з накопичуючим конденсатором

Якщо струм навантаження дорівнює нулю, то конденсатор просто залишатиметься зарядженим до пікового значення вхідної змінної напруги $U_П$, яке дорівнює: $\sqrt{2}*$ діюче значення вхідної напруги.

Кінцевий струм навантаження $I_Н$ викликає спад напруги на накопичувальному конденсаторі на деяку величину ΔU протягом періоду змінної напруги.

Результуюча «шорсткість», викликана пульсаціями постійної вихідної напруги, проявляється як змінна напруга приблизно трикутної форми, накладеної на постійну напругу, що установилась. Розмах пульсацій, що дорівнює спаду напруги на конденсаторі ΔU протягом періоду, можна обчислити, розглядаючи швидкість розряду.

Із цією метою ми нехтуватимемо часом заряду конденсатора і допустимо, що розряд займає час *T*, тобто весь період змінної напруги. Це розумно, якщо пульсації малі порівняно із постійною вихідною напругою.

Заряд, що віддається накопичуючим конденсатором *C* протягом кожного періоду змінної напруги, становить

$$\Delta Q = I_Н T \text{ кулон},$$

де $I_н$ – середній струм навантаження.

Спад напруги на конденсаторі і відповідно розмах пульсацій визначаються виразом:

$$\Delta U = \frac{\Delta Q}{C} = \frac{I_Н T}{C},$$

де $I_н$ – струм в амперах; T – час у секундах; C – ємність у Фарадах.

Або

$$\Delta U = \frac{I_Н}{Cf},$$

де f – частота змінної напруги у герцах.

Наявність змінної складової, що накладається на постійну середню напругу, викликає спад середнього значення вихідної напруги $U_{СЕР}$ зі збільшенням струму навантаження. $U_П$ – пікова напруга на конденсаторі майже дорівнює амплітуді вхідної змінної напруги, але, зазвичай, менше на 1 В через спад напруги на діоді. Різниця між $U_П$ і $U_{СЕР}$ є середнім значенням пульсацій, яке, під час трикутної форми коливань дорівнює половині повного розмаху $\frac{1}{2}\Delta U$.

Це означає що середнє значення вихідної напруги становить

$$U_{СЕР} \approx U_П - \frac{I_Н}{2Cf}.$$

Виконані обчислення, відносилися до однопівперіодного випрямляча, в якому частота пульсацій та ж, що і частота вхідної змінної напруги. У разі двопівперіодного випрямлення (рис. 4.9) частота пульсацій дорівнює подвоєній частоті вхідної змінної напруги.

Таким чином, у двопівперіодному випрямлячеві повний розмах пульсацій становить

$$\Delta U = \frac{I_Н}{2Cf},$$

де f – частота вхідної напруги.

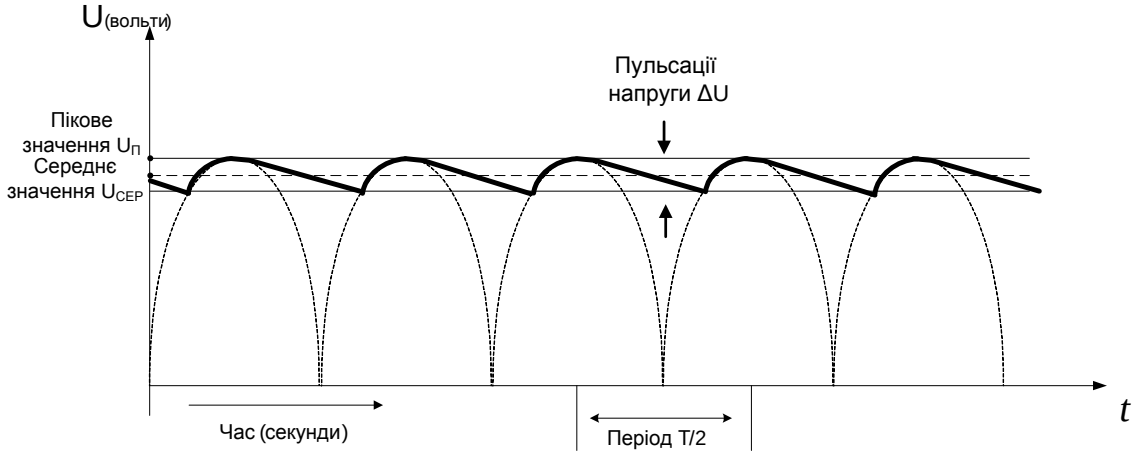


Рис. 4.9. Вихідна напруга двопівперіодного випрямляча із накопичувальним конденсатором

Середнє значення вихідної напруги:

$$U_{\text{СЕР}} \approx \text{U}_{\text{П}} - \frac{\text{I}_{\text{Н}}}{4\text{C}f}.$$

Звідси випливає, що у двопівперіодному випрямлячеві пульсації удвічі менші, ніж в однопівперіодному випрямлячеві. Тому зменшення напруги за рахунок пульсацій під час включення навантаження в цьому випадку дорівнює половині від зменшення напруги у разі однопівперіодного випрямляча. З цієї причини двопівперіодний випрямляч є основним типом випрямляча для більшості застосувань.

Стабілізатори напруги

Схеми, що обговорювались раніше, мають один спільний недолік.

Існує межа досяжної навантажувальної здатності, яка встановлюється внутрішнім опором схеми, що складається із трансформатора, діода, і ємністю накопичувального конденсатора.

Крім того, будь-яка флуктуація напруги мережі буде повністю передаватися на вихід, так що навіть у тому випадку, коли навантаження залишається постійним, вихідна напруга буде змінюватись. Ці недоліки зменшуються в схемах, які називаються стабілізаторами напруги.

Параметричний стабілізатор постійної напруги

У параметричних стабілізаторах використовуються НС, які працюють в області зворотного електричного пробою.

На рис. 4.10 показана типова вольт-амперна характеристика стабілітрона, у якого пробій настає за напруги 5 В.

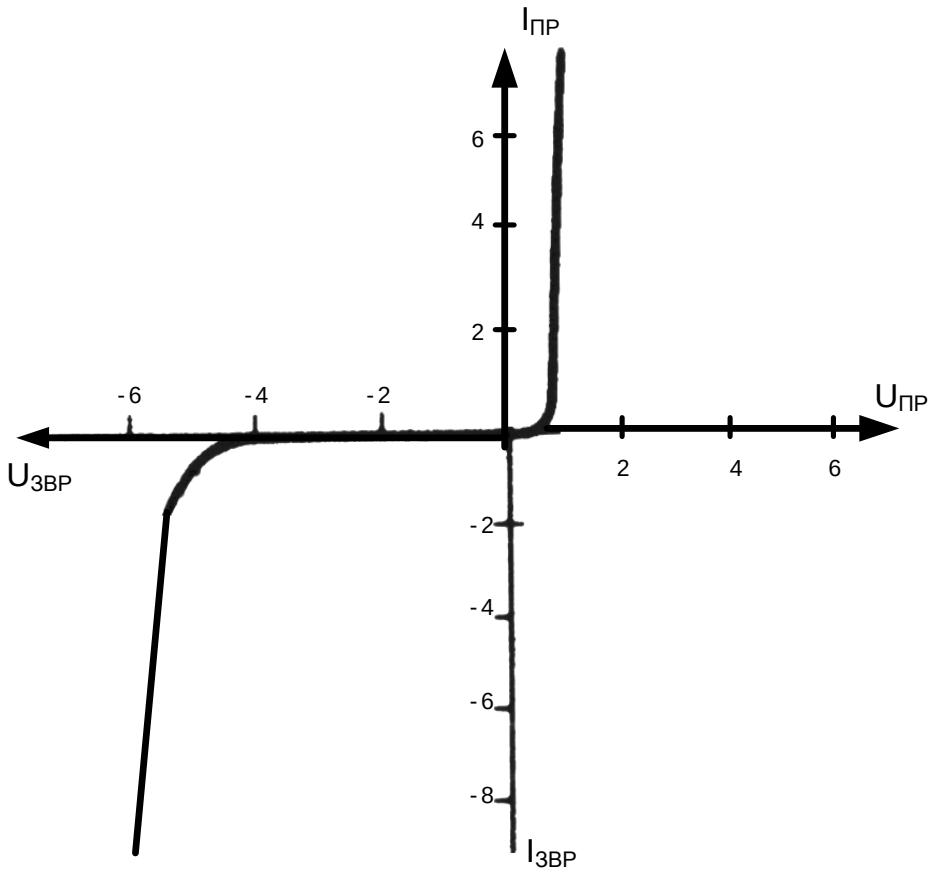


Рис. 4.10. Типова ВАХ стабілітрона

У режимі пробою різниця потенціалів на діоді залишається майже постійною у разі зміни струму в широкому діапазоні. Ця властивість використовується у найпростішій схемі стабілізатора напруги, зображеній на рис. 4.11. Тут вихідна напруга, яка дорівнює різниці потенціалів на діоді, залишається постійною у разі зміни вхідної напруги в широких межах.

Вхідна напруга стабілізатора повинна бути принаймні на два або три вольти вище, ніж необхідна вихідна напруга, щоб задати відповідний струм через стабілітрон, за якого забезпечується його робота в режимі пробою.

Ступінь стабілізації, який забезпечує така схема, можна охарактеризувати коефіцієнтом стабілізації, що дорівнює відношенню зміни вхідної напруги у відсотках до викликаною нею зміни вихідної напруги у відсотках. Отже,

$$\text{коефіцієнт стабілізації} = \frac{\%\text{зміни вхідної напруги}}{\%\text{зміни вихідної напруги}}.$$

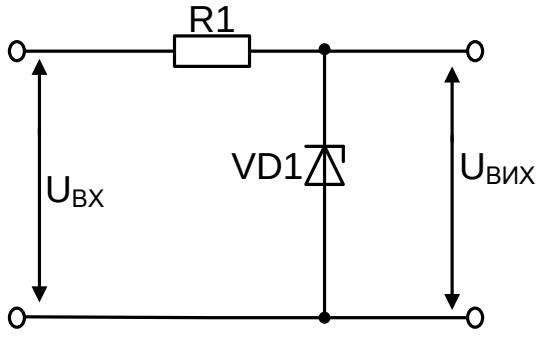


Рис. 4.11. Схема параметричного стабілізатора напруги

Найпростіший стабілізатор зі стабілітроном, подібний до зображеного на рис. 4.11, дає коефіцієнт стабілізації між 5 і 20, у той час як деякі більш складні інтегральні регулятори дають коефіцієнт стабілізації більше 1000. Іншим параметром, який визначає ступінь стабілізації, є наскрізна стабілізація або коефіцієнт нестабільності стосовно вхідної напруги. Наскрізну стабілізацію можна визначати по-різному, але найчастіше використовують таке відношення:

$$\text{коефіцієнт нестабільності} = \frac{\text{зміна вихідної напруги}}{\text{зміна вхідної напруги}} * 100\%.$$

На відміну від коефіцієнта стабілізації цей параметр не враховує, що вхідна й вихідна напруги, можливо, відрізняються, наприклад, вхідна напруга 25 В може давати на виході 15 В. Однак ця істотна відмінність ніяк не відбивається на результаті. Тому подібне порівняння зміни низьковольтної вихідної напруги зі зміною напруги в мережі вводить в оману: так можна помилково прийти до висновку, що понижуючий трансформатор сам по собі виявляє значну стабілізуючу дію. Типова величина коефіцієнта нестабільності для добре стабілізованих джерел становить 0,01 %. Згідно з іншим визначенням коефіцієнта нестабільності воно дорівнює відношенню зміни вихідної напруги у відсотках до заданої у відсотках зміни вхідної напруги. Якщо це визначення застосовується тоді, коли зміна вхідної напруги становить 10 %, як це зазвичай буває, то коефіцієнт нестабільності можна виразити таким чином:

$$\text{коефіцієнт нестабільності} = \frac{10}{\text{КС}}\%.$$

Порівнюючи позитивні якості тих або інших джерел живлення, важливо звернути увагу на спосіб, що застосовується для вираження стабілізуючої здатності, оскільки різні виробники використовують різні методи, так що результати, відверто кажучи, не можна порівнювати.

Звичайно, стабілітрон не є бездоганним стабілізатором. Якщо ми уважно розглянемо характеристику пробою, то побачимо, що вона має кінцевий нахил, як це показано на рис. 4.10. Інакше кажучи, різниця потенціалів трохи збільшується зі збільшенням струму, що проходить через діод. Цей ефект дуже помітний під час малих струмів, і для більшості малопотужних стабілітронів необхідно, щоб струм, що проходить через них, був принаймні рівний 5 мА, а переважніше 20 мА. Тільки в цьому випадку виходить найкраща стабілізація.

Стабілізатори в інтегральному виконані

Було створено багато стабілізаторів для ряду фіксованих вихідних напруг, наприклад стабілізатори з напругою 5 В для логічних схем або 15 В для ОП. На рис. 4.12 наведено схему, в якій використовується мікросхема IC 7805 (аналог К142ЕН5А). Вона забезпечує стабільне п'ятивольтове живлення, яке необхідне для логічних схем.

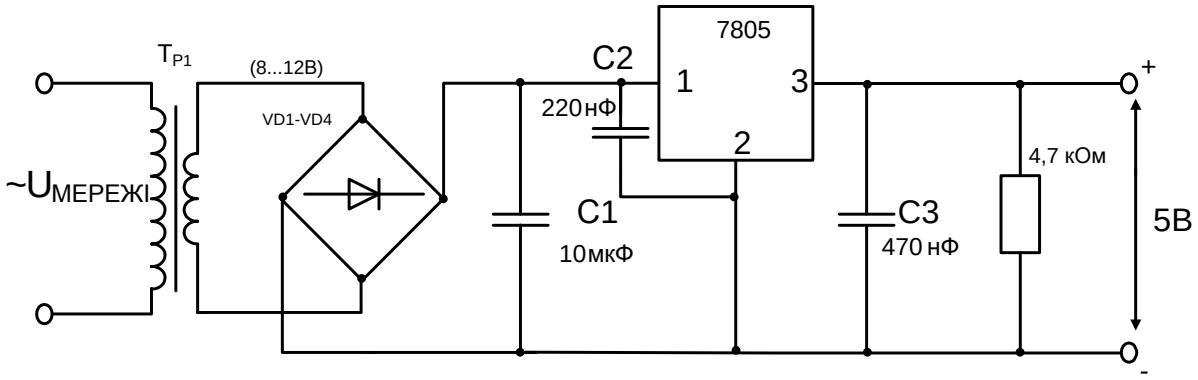


Рис. 4.12. Стабілізоване п'ятивольтове джерело живлення на основі стабілізатора в інтегральному виконані

4.3.4. Компенсаційні стабілізатори постійної напруги

У компенсаційних стабілізаторах постійної напруги виконується порівняння фактичної величини вихідної наруги із її заданою величиною і залежно від величини і знака різниці між ними автоматично виконується відповідний вплив на елементи стабілізатора, що спрямований на зменшення цієї різниці.

Компенсаційний стабілізатор напруги є системою автоматичного регулювання. Основними елементами таких стабілізаторів є:

– джерело опорної напруги (ДОН);
– порівняльний і підсилювальний елемент (ППЕ);
– регулювальний елемент (РЕ).

З опорною порівнюється фактична вихідна напруга стабілізатора або її частина. Як джерело опорної напруги у більшості випадків використовуються параметричні стабілізатори, інколи – гальванічні батареї, оскільки вони мають більші габарити, вагу і невеликий час служби. ППЕ порівнює та підсилює різницю між опорною і вихідною напругою до величини, необхідної для керування РЕ – потужним транзистором. За способом включення РЕ компенсаційні стабілізатори можна поділити на стабілізатори послідовного і паралельного типу.

Приклади схем компенсаційних стабілізаторів напруги на транзисторах наведені у [20].

4.3.5. Імпульсні джерела живлення

Розглянуті неперервні ДЖ мають ККД $\leq$ 75 %, достатньо великі габарити і вагу. Передусім, через наявність трансформатора та конденсаторів. ІДЖ мають ККД до 90 % і вище, меншу вагу, габарити. В ІДЖ на вході немає низькочастотного силового трансформатора.

ІДЖ містить випрямляч напруги мережі зі згладжувальним фільтром, перетворювач постійної напруги в імпульсний сигнал (десятки – сотні кГц), імпульсний стабілізатор напруги, понижуючий трансформатор, випрямляч (перетворювач імпульсного сигналу в постійну напругу).

Імпульсний трансформатор роблять із феритових осердь, тому він легкий і стабільний.

Контрольні запитання та завдання

1. Дайте визначення джерелам живлення електричних схем. Їх види.
2. Опишіть БДЖ.
3. Опишіть схеми регулювання напруги живлення.
4. Назвіть принцип роботи ІДЖ.

5. ФОРМУВАЧІ ІМПУЛЬСІВ

5.1. Призначення та особливості застосування імпульсних електронних пристроїв

Електронні пристрої ЕП умовно можна поділити на дві групи (рис. 5.1):

– аналогові електронні пристрої (АЕП);

– дискретні електронні пристрої (ДЕП).

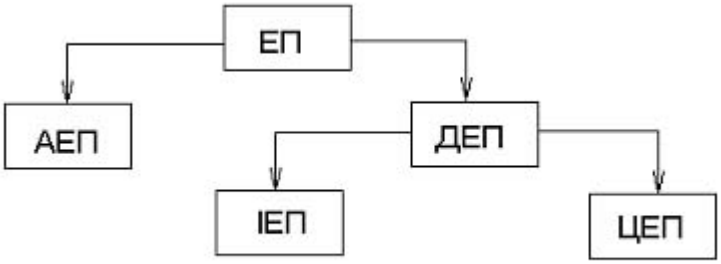


Рис. 5.1. Види електронних пристроїв

До аналогових належать електронні пристрої, в яких діють аналогові (неперервні) сигнали, наприклад, гармонійні (синусоїдальні). Цей клас пристроїв розглядається в перших чотирьох розділах цієї дисципліни.

До дискретних належать електронні пристрої, в яких діють дискретні сигнали, що змінюються стрибками (уривчасто), наприклад, послідовність прямокутних імпульсів.

У свою чергу ДЕП поділяються на:

– імпульсні електронні пристрої (ІЕП);

– цифрові електронні пристрої (ЦЕП).

До імпульсних належать електронні пристрої, в яких діють імпульсні сигнали (імпульси). Під імпульсом мають на увазі короткочасну, порівняно з часом аналізу, зміну напруги (струму) в електричному колі від нуля чи деякого постійного нульового рівня $U_0(I_0)$, до певного максимального значення $U_m(I_m)$.

До цифрових належать електронні пристрої, в яких діють цифрові сигнали, що мають два фіксовані рівні напруги: високий та низький. Високий рівень називають логічною одиницею (одиницею), а низький – логічним нулем (нулем). Цифрові сигнали є переносником двійкових кодів. Цифровий сигнал – це поодинокий випадок імпульсного сигналу, якщо вважати нульове

(початкове) значення амплітуди імпульсу – нулем, а максимальне (амплітудне) значення – одиницею.

На відміну від імпульсних сигналів, які можуть мати різну форму: прямокутну, трапецієподібну, трикутну, експоненціальну і т. ін., цифрові сигнали мають форму, близьку до прямокутної.

Сучасна електроніка характеризується широким використанням імпульсних пристроїв. Напруги та струми в таких пристроях мають імпульсний характер, нерідко імпульси відділені один від одного досить тривалим інтервалом паузи. Можна назвати основні причини, що спричинили розвиток імпульсної техніки.

По-перше, більшість виробничих процесів мають імпульсний характер: пуск та зупинка агрегатів, зміна швидкості та гальмування, скидання навантаження, спрацювання захисту, тощо. Більшість технологічних процесів розкладається на низку операцій («тактів»), і їх зміна також зумовлює імпульсний характер пристроїв. Для керування роботою агрегатів з імпульсним характером функціонування потрібно створення специфічних імпульсних електронних вузлів.

По-друге, передавання інформації у вигляді імпульсів, розділених паузами, дозволяє зменшити потужність, споживану від джерела живлення, під час збереження достатньої потужності імпульсу. Це особливо важливо під час використання джерел обмеженої потужності (батареї, акумулятори), наприклад на пересувних (зокрема космічних) об’єктах.

По-третє, передавання інформації у вигляді імпульсів дозволяє суттєво розвантажити канали зв’язку. Так, наприклад, немає необхідності передавати інформацію про напір ГЕС у вигляді неперервного сигналу, оскільки напір змінюється досить повільно. Передавання інформації у вигляді окремих відліків дозволить використовувати цей же канал зв’язку для одночасної передавання інформації про інші фізичні величини.

По-четверте, передавання інформації в імпульсній формі дозволяє значно підвищити завадостійкість, точність і надійність електронних пристроїв. Під час передавання неперервного сигналу точність зменшується через наявність дрейфу нуля підсилювачів, впливу зміщення напруги нуля, вхідних струмів і різних завад.

Є багато способів передавання неперервного сигналу (рис. 5.2, *а*) у вигляді послідовності прямокутних імпульсів (рис. 5.2, *б...г*).

Під час здійснення амплітудно-імпульсної модуляції (АІМ) амплітуда імпульсів пропорційна вхідному сигналу (рис. 5.2, *б*). У цьому способі

передавання інформації шкідливий вплив дрейфу нуля підсилювачів та інших перерахованих факторів на точність залишається. Під час використання широтно-імпульсної модуляції (ШІМ) амплітуда та частота повторення імпульсів постійні, але ширина імпульсів $t_{ім}$ пропорційна поточному значенню вхідного сигналу (рис. 5.2, *в*). Під час частотно-імпульсної модуляції (ЧІМ) (рис. 5.2, *г*) період імпульсного сигналу визначає частоту слідування імпульсів, які мають постійну тривалість та амплітуду. Під час ШІМ та ЧІМ дрейф нуля підсилювачів не впливає на точність передавання вхідного сигналу, котра в цьому випадку залежить тільки від точності фіксації часового положення імпульсів. Найбільшу точність та завадостійкість забезпечують число-імпульсні методи: інформація передається у вигляді числа, якому відповідає певний набір імпульсів (коду), при цьому суттєвим є тільки наявність чи відсутність імпульсу.

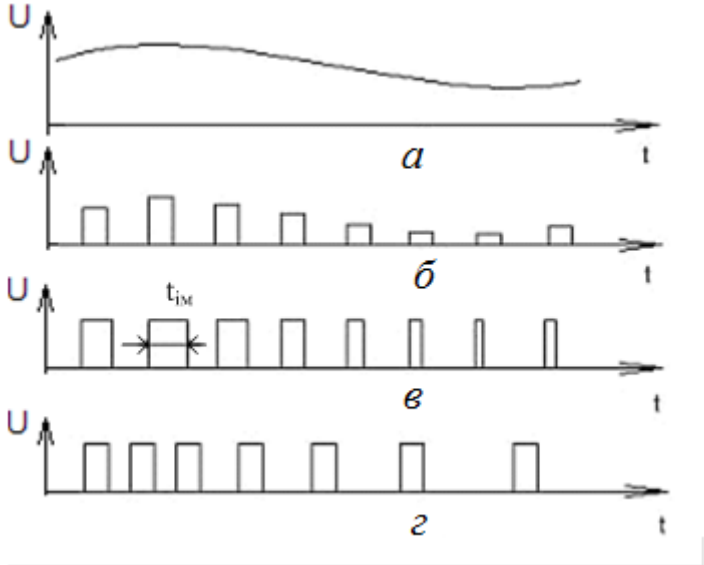


Рис. 5.2. Способи передавання інформації за допомогою імпульсів

Основні параметри імпульсів

В електронній техніці найчастіше використовуються імпульси, форма яких наближається до прямокутної. На рис. 5.3, *а* наведено періодичну послідовність прямокутних імпульсів.

Імпульси характеризуються такими параметрами:

– U_{m} – амплітуда імпульсу;

– $t_{ім}$ – тривалість імпульсу;

– t_n – тривалість паузи;

– $T_{ім} = t_{ім} + t_n$ – період слідування імпульсів;

– $f = 1/T_{\text{ім}}$ – частота слідування імпульсів;

– $Q_{ім} = T_{ім} / t_{ім}$ – шпаруватість імпульсів;

– $U_0 = U_{сер}$ – середнє значення (постійна складова) імпульсної послідовності.

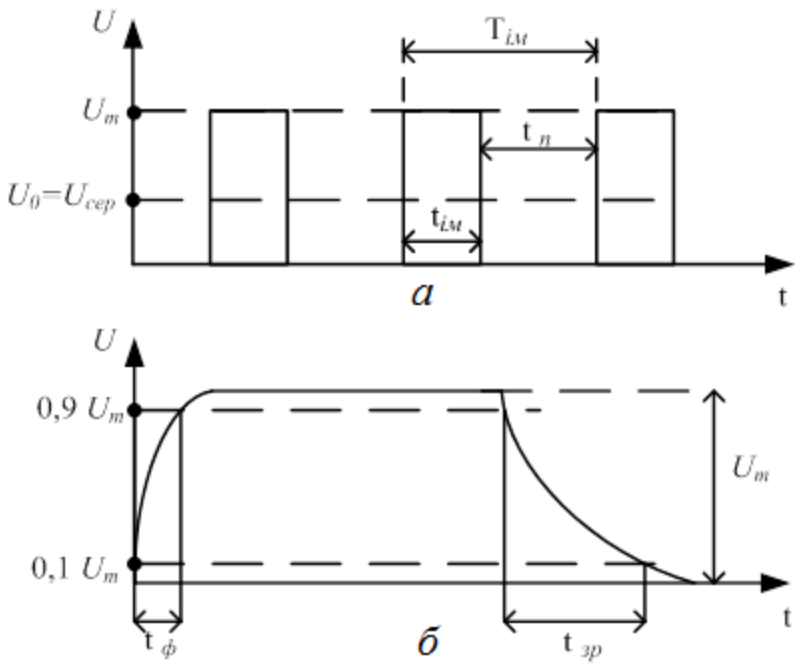


Рис. 5.3. Основні параметри прямокутних імпульсів

У справжніх пристроях прямокутні імпульси мають певну тривалість фронту $t_ф$ та зрізу $t_{зр}$ (рис. 5.3, *б*). зазвичай, фронт та зріз імпульсу визначаються протягом часу наростання (чи спаду) напруги від $0{,}1U_{\text{m}}$ до $0{,}9U_{\text{m}}$. Для нормального функціонування імпульсних пристроїв необхідно, щоб $t_ф << t_{ім}$ та $t_{зр} << t_{ім}$, інакше часове положення імпульсу не буде зафіксоване з потрібною точністю. Сучасні електронні пристрої дозволяють отримати $t_ф$ та $t_{зр}$ значно менше 1 мкс, і через це часто можна вважати, що $t_ф$ та $t_{зр} \to 0$.

Поряд з прямокутними імпульсами в електронній техніці широко використовуються імпульси пилкоподібної (рис. 5.4, *а*), експоненціальної (рис. 5.4, *б*) та дзвоноподібної (рис. 5.4, *в*) форми.

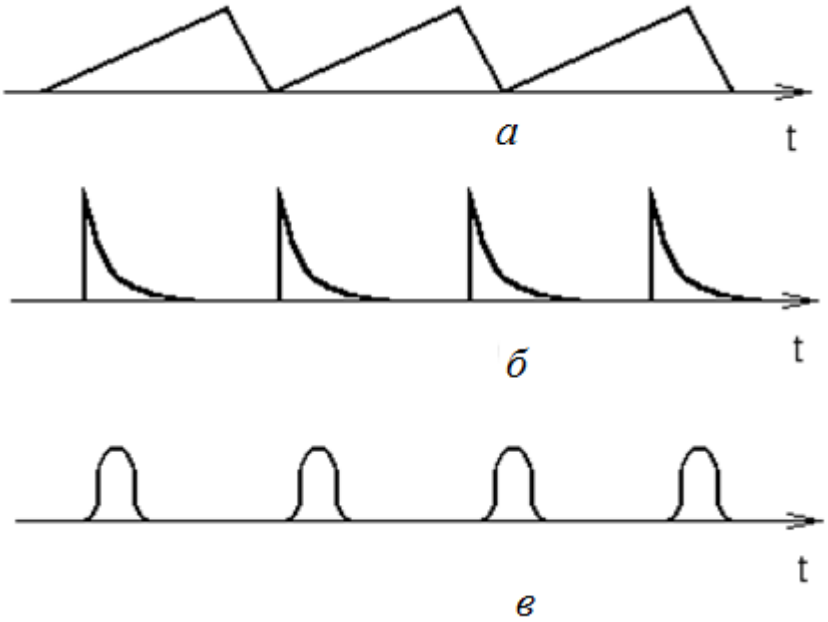


Рис. 5.4. Форми імпульсних сигналів

Види імпульсних пристроїв

Імпульсні пристрої залежно від виконуваних функцій можна умовно поділити на такі групи:

–формувачі імпульсів;

–електронні ключі;

–тригери;

–компаратори;

–генератори імпульсів.

В імпульсних електронних пристроях широко використовуються кола, які формують напругу однієї форми з напруги іншої. Для цього використовуються лінійні елементи, наприклад, опори, ємності, індуктивності, параметри яких не залежать від значень та напрямків струмів, що проходять через них, та прикладених напруг. Струм у таких елементах пропорційний вхідній напрузі, отже їх ВАХ – лінійна. Кола, що складаються з лінійних елементів, називаються лінійними.

Під час надходження на вхід лінійного кола синусоїдальної напруги на всіх її елементах також буде синусоїдальна напруга. Якщо на вході лінійного кола, що містить частотно-залежні елементи (конденсатор, індуктивність), діє напруга, що представляє суму гармонік різних частот, то форма напруги на її елементах відрізняться від форми вхідної напруги. Це пояснюється тим, що гармоніки вхідної напруги по-різному пропускаються цим колом. У результаті форма вхідної та вихідної напруг відрізнятимуться.

Ця властивість використовується для формування імпульсів за допомогою лінійних кіл (перетворення імпульсів).

Описані процеси характерні для диференціюючих та ІК, які широко використовуються в імпульсній техніці для формування імпульсів.

5.2. Диференціюючі кола

Диференціююче коло (ДК) виконує диференціювання сигналів, що надходять на його вхід, та призначене для формування на виході коротких імпульсів, які відповідають фронту та зрізу довших вхідних імпульсів. ДК виконує фіксацію моментів фронту та зрізу імпульсів, що надходять на його вхід.

Виконуються ДК з використанням тільки пасивних елементів (пасивні ДК) та з використанням пасивних та АЕ (активні ДК). Як частотно-залежні елементи в них можуть використовуватися конденсатори чи індуктивності. Нижче будуть розглянуті ДК з використанням конденсаторів, як більш технологічних елементів, ніж індуктивності.

Пасивні ДК

Схему пасивного ДК наведено на рис. 5.5.

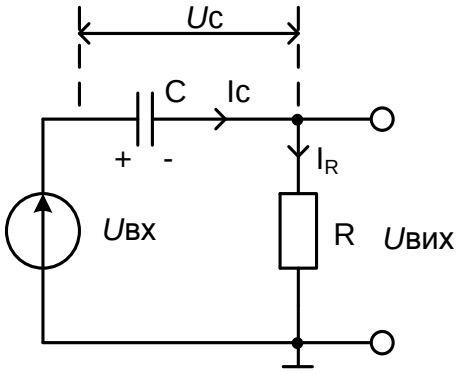


Рис. 5.5. Схема пасивного ДК

Струм, що проходить через конденсатор, пов’язаний з напругою на ньому залежністю:

$$I_C = C\left(\frac{dU_C}{dt}\right).$$

Напруга на виході схеми:

$$U_{ВИХ} = I_R \cdot R = I_C \cdot R = RC\left(\frac{dU_C}{dt}\right) = \tau_{диф}\left(\frac{dU_C}{dt}\right),$$

де $\tau_{диф} = RC$ – стала часу кола.

Оскільки $U_C = U_{ВХ} - U_{ВИХ}$, то

$$U_{\text{вих}} = \tau_{диф}\frac{dU_C}{dt} = \tau_{диф}\frac{d(U_{\text{вх}} - U_{\text{вих}})}{dt} = \tau_{диф}\frac{dU_{\text{вх}}}{dt} - \tau_{диф}\frac{dU_{\text{вих}}}{dt}. \quad (5.1)$$

Перший доданок виразу (5.1) – результат ідеального диференціювання, другий – похибка, яка зменшується із зменшенням $\tau_{диф}$, але при цьому одночасно зменшується й корисна складова вихідного сигналу.

На рис. 5.6 показано часові діаграми роботи пасивного ДК.

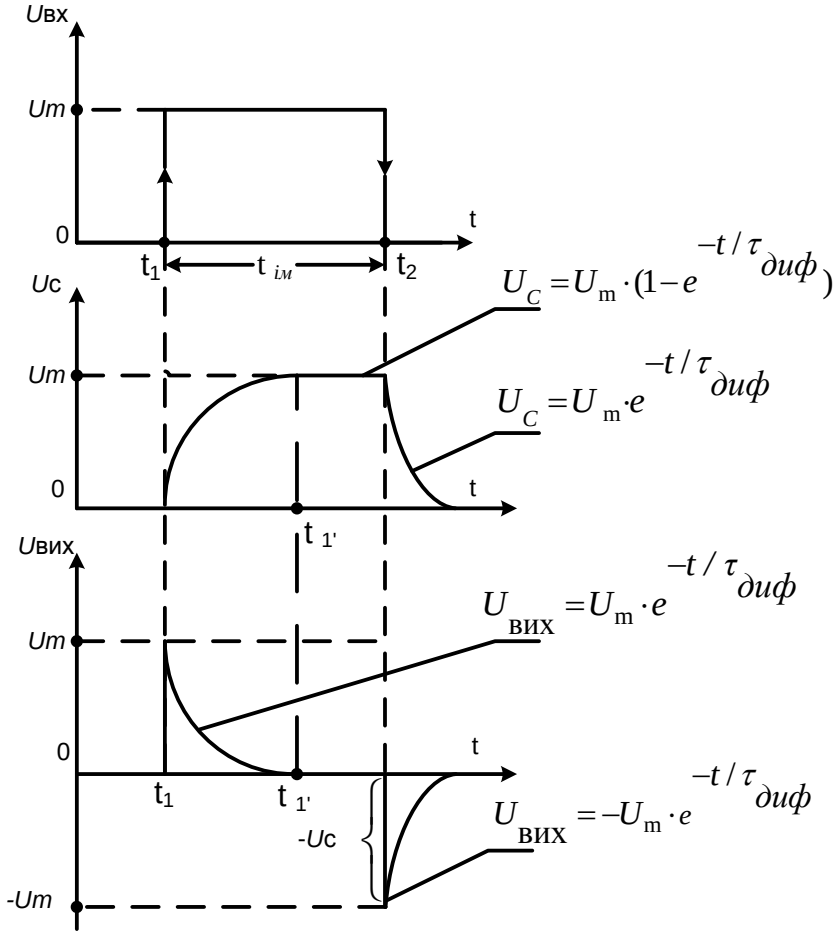


Рис. 5.6. Часові діаграми роботи пасивного ДК

Під час надходження на його вхід ідеального (з крутими фронтами) одиночного прямокутного імпульсу. В момент надходження імпульсу ємність розряджена, її опір $X_C(t_1) = 0$ і фронт вхідного імпульсу передається на вихід практично без змін. Потім конденсатор заряджається за експоненціальним законом:

$$U_{C.\text{ЗАР}} = U_{\text{m}} \cdot \left(1 - e^{-t/\tau_{диф}}\right),$$

а вихідна напруга зменшується за тим самим законом:

$$U_{\text{ВИХ}}(t) = U_{\text{m}} \cdot e^{-t/\tau_{диф}}. \qquad (5.2)$$

Через проміжок часу $t \geq 3\tau_{диф}$ ємність майже повністю зарядиться, $U_C \approx U_{\text{m}}$, а $U_{ВИХ} = 0$. Це відповідає ідеальному диференціюванню постійної вхідної напруги $U_{ВХ} = U_{\text{m}}$. Наявність гострокінцевого вихідного імпульсу пов'язана з похибкою реального ДК.

На момент закінчення вхідного прямокутного імпульсу $(U_{ВХ} = 0)$ напруга на ємності не може зникнути миттєво, і це викликає появу на виході стрибка від'ємної напруги, амплітудою $U_{ВИХ} = U_C = U_{\text{m}}$. Потім конденсатор розряджається, напруга на ньому змінюється відповідно з виразом $U_{C.\text{РОЗР}} = U_{\text{m}} \cdot e^{-t/\tau_{диф}}$, а отже, вихідна напруга зменшується до нуля.

Форма сигналу на виході ДК залежить від співвідношення тривалості вхідного імпульсу $t_{ім}$ та сталої часу ДК $\tau_{диф}$. На рис. 5.7 наведено часові діаграми роботи ДК для чотирьох співвідношень $t_{ім}$ і $\tau_{диф}$:

1. $\tau_{диф} >> t_{ім}$ (рис. 5.7, *а*); 3. $\tau_{диф} = t_{ім}/3$ (рис. 5.7, *в*);

2. $\tau_{диф} = 3t_{ім}$ (рис. 5.7, *б*); 4. $\tau_{диф} << t_{ім}$ (рис. 5.7, *г*).

Порівнюючи ці діаграми, можна зробити висновок, що в першому випадку коло є перехідним і форма вихідного сигналу мало відрізняється від форми вхідного. Зі зменшенням $\tau_{диф}$ за $t_{ім} = const$ схема буде наближатися до диференціюючої, і у разі співвідношення

$$\tau_{диф} << t_{ім}$$

коло буде виконувати поставлене перед ним завдання – загострення (скорочення) вхідних імпульсів.

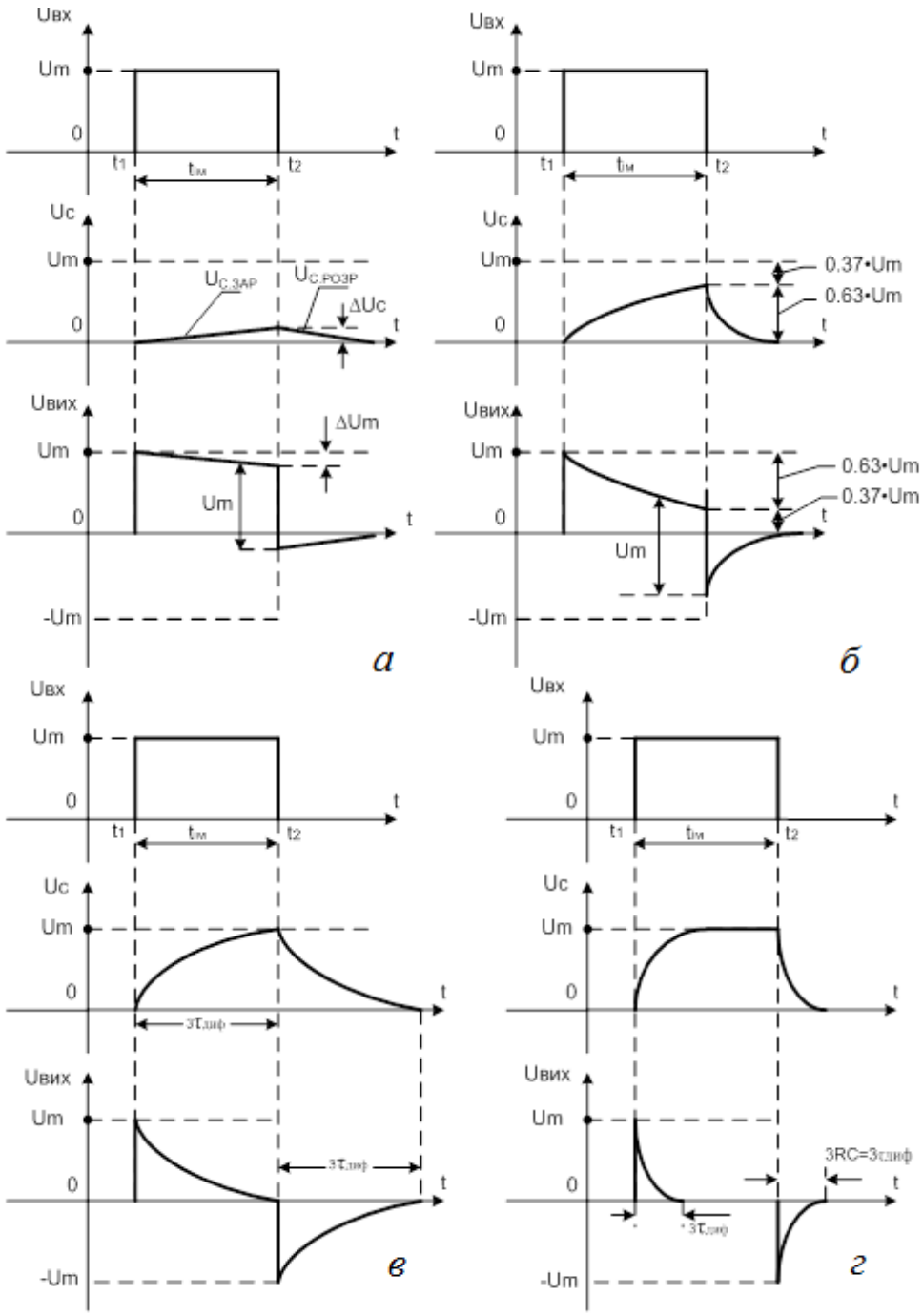


Рис. 5.7. Часові діаграми роботи ДК для чотирьох співвідношень $t_{ім}$, $\tau_{диф}$:

а – $\tau_{диф} >> t_{ім}$; *б* – $\tau_{диф} = t_{ім}/3$;
в – $\tau_{диф} = 3t_{ім}$; *г* – $\tau_{диф} << t_{ім}$;

Розрахунок тривалості імпульсу на виході пасивного ДК

Активна тривалість імпульсу на виході ДК, яку вирахувано на рівні $0,5 \cdot U_{\text{m}}$ (рис. 5.8), визначається з виразу

$$t_{ім.вих.а} = \tau_{диф} \cdot \ln 2.$$

Це співвідношення виводиться з виразу (5.2) під час підставлення у нього

$U_{ВИХ}(t) = 0,5 \cdot U_{\text{m}}$, за $t = t_{ім.вих.а}$.

Чим менша стала часу $\tau_{диф}$, тим швидше заряджається і розряджається конденсатор, тим меншу тривалість мають вихідні імпульси, отже тим більш гострокінцевими вони є. Однак $\tau_{диф}$ можливо зменшувати лише до певної межі.

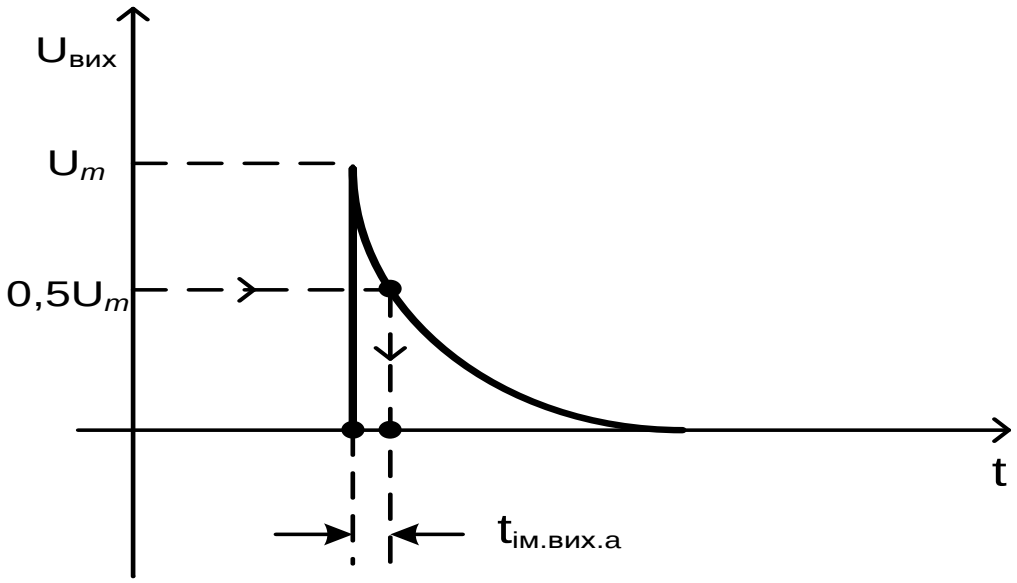


Рис. 5.8. Визначення тривалості вихідного імпульсу ДК

Робота пасивного ДК під час подання на його вхід трапецеїдальних імпульсів

Приведений вище аналіз роботи ДК було виконано за умови, що на його вхід надходять ідеальні прямокутні імпульси з крутими фронтами, що мають практично нульову довжину.

Передній та задній фронти дійсних прямокутних імпульсів мають кінцеву тривалість, а самі реальні імпульси можна апроксимувати трапецією. Для визначення впливу ДК на реальні трапецеїдальні імпульси розглянемо який вплив справляє ДК на передній та задній фронти, які змінюються за

лінійним законом. На рис. 5.9 наведено часові діаграми, які роз'яснюють диференціювання імпульсу з фронтом, що змінюється лінійно, для різних співвідношень $\tau_{диф}$ і тривалості фронту $t_ф$:

– $\tau_{диф} << t_ф$ (рис. 5.9, *а*);

– $\tau_{диф} >> t_ф$ (рис. 5.9, *б*).

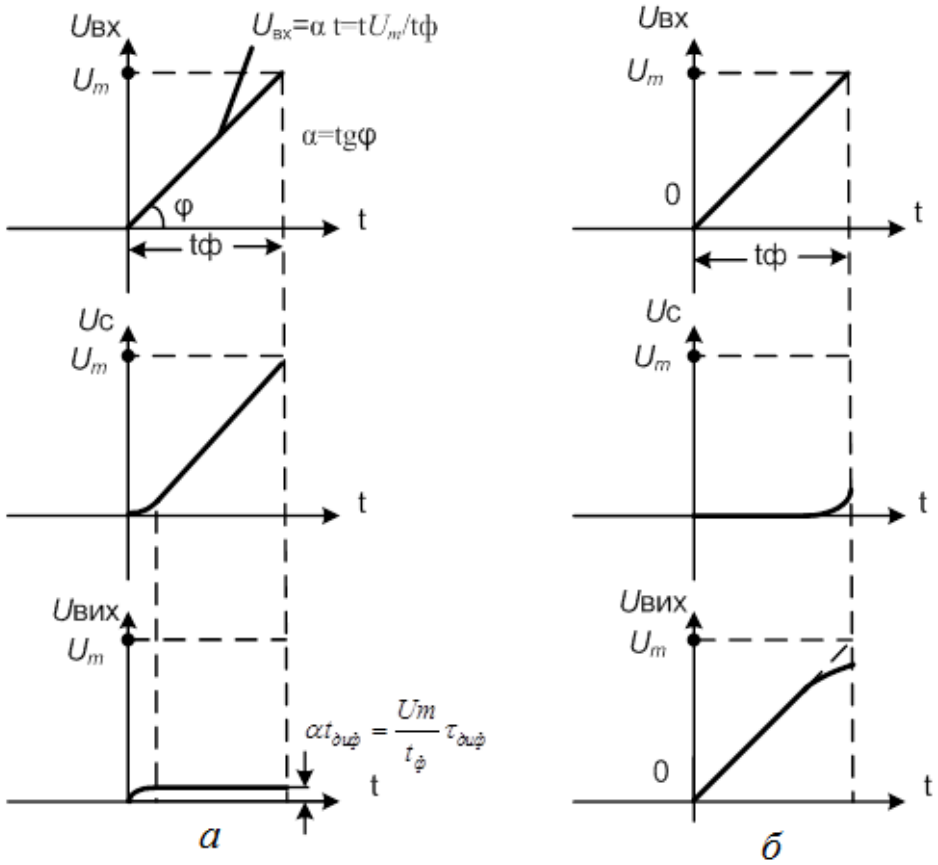


Рис. 5.9. Диференціювання напруги, яка змінюється лінійно:
а – $\tau_{диф} << t_ф$; *б* – $\tau_{диф} >> t_ф$.

У разі співвідношення $\tau_{диф} << t_ф$ коло виконує диференціювання фронту і вихідна напруга невелика, а за $\tau_{диф} >> t_ф$ розглянуте коло для фронту є прохідним (перехідним) і фронт вхідного сигналу передається на вихід з невеликими спотвореннями, викликаними зарядом конденсатора.

Вплив ДК на реальний (трапецеїдальний) імпульс залежить від співвідношення $\tau_{диф}$, $t_ф$, $t_{зр}$ та $t_{iм}$.

На рис. 5.10 наведено часові діаграми роботи ДК для двох співвідношень $\tau_{диф}$, $t_ф$ ($t_{зр}$) та $t_{iм}$:

$-t_{ф} << \tau_{диф} << t_{iм}$ (рис. 5.10, *а*);

$-t_{ф} >> \tau_{диф} << t_{iм}$ (рис. 5.10, *б*).

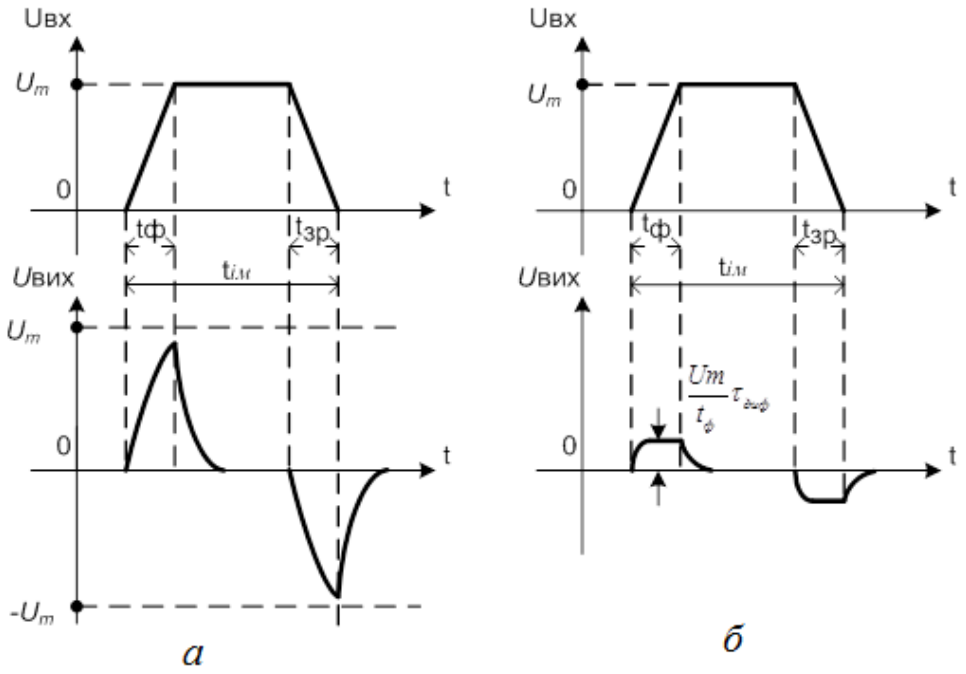


Рис. 5.10. Часові діаграми роботи ДК під час надходження на його вхід реального прямокутного імпульсу та співвідношень $\tau_{диф}$, $t_ф$ та $t_{ім}$:
а – $t_ф << \tau_{диф} << t_{ім}$; *б* – $t_ф >> \tau_{диф} << t_{ім}$.

Під час співвідношення $t_{ф} << \tau_{диф} << t_{iм}$ коло є перехідним для фронтів і диференціюючим для плоскої вершини, а в другому випадку схема диференціює фронти та плоску вершину, тому на виході не можна отримати гострокінцевих імпульсів і схема не виконує своє завдання – отримання коротких гострокінцевих імпульсів достатньої амплітуди.

Вплив опору джерела та ємності навантаження на форму вихідного імпульсу

До цього часу розглядалось ідеалізоване ДК, де не враховувалися вплив внутрішнього опору генератора імпульсів $R_{ВН}$ та паразитної ємності C_0, котра шунтує вихід (рис. 5.11, *а*). Форму вихідного імпульсу на виході реального ДК зображено на рис. 5.11, *б*.

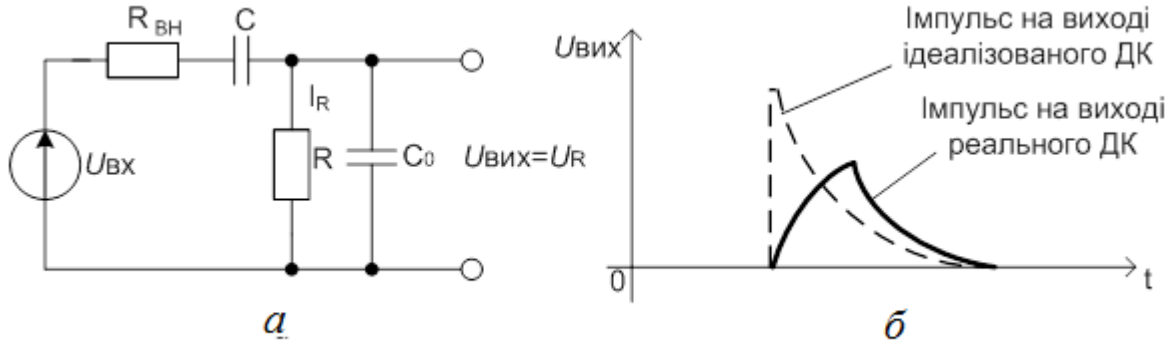


Рис. 5.11. ДК із врахуванням $R_{вн}$ та $C_о$:
а – схема; *б* – форма вихідного імпульсу

Наявність $R_{ВН}$ та C_0 призводить до зменшення амплітуди вихідного імпульсу, затягуванню переднього та заднього фронтів в цілому.

Для зменшення впливу $R_{ВН}$ та C_0 параметри схеми обирають так, щоб виконувались нерівності: $R >> R_{ВН}, C >> C_0$.

Потрібно відмітити, що збільшення C призводить до зменшення R, оскільки необхідно виконати умову $\tau_{диф} = RC << t_{iм}$, а зменшення R призводить до зменшення амплітуди вихідної напруги. Тому на практиці беруть $C = (2...3)C_0$.

Розрахунок пасивного ДК

На вхід реального ДК (рис. 5.11, *а*) надходить трапецеїдальний імпульс з параметрами: $t_ф = t_{зр}$ = 0.1 мкс; $t_{iм}$ = 10 мкс. Внутрішній опір джерела $R_{ВН}$ = 50 Ом. Ємність навантаження (паразитна ємність) C_0 = 20 пФ. Потрібно визначити параметри ДК: R та C.

Розмір ємності обираємо зі співвідношення: $C = 3 \cdot C_0$ = 60 пФ. Приймаємо C = 62 пФ.

Величина опору резистора R визначається з виразу: $R = \tau_{диф} / C$.

Тепер необхідно вибрати значення сталої часу диференціювання $\tau_{диф}$. Для того, щоб схема виконувала свою функцію – отримання на виході гострокінцевих імпульсів, необхідно забезпечити виконання співвідношення $t_ф << \tau_{диф} << t_{iм}$ (рис. 5.10, *а*). Приймемо $\tau_{диф} = 0{,}1 \cdot t_{iм} = 0{,}1 \cdot 10\text{мкс} = 1\text{мкс}$. Перевіряємо, що $(t_ф = 0{,}1\text{мкс}) << (\tau_{диф} = 1\text{мкс}) << (t_{iм} = 10\text{мкс})$. За такого значення

$\tau_{диф}$ ефективна тривалість вихідного імпульсу $t_{ім.вих.а} = \tau_{диф} \cdot \ln 2 = 0{,}1 t_{ім.вх} \cdot \ln 2 \approx t_{ім.вх}/14$, отже на виході отримаємо короткий імпульс, тривалістю у 14 разів коротше вхідного імпульсу. Вихідна напруга на виході ДК за час $t = 3\tau_{диф} = 0{,}3 t_{ім}$ дорівнює $U_{ВИХ} = U_{\text{m}} \cdot e^{-3\tau_{диф}/\tau_{диф}} \approx 0{,}05 U_{\text{m}}$, отже заряд конденсатора фактично закінчився. Таким чином, значення опору резистора $R = \tau_{диф}/C = 1 \cdot 10^{-6}/62 \cdot 10^{-12} \approx 16$кОм.

Приймаємо $R = 16 кОм$. Перевіряємо виконання нерівностей:

$R >> R_{ВН}$; $C >> C_0$; $1{,}6 \cdot 10^3$ Ом $>>$ 50 Ом; 62 пФ $>>$ 20 пФ.

Активні ДК

Як АЕ ДК широко використовуються ІМС ОП.

Принципову схема активного ДК на ІМС ОП подано на рис. 5.12.

Спочатку вважатимемо, що ІМС ОП є ідеальною:

$$K_{U.ІМСОП} \to \infty, \qquad (5.3)$$

$$\text{R}_{ВХ} \to \infty,$$

$$\text{R}_{ВИХ} \to 0.$$

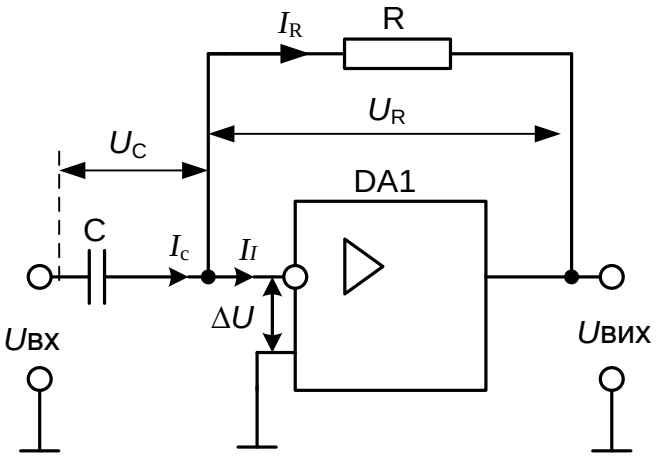


Рис. 5.12. Принципова схема активного ДК на ІМС ОП

Різниця напруг між інвертуючим (І) входом та неінвертуючим (Н) входом $\Delta U = U_{ВИХ} / K_{U.ІМСОП}$ у разі виконання умови (5.3) у межах лінійної ділянки передатної характеристики ІМС ОП приблизно дорівнює нулю. Струм I_I, що надходить на інвертуючий вхід ІМС ОП, дорівнює нулю за умови, що $\text{R}_{ВХ} \to \infty$.

Струм, який проходить через конденсатор $I_C = C\dfrac{dU_C}{dt}$.

Оскільки $\Delta U = U_R + U_{ВИХ}$, то за $\Delta U = 0$ $U_{ВИХ} = -U_R$.

У свою чергу $U_R = I_R R$, $I_R = I_C$ струм $I_I \to 0$ (коли $R_{ВХ} \to \infty$), отже $U_R = I_C R = RC\dfrac{dU_C}{dt}$,

$$U_{ВИХ} = -RC\frac{dU_C}{dt} = -\tau_{диф}\frac{dU_C}{dt} = -\tau_{диф}\frac{dU_{ВХ}}{dt}, \qquad (5.4)$$

де $\tau_{диф} = RC$ – стала часу.

Отже, якщо ІМС ОП є ідеальною, то ДК на її основі виконує точне диференціювання вхідного сигналу і похибка дорівнює нулю. Знак «–» у виразі (5.4) показує, що вихідна напруга протифазна вхідній. Порівнюючи вирази (5.4) та (5.1) бачимо, що ця схема хоча й називається активною, але не підсилює вхідну напругу порівняно з пасивним ДК. Високий коефіцієнт підсилення ІМС ОП та наявність ВЗЗ дозволяє за однакової з пасивним ДК вихідної напруги звести до нуля похибку диференціювання. Реальні ІМС ОП не забезпечують точного диференціювання, оскільки їх коефіцієнт підсилення за напругою має кінцеве значення. Однак чим більше $K_{U.ІМСОП}$, тим менше ΔU і тим більше струм конденсатора відповідає похідній вхідної напруги. Поряд з цим, збільшення $K_{U.ІМСОП}$ призводить до додаткового зниження похибки, оскільки напруга U_R все менш відрізняється від напруги $U_{ВИХ}$.

Для оцінювання похибки диференціювання, викликаної кінцевим значенням коефіцієнту підсилення $K_{U.ІМСОП}$, замінимо початкову схему активного ДК (рис. 5.12) еквівалентною їй у розрахунковому відношенні схемою (рис. 5.13).

Струм заряду конденсатора у вихідній схемі (рис. 5.12) визначається із виразу (знаки струмів I_C та I_R не враховуються):

$$I_C = I_R = \frac{U_R}{R} = \frac{U_{ВИХ}}{R} = \frac{\Delta U \cdot K_{U.ІМСОП}}{R},$$

а струм заряду в еквівалентній схемі

$$I_{C'} = I_{R'} = \frac{U_{R'}}{R'} = \frac{\Delta U}{R'}.$$

Для того щоб виконувалась рівність струмів заряду конденсатора в еквівалентній і вихідній схемах $I_C = I_{C'}$ необхідно, щоб $R' = \dfrac{R}{K_{U.ІМСОП}}$.

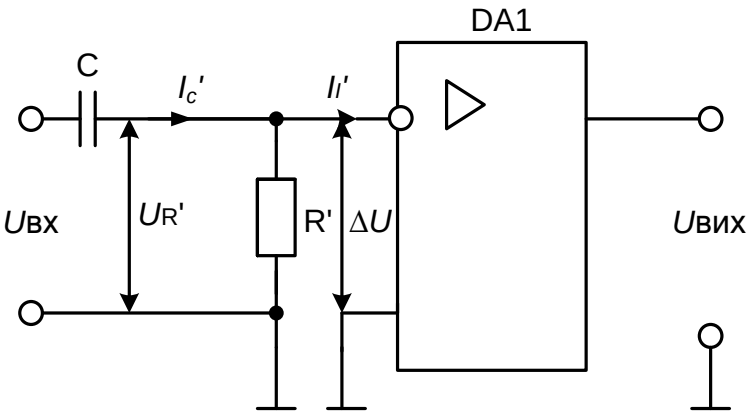


Рис. 5.13. Еквівалентна схема активного ДК

Для рівності вихідних напруг еквівалентної та вихідної схем напруга $U_{R'}$ підсилюється ІМС ОП у $K_{U.ІМСОП}$ разів. Напруга на виході пасивного ДК – C, R' становить

$$U_{R'} = R'C \cdot \left(\frac{dU_{ВХ}}{dt}\right) - R'C \cdot \left(\frac{dU_{\text{вих}}}{dt}\right) =$$

$$= \frac{RC}{K_{U.ІМСОП}}\left(\frac{dU_{\text{вх}}}{dt}\right) - \frac{RC}{K_{U.ІМСОП}}\frac{1}{K_{U.ІМСОП}}\left(\frac{dU_{\text{вих}}}{dt}\right).$$

Вихідна напруга ОП

$$U_{\text{вих}} = U_{R'} \cdot K_{U.ІМСОП} = RC\left(\frac{dU_{\text{вх}}}{dt}\right) - \frac{RC}{K_{U.ІМСОП}}\left(\frac{dU_{\text{вих}}}{dt}\right). \qquad (5.5)$$

Порівнюючи вирази (5.5) та (5.1) бачимо, що похибка ДК на ІМС ОП у $K_{U.ІМСОП}$ разів менша, ніж похибка пасивного ДК за однакового значення вихідної напруги $RC\left(\dfrac{dU_{ВХ}}{dt}\right)$.

Еквівалентну схему (рис. 5.13) не можна використовувати на практиці. Потрібно відмітити, що розглянута схема ДК (рис. 5.12) має низьку завадостійкість та схильна до самозбудження в області високих частот. На практиці використовують більш складні схеми, наприклад, модифіковане активне ДК, схему якого наведено на рис. 5.14 .

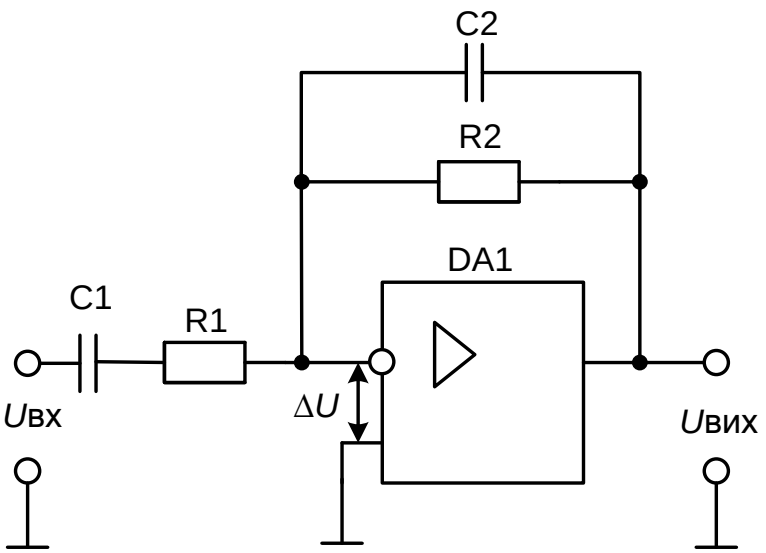


Рис. 5.14. Схема модифікованого активного ДК

5.3. Інтегруючі кола

Інтегруючі кола поділяються на:

– пасивні ІК;

– активні ІК.

ІК є лінійним чотириполюсником, сигнал на виході якого змінюється пропорційно інтегралу вхідного сигналу, а саме

$$U_{ВИХ} = k \cdot \int_0^t U_{\text{ВХ}} dt .$$

ІК використовуються в схемах формування пилкоподібної напруги; для виділення постійної складової вхідної імпульсної послідовності; для селекції імпульсів за тривалістю і т. ін.

Найпростішим та найбільш вживаним є пасивне ІК, що містить два елементи: резистор *R* та конденсатор *C* (рис. 5.15).

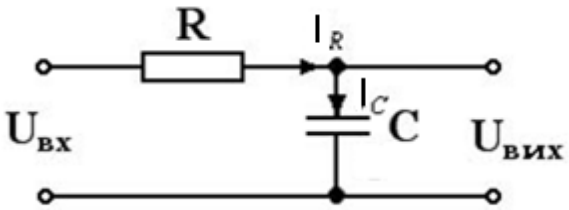


Рис. 5.15. Пасивне інтегруюче *RC*-коло

Аналіз пасивного ІК

Напруга на конденсаторі C пов'язана з вихідною напругою та струмом, що проходить через нього, залежністю

$$U_{ВИХ} = U_C = \frac{1}{C} \cdot \int_0^t I_C \, dt, \tag{5.6}$$

де

$$I_R = I_C = \frac{U_{ВХ} - U_{ВИХ}}{R}. \tag{5.7}$$

Підставимо значення I_C (5.7) у (5.6) і отримаємо

$$U_{ВИХ}(t) = \frac{1}{RC} \cdot \int_0^t U_{ВХ} dt - \frac{1}{RC} \cdot \int_0^t U_{ВИХ} dt. \tag{5.8}$$

Перша складова отриманого виразу є результатом ідеального інтегрування вхідної напруги, а друга – похибкою інтегрування.

Для зменшення похибки потрібно збільшити сталу часу інтегрування $\tau_{інт} = RC$, але при цьому також зменшується вихідна напруга. Отже, стала часу ІК має бути досить велика, а, в результаті цього, $U_{ВИХ} << U_{ВХ}$.

Аналізування роботи пасивного ІК за часовими діаграмами

Розглянемо часові діаграми роботи ІК, якщо на його вхід подається стрибок напруги, амплітудою U_m (рис. 5.16).

Рис. 5.16. Часові діаграми роботи ІК

Результатом ідеального інтегрування стрибка напруги є

$$U_{ВИХ}(t)=\frac{1}{RC}\int_0^t U_{\text{m}}dt=\frac{U_{\text{m}}\cdot t}{RC}=\frac{U_{\text{m}}\cdot t}{\tau_{інт}}. \qquad (5.9)$$

Виразу (5.9) відповідає пряма лінія, яку показано на рис. 5.16 пунктиром. Результатом реального інтегрування є

$$U_{ВИХ}(t)=U_{\text{m}}\cdot\left(1-e^{-t/\tau_{інт}}\right), \qquad (5.10)$$

що відповідає зарядженню конденсатора *C* за експоненціальним законом.

Різниця між прямою лінією й експонентою є похибкою інтегрування, котра зменшується, якщо час інтегрування

$$t_{інт}<<\tau_{інт}. \qquad (5.11)$$

У цьому разі зменшується амплітуда вихідної напруги $U_{ВИХ}<<U_{\text{вх}}$.

Якщо $\tau_{інт}=const$, то похибку можна зменшити, якщо зменшити час інтегрування $t_{інт}$.

Якщо $t_{інт}=const$, то похибку можна зменшити, збільшуючи сталу часу $\tau_{інт}$.

Визначення абсолютної та відносної похибок інтегрування

Для випадку, розглянутого на рис. 5.16, вихідна напруга визначається виразом (5.10).

Розкладаючи $e^{-t/\tau_{інт}}$ у ряд Тейлора за степенями $^{-t/\tau_{інт}}$, отримаємо

$$e^{-t/\tau_{інт}}=1-t/\tau_{інт}+\frac{1}{2}\cdot\left(t/\tau_{інт}\right)^2-\frac{1}{6}\cdot\left(t/\tau_{інт}\right)^3+\ldots. \qquad (5.12)$$

На основі співвідношення (5.11) обмежимося першими трьома членами ряду, і підставимо (5.12) у (5.10). У результаті отримаємо

$$U_{\text{вих}}(t)=\frac{U_{\text{m}}\cdot t}{\tau_{інт}}\left(1-\frac{1}{2}\frac{t}{\tau_{інт}}\right)=\frac{U_{\text{m}}\cdot t}{\tau_{інт}}-\frac{U_{\text{m}}\cdot t}{\tau_{інт}}\cdot\frac{t}{2\cdot\tau_{інт}}. \qquad (5.13)$$

Перший член виразу (5.13) відповідає результату ідеального інтегрування стрибка, а другий є абсолютною похибкою ІК:

$$\delta_{абс}=\frac{U_{\text{m}}\cdot t}{\tau_{інт}}\cdot\frac{t}{2\cdot\tau_{інт}}.$$

Відносна похибка

$$\delta_{відн} = \frac{\delta_{абс}}{U_{\text{КОРИСНЕ}}} \cdot 100\% = \frac{\dfrac{U_{\text{m}} \cdot t}{\tau_{інт}} \cdot \dfrac{t}{2 \cdot \tau_{інт}}}{\dfrac{U_m \cdot t}{\tau_{інт}}} \cdot 100\% = \frac{t}{\tau_{інт}} \cdot 50\%.$$

Якщо задані $\delta_{відн.\max}$ та $\tau_{інт}$, то час інтегрування

$$t_{інт.\max} = \frac{\delta_{відн.\max} \cdot \tau_{інт}}{50}.$$

Якщо задані $\delta_{відн.\max}$ і час інтегрування $t_{інт}$, то мінімальна стала часу ІК

$$\tau_{інт.\min} = \frac{50 \cdot t_{інт}}{\delta_{відн.\max}}. \qquad (5.14)$$

Розрахунок пасивного інтегруючого *RC*-кола

Вихідні дані для розрахунку:

– відносна похибка інтегрування $\delta_{відн} \le 1\%$;

– значення амплітуди вхідної напруги $U_{ВХ.m} = 5\text{В}$;

– час інтегрування $t_{інт} \le 10 мкс$;

– величина максимального струму, який віддає джерело вхідного сигналу у навантаження, $I_{\max} = 5 мА$.

З виразу (5.14) визначаємо

$$\tau_{інт.\min} = 50 \cdot 10^{-5} / 1 = 500\text{мкс}.$$

Приймаємо $\tau_{інт} = 500\text{мкс}$.

Найбільший струм у колі проходить у початковий момент, коли конденсатор C розряджений і його опір дорівнює нулю. Величина струму в цей час визначається величиною опору резистора R, який обираємо з умови $R \ge U_{\text{m}} / I_{\max} \ge 5/5 \cdot 10^{-3} \ge 1 кОм$.

Вибираємо $R = 1,2 кОм$.

Значення конденсатора C визначаємо з виразу

$$C = \tau_{інт} / R = \frac{500 \cdot 10^{-6}}{1,2 \cdot 10^{3}} = 0,4\text{мкФ}.$$

Приймаємо $C = 0,5 мкФ$.

Визначаємо значення вихідної напруги за час $t_{інт} = 10\text{мкс}$.

$$U_{ВИХ} = \frac{U_{\text{m}} \cdot t_{інт}}{\tau_{інт}} = \frac{5 \cdot 10^{-5}}{500 \cdot 10^{-6}} = 0{,}1\text{В}.$$

Закон зміни $U_{ВИХ}$ протягом вказаного $t_{інт}$ прийнято називати лінійним, оскільки виконується умова (5.11). Величина вихідної напруги складає 2 % від $U_{ВХ.\max} = 5\text{В}$.

Інтегрування одиночного імпульсу

Реакцію ІК (рис. 5.15) на вхідний прямокутний імпульс показано на рис. 5.17.

Конденсатор C не може миттєво зарядитися, тому в момент надходження на вхід схеми прямокутного імпульсу вся вхідна напруга виділяється на резисторі R, а $U_{ВИХ} = U_C = 0$. За час дії імпульсу конденсатор повільно заряджається за експоненціальним законом:

$$U_{C.\text{ЗАР}} = U_{ВИХ} = U_{\text{m.ВХ}} \cdot \left(1 - e^{-t/\tau_{інт}}\right).$$

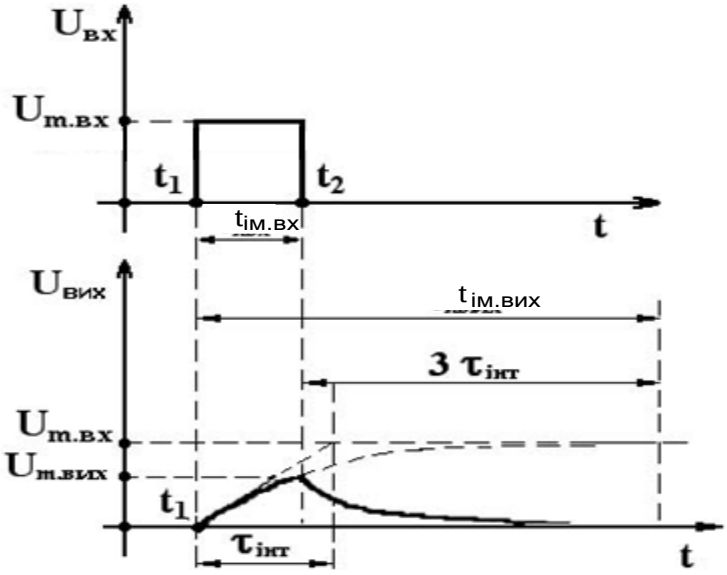


Рис. 5.17. Реакція ІК на вхідний прямокутний імпульс

На момент закінчення вхідного імпульсу ($t = t_2$) напруга на виході досягне значення

$$U_{\text{m.ВИХ}} = U_{\text{m.ВХ}} \cdot \left(1 - e^{-t_{ім.\text{ВХ}}/\tau_{інт}}\right).$$

Після цього конденсатор повільно розряджається через резистор R і $U_{ВИХ}$ поступово зменшується за експоненціальним законом

$$U_{ВИХ}(t) = U_{C.РОЗР}(t) = U_{ВИХ.m} \cdot e^{-t/\tau_{інт}}.$$

Можна вважати, що за час $t_{інт} = 3\tau_{інт}$ після закінчення вхідного імпульсу конденсатор C практично розрядиться. Відповідно, тривалість вихідного імпульсу

$$t_{ім.вих} = t_{ім.вх} + 3\tau_{інт}.$$

Оскільки $\tau_{інт} >> t_{ім.вх}$, то

$$t_{ім.вх} \approx 3\tau_{інт}.$$

Таким чином, за $\tau_{інт} >> t_{ім.вх}$ на виході кола формується пилкоподібний імпульс з амплітудою $U_{ВИХ.m} < U_{ВХ.m}$ та тривалістю $t_{ім.вих} >> t_{ім.вх}$. Тому ІК називають подовжуючим чи згладжуючим.

Інтегрування послідовності прямокутних імпульсів

Реакцію ІК (рис. 5.15) на вхідну послідовність прямокутних імпульсів показано на рис. 5.18.

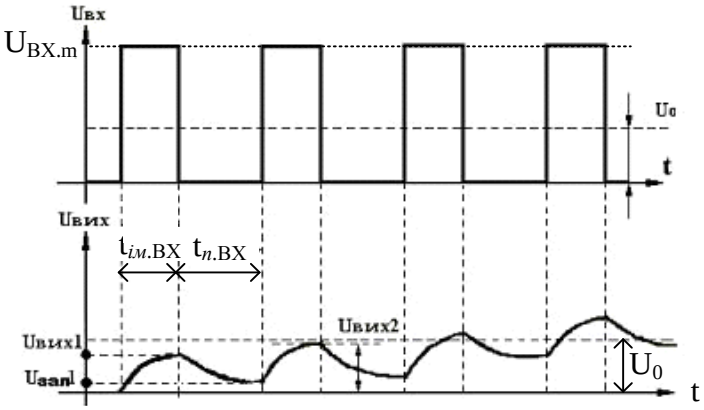


Рис. 5.18. Реакція ІК на вхідну послідовність прямокутних імпульсів

Напруга на конденсаторі поступово зростає, доки не досягне середнього значення (постійної складової) вхідної послідовності U_0.

Після цього заряд, який отримує конденсатор під час дії чергового вхідного імпульсу, є рівним заряду, який втрачає ємність протягом чергової паузи $\left(\Delta U_{C.ЗАР}(t_{ім}) \approx \Delta U_{C.РОЗР}(t_п)\right)$ і вихідна напруга незначно змінюється (пульсує) близько U_0, так, що $U_{ВИХ} \approx U_0 = const$.

Під час надходження першого вхідного імпульсу конденсатор заряджається під дією повної напруги $U_{BX.m}$. На момент закінчення цього імпульсу напруга на конденсаторі наростає до значення

$$U_{\text{ВИХ1}} = U_{BX.m} \cdot (1 - e^{-t_{im.\text{вх}}/\tau_{інт}}).$$

Під час першої паузи ємність розряджається і напруга на ній зменшується від значення $U_{ВИХ1}$. На момент закінчення першої паузи напруга на виході

$$U_{\text{ВИХ}} = U_{ЗАЛ1} = U_{\text{ВИХ1}} \cdot e^{-t_{n.\text{вх}}/\tau_{інт}}.$$

Під дією другого імпульсу конденсатор знову заряджається, але тепер під дією різниці напруг $\left(U_{BX.m} - U_{\text{ЗАЛ1}}\right)$, котра менша, ніж $U_{BX.m}$. На момент закінчення другого імпульсу

$$U_{\text{ВИХ2}} = U_{ЗАЛ1} + \left(U_{\text{ВХ.m}} - U_{\text{ЗАЛ1}}\right) \cdot (1 - e^{-t_{im.\text{вх}}/\tau_{інт}}).$$

Оскільки $U_{ВИХ2} > U_{\text{ВИХ1}}$, то під час другої паузи розряд ємності проходить більш інтенсивно, ніж під час першої. Розмірковуючи аналогічно, відмітимо, що кожний наступний імпульс надає конденсатору все менший додатковий заряд, ніж попередній. У той же час, за кожну наступну паузу ємність розряджається на все більшу величину, ніж за попередню.

Це призводить до того, що вихідна напруга починає коливатися відносно середнього значення вхідної імпульсної послідовності.

Такий висновок легко пояснити фізично. Конденсатор не пропускає постійну складову вхідного струму, тому на резисторі R не може виділиться постійна складова вхідної напруги $\left(U_R = I_R \cdot R\right)$, а оскільки вхідна напруга містить постійну складову U_0, то вона виділяється на конденсаторі. Описані явища матимуть місце у разі виконання умови $\tau_{інт} >> t_{ім}$. Інакше RC-коло не є інтегруючим.

Активні ІК

Як АЕ ІК широко використовуються ІМС ОП. Принципову схему активного ІК на ІМС ОП показано на рис. 5.19.

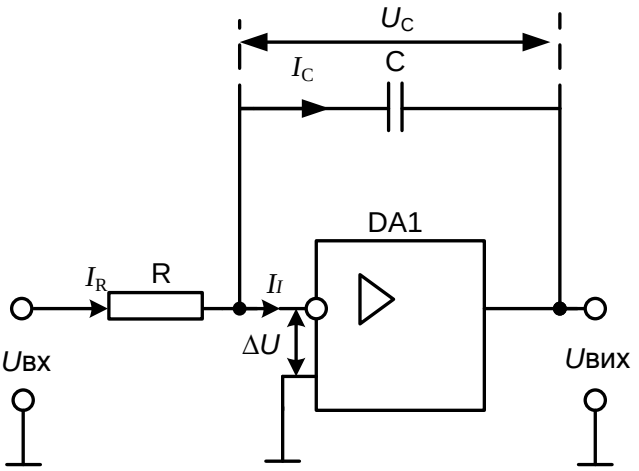


Рис. 5.19. Принципова схема активного ІК на ІМС ОП

Спочатку вважатимемо, що ІМС ОП є ідеальною:

– $K_{U.ІМСОП} \to \infty$,

– $R_{ВХ} \to \infty$,

– $R_{ВИХ} \to 0$.

Різниця напруг між інвертуючим (І) та неінвертуючим (Н) входами $\Delta U = \dfrac{U_{ВИХ}}{K_{U.ІМСОП}}$ під час виконання умови $K_{U.ІМСОП} \to \infty$ у межах лінійної ділянки передатної характеристики ІМС ОП приблизно дорівнює нулю. Струм, який надходить на вхід, що інвертує, ІМС ОП дорівнює нулю за умови, що $R_{ВХ} \to \infty$.

Напруга на конденсаторі $U_C = \dfrac{1}{C}\int_0^t I_C dt$.

Оскільки струм $I_R = I_C$, а також $I_R = \dfrac{U_{ВХ} - \Delta U}{R} = \dfrac{U_{ВХ}}{R}$, то

$$U_C = \frac{1}{C}\int_0^t \frac{U_{ВХ}}{R} dt = \frac{1}{RC}\int_0^t U_{ВХ} dt.$$

Оскільки виконуються умови $\Delta U \approx 0$, та $U_C(t) + U_{ВИХ}(t) = \Delta U$, то одержимо

$$U_{ВИХ} = -\frac{1}{RC}\int_0^t U_{ВХ} dt = -\frac{1}{\tau_{інт}}\int_0^t U_{ВХ} dt. \qquad (5.15)$$

Отже, якщо ІМС ОП вважати ідеальною, то ІК на її основі виконує точне інтегрування вхідного сигналу і похибка дорівнює нулю. Знак «–» у

виразі (5.15) показує, що вихідна напруга протифазна вхідній, яка подається на інвертуючий вхід ІМС ОП.

Порівнюючи вираз (5.15) з (5.8) бачимо, що схема, яка розглядається, хоча й називається активною, але не підсилює вхідний сигнал порівняно з пасивним ІК. Високий коефіцієнт підсилення ІМС ОП та наявність ВЗЗ дозволяє за однакової з пасивним ІК вихідної напруги звести до нуля похибку інтегрування.

Реальні ІМС ОП не забезпечують точного інтегрування. Оцінимо похибку, зумовлену кінцевим значенням коефіцієнта підсилення $K_{U.IMCOП}$.

Вихідну схему активного ІК (рис. 5.19) замінимо еквівалентною схемою (рис. 5.20).

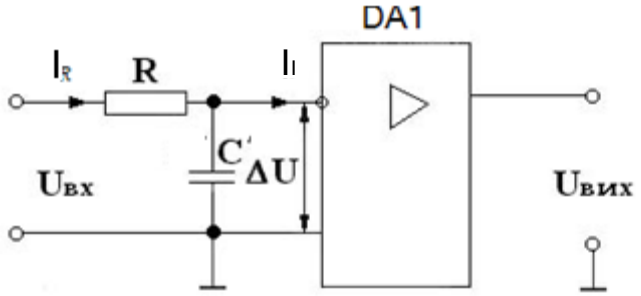


Рис. 5.20. Еквівалентна схема заміщення активного ІК

Остання схема у розрахунковому відношенні еквівалентна початковій. Доведемо це. У вихідній схемі напруга на конденсаторі

$$U_C = \Delta U - \left(-U_{\text{вих}}\right) = \Delta U + U_{\text{вих}} = \Delta U + \Delta U \cdot K_{U.IMCOП} =$$

$$= \Delta U \cdot \left(1 + K_{U.IMCOП}\right) = \Delta U \cdot K_{U.IMCOП} \left(K_{U.IMCOП} >> 1\right).$$

В еквівалентній схемі напруга на ємності C' дорівнює $U_{C'} = \Delta U$, отже у $K_{U.IMCOП}$ разів менше, ніж U_C у вихідній схемі. Струми зарядів конденсаторів у вихідній та еквівалентній схемах

$$I_C = C\frac{dU_C}{dt} \text{ і } I_{C'} = C'\frac{dU_{C'}}{dt}.$$

Струм заряду конденсатора в еквівалентній схемі через зменшення U_C також зменшується у $K_{U.IMCOП}$ разів. Щоб він залишився незмінним $\left(I_C = I_{C'}\right)$, необхідно прийняти $C' = K_{U.IMCOП} \cdot C$. Вихідна напруга початкової та еквівалентної схем однакова і дорівнює $U_{ВИХ} = \Delta U \cdot K_{U.IMCOП}$.

Якщо на вхід еквівалентної схеми подати постійну напругу амплітудою U_{m}, то напруга на ємності C' дорівнює

$$U_{C'} = U_{\text{m}} \cdot \left(1 - e^{-t/\tau_{інт}}\right) = U_{\text{m}} \cdot \left(1 - e^{-t/RC'}\right) = U_{\text{m}} \cdot \left(1 - e^{-t/RCK_{U.ІМСОП}}\right).$$

Вихідна напруга

$$U_{\text{вих}} = U_{C'} \cdot K_{U.ІМСОП} = U_{\text{m}} \cdot K_{U.ІМСОП} \cdot \left(1 - e^{-t/RCK_{U.ІМСОП}}\right). \qquad (5.16)$$

Розкладемо $e^{-t/RCK_{U.ІМСОП}}$ у ряд Тейлора

$$e^{-t/RCK_{U.ІМСОП}} = 1 - \frac{t}{RCK_{U.ІМСОП}} + \frac{1}{2}\left(\frac{t}{RCK_{U.ІМСОП}}\right)^2 - \ldots \qquad (5.17)$$

Підставимо (5.17) у (5.16) і з урахуванням (5.11) обмежимося першими трьома членами ряду. Одержимо

$$U_{\text{вих}}(t) = \frac{U_{\text{m}} \cdot t}{CR} \cdot \left(1 - \frac{t}{2 \cdot CR \cdot K_{U.ІМСОП}}\right). \qquad (5.18)$$

Порівнюючи вирази (5.18) і (5.13) бачимо, що похибка ІК на ІМС ОП у $K_{U.ІМСОП}$ разів менша, ніж похибка пасивного ІК за однакового значення вихідної напруги і однакового часу інтегрування.

Варто відмітити, що еквівалентну схему не можна використовувати як робочу, оскільки важко забезпечити стабільність підсилення без ВЗЗ, а також потрібно використання конденсатора великої ємності $C' = C \cdot K_{U.ІМСОП}$.

5.4. Пристрої формування рівнів

Рівні напруг, що з’являються на виході імпульсних пристроїв, змінюються від мінімального (зазвичай дорівнює нулю) до максимального значення: $U_{\text{ВИХ.max}}$. З виходу імпульсних схем, виконаних на ІМС ОП, знімаються напруги, що набувають одне з двох значень: $+U_{\text{НАС}}$; $-U_{\text{НАС}}$. Наприклад, якщо напруги джерела живлення дорівнюють $\pm 15B$, тоді $+U_{\text{НАС}} = +11B$, а $(-U_{НАС}) = -11B$.

Вихідні сигнали імпульсних пристроїв зазвичай обробляються цифровими ТТЛШ/КМОН-схемами, у яких діють тільки два значення (рівня) сигналів (напруг), які називаються:

– логічна одиниця (переважно високий рівень напруги);

– логічний нуль (як правило, низький рівень напруги).

Вихідна напруга низького рівня (логічний нуль): не більш 0,4...0,5 В;

Вихідна напруга високого рівня (логічна одиниця): не менш 2,4 В. Максимальне значення логічної одиниця: $E_{ЖИВ} = 5B$.

Виникає задача перетворення рівнів сигналів, що з'являються на виході імпульсних схем, у рівні цифрових сигналів, що діють у цифрових пристроях.

Цю задачу вирішують пристрої/схеми формування (перетворення) рівнів (ПФР/СФР). Є багато варіантів схемної реалізації ПФР. Розглянемо деякі з них.

Приклад 5.1. Найпростіший перетворювач рівнів може бути реалізовано на послідовному діодному ключі (ДКЛ) (рис. 5.21, *а*), що виконує функцію обмежника напруги знизу на рівні $U_{ОБМ} \approx 0{,}5B$ (схема, характеристика та часові діаграми роботи перетворювача отримані моделюванням у програмі Microcap).

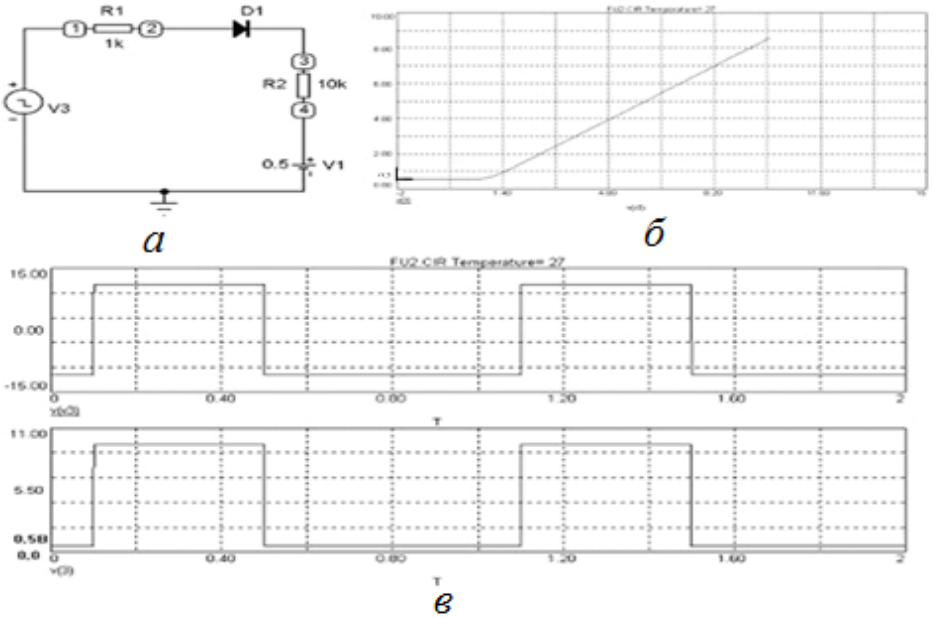


Рис. 5.21. Найпростіший ПРФ на послідовному ДКЛ: *а* – схема; *б* – передатна характеристика; *в* – вхідний і вихідний сигнали

Вище представлено відповідно:

– схему (рис. 5.21, а);
– передатну характеристику (рис. 5.21, б);
– часові діаграми роботи (рис. 5.21, *в*) цього пристрою, які отримано за допомогою пакета MICRO-CAP V.

Приклад 5.2. Як перетворювачі рівнів можуть бути використані двосторонні діодні обмежники, які виконано на послідовному або паралельному ДКЛ (рис. 5.22, 5.23). Схему та характеристику перетворювача отримано моделюванням у програмі Microcap.

Приклад 5.3. Тут наведено ПФР, який реалізовано на паралельному ДКЛ (рис. 5.24). Цей пристрій перетворює:

– напругу $U_{\text{ВХ}} = +U_{\text{НАС}}$ у напругу $U_{\text{ВИХ}} = U^1 = U_{\text{VD1.пр}} + E_{\text{ЕТ}}$;

– напругу $U_{\text{ВХ}} = -U_{\text{НАС}}$ у напругу $U_{\text{ВИХ}} = U^0 = -U_{\text{VD2.пр}}$.

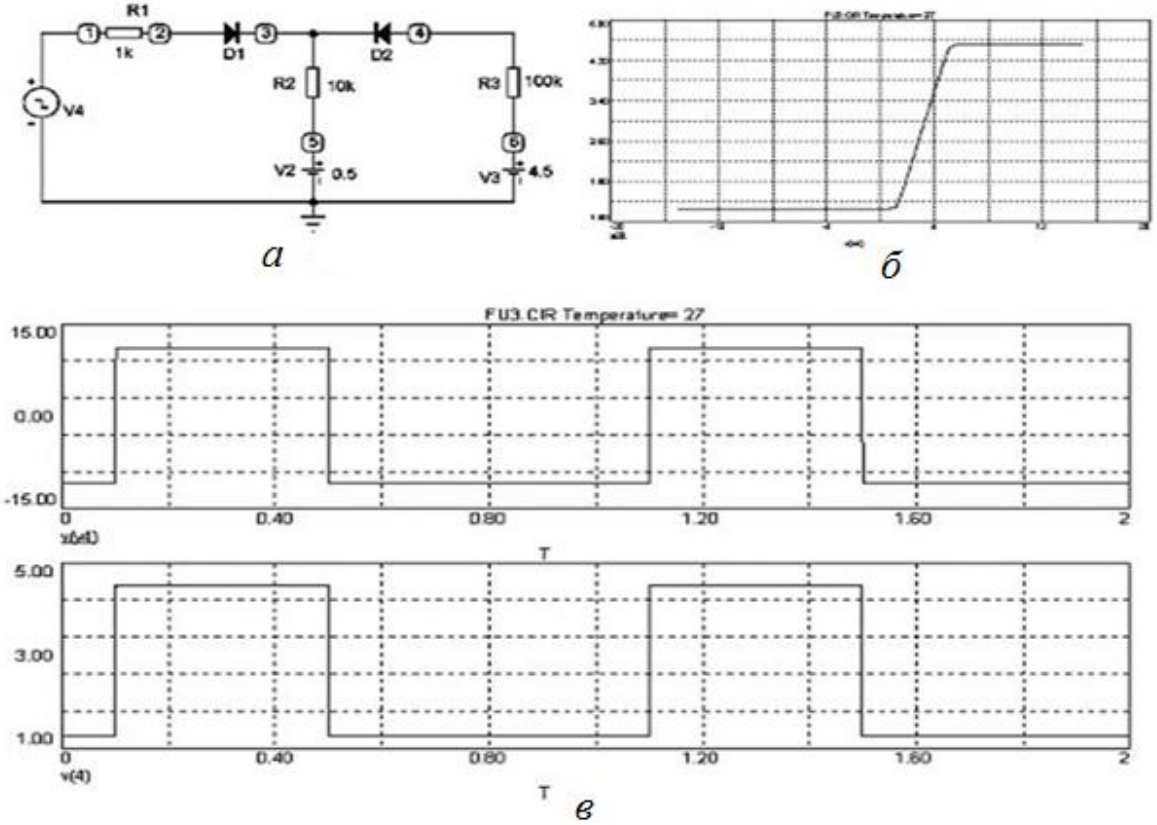


Рис. 5.22. ПРФ на послідовному двосторонньому діодному обмежнику:
а – схема; *б* – передатна характеристика; *в* – вхідний і вихідний сигнали схеми

Приклад 5.4. У цьому прикладі розглянуто ПФР, який виконано на послідовному ДКЛ (рис. 5.25). Цей пристрій перетворює:

– напругу $U_{\text{ВХ}} = +U_{\text{НАС}}$ у напругу $U_{\text{ВИХ}} = U^1 = U_{VD2.\text{ПР}} + E_{\text{ЕТ}}$;

– напругу $U_{\text{ВХ}} = -U_{\text{НАС}}$ у напругу $U_{\text{ВИХ}} = U^0 = I_{\text{К0.VD2}} \cdot R_{\text{Н}}$,

де $I_{\text{К0.VD2}}$ – зворотний струм насичення закритого діода VD2.

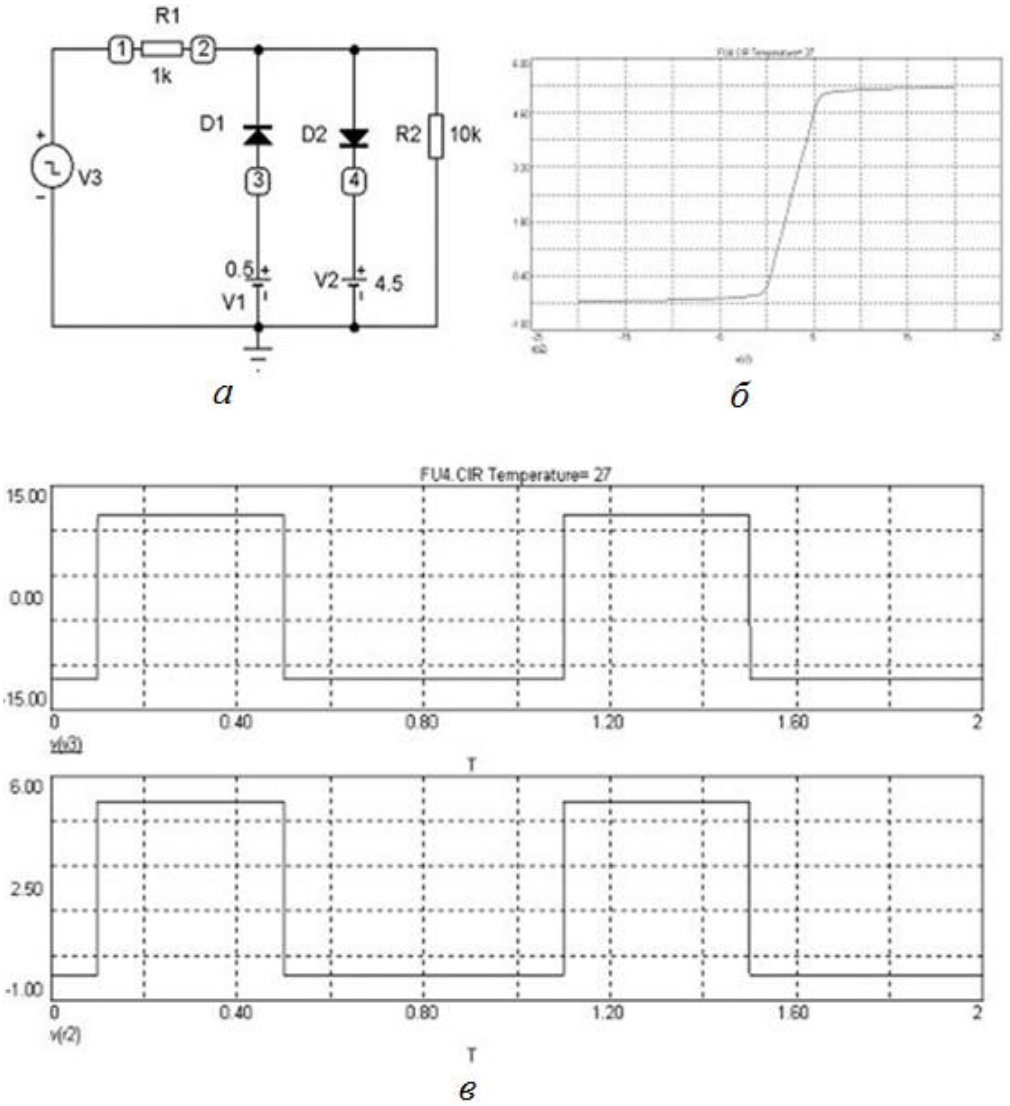


Рис. 5.23. ПРФ на паралельному двосторонньому діодному обмежнику:
а – схема; *б* – передатна характеристика;
в – вхідний і вихідний сигнали схеми

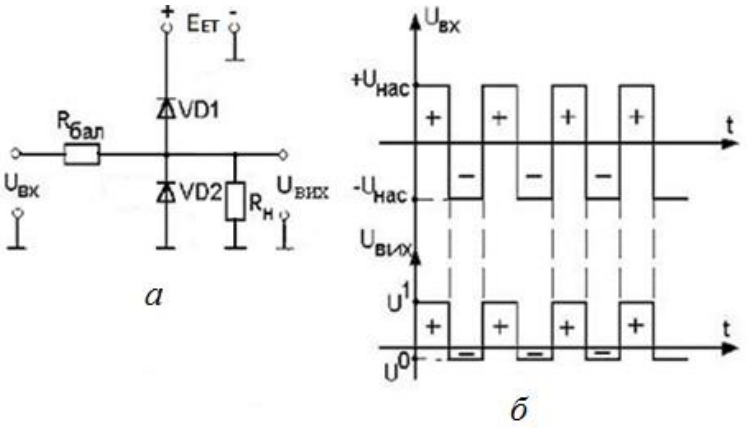


Рис. 5.24. ПФР на паралельному ДКЛ:
а – схема; *б* – часові діаграми роботи

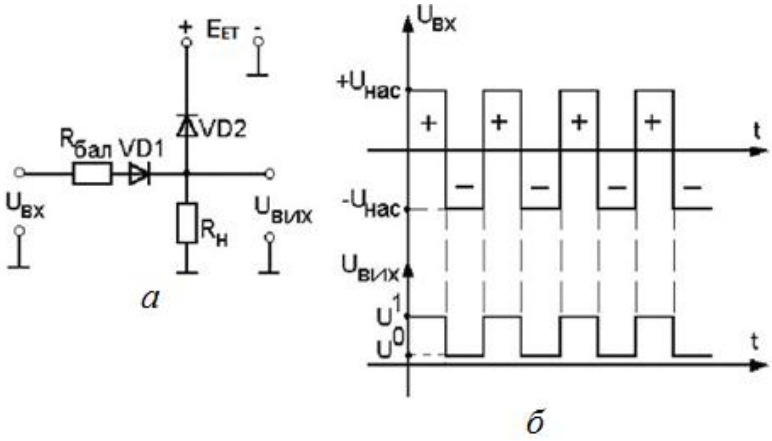


Рис. 5.25. ПФР на послідовному ДКЛ:
а – схема; *б* – часові діаграми роботи

Контрольні запитання та завдання

1. Для чого використовуються ДК?
2. Поясніть роботу пасивного ДК та ІК за часовими діаграмами.
3. Які значення мають основні параметри ідеальної ІМС ОП: K_U, $R_{ВХ}$ та $R_{ВИХ}$?
4. Якими повинні бути співвідношення між сталою часу та тривалістю вхідного імпульсу для ДК та ІК?
5. Для чого використовуються ІК?
6. Як відрізняються похибки пасивного та активного ДК та ІК? Відповідь поясніть.
7. До чого наближається значення вихідної напруги пасивного ІК, якщо на його вхід подається послідовність прямокутних імпульсів?
8. Як впливає значення внутрішнього опору джерела та ємності навантаження на форму вихідного імпульсу ДК?
9. У чому полягає відмінність між імпульсними та цифровими сигналами?
10. Поясніть, чому в електроніці так широко застосовуються імпульсні пристрої.
11. Назвіть та поясніть основні параметри імпульсів.
12. Як впливає значення шпаруватості на постійну складову послідовності прямокутних імпульсів?
13. Як визначається тривалість фронту та зрізу імпульсу?
14. Назвіть види імпульсних пристроїв.
15. Яку задачу вирішують пристрої формування рівнів?
16. Наведіть приклади принципових електричних схем пристроїв формування рівнів та поясніть їх роботу.

6. ЕЛЕКТРОННІ КЛЮЧІ

6.1. Діодні ключі

6.1.1. Загальні відомості про діодні ключі

Комутуюча дію ДКЛ основана на використанні нелінійних (вентильних) властивостей діодів. Для побудови ДКЛ частіше використовують НД, що мають у прямому напрямку дуже малий опір $(R_{VD.ПР} \approx 0)$, а в зворотному – дуже великий $(R_{VD.ЗВР} \to \infty)$. Залежно від способу включення діода відносно опору навантаження ДКЛ поділяють на послідовні і паралельні.

6.1.2. Послідовні діодні ключі

У схемі послідовного ДКЛ (рис. 6.1, *а*) опір навантаження включено послідовно з діодом.

Під час подачі на вхід ключа додатної вхідної напруги діод відкривається і, якщо знехтувати малим падінням напруги на відкритому діоді, напруга на виході стане рівною напрузі на вході. Під час дії на вході ключа від'ємної вхідної напруги діод закривається і напруга на виході близька до нуля (рис. 6.1, *б*).

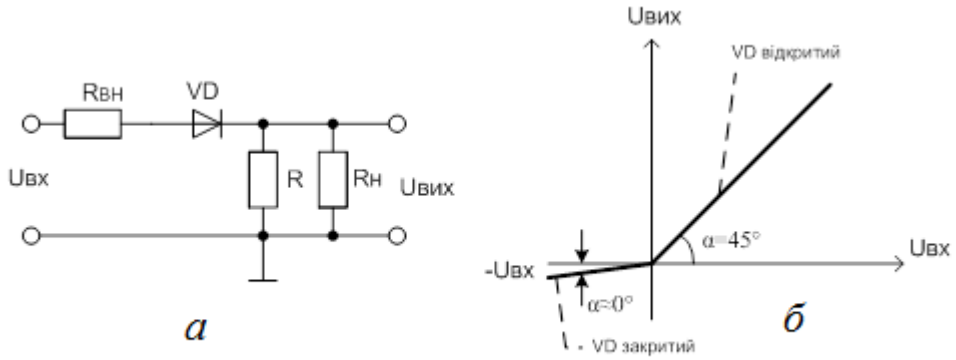


Рис. 6.1. Послідовний ДКЛ:
а – схема послідовного ДКЛ; *б* – передатна характеристика

Вважатимемо, що прямий опір діода $R_{VD.ПР} \approx 0$; зворотний опір діода $R_{VD.ЗВР} \approx \infty$; опір навантаження $R_Н \approx \infty$, а внутрішній опір джерела вхідного сигналу $R_{ВН} = 0$.

Вихідна напруга зв'язана з вхідною як

$$U_{\text{ВИХ}} = U_{\text{ВХ}} \cdot \frac{R}{R + R_{VD}} = U_{\text{ВХ}} \cdot \frac{1}{1 + \frac{R_{VD}}{R}},$$

де $\frac{1}{1 + \frac{R_{VD}}{R}} = tg\alpha; \alpha = arctg \frac{1}{1 + \frac{R_{VD}}{R}}.$

Значення α – кута нахилу передатної характеристики ключа до вісі абсцис, залежить від стану діода.

Якщо VD – відкритий, то його опір $\text{R}_{\text{VD.ПР}} = 0, tg\alpha = 1$, а $\alpha = 45^{\circ}$.

Якщо VD – закритий, то його опір $\text{R}_{\text{VD.ЗВР}} \to \infty, tg\alpha = 0$, а $\alpha = 0^{\circ}$.

Якщо змінити полярність включення діода (рис. 6.2, *а*), то графік функції $U_{\text{ВИХ}} = f(U_{\text{ВХ}})$ повернеться на 180° (рис. 6.2, *б*).

Напруга, за якої ключ відкривається, називається пороговою $U_{\text{ПОР}}$. У розглянутих схемах ця напруга дорівнює нулю.

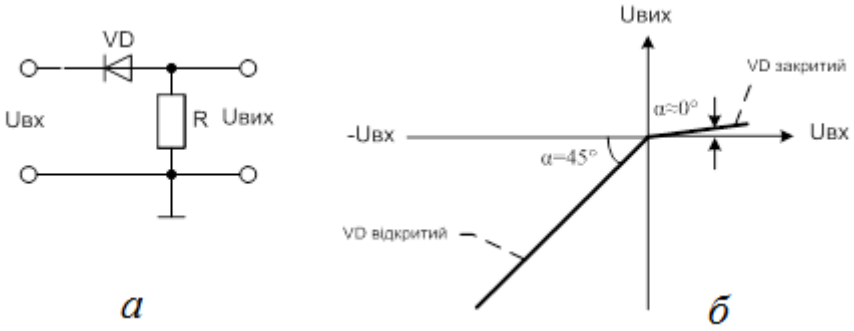


Рис. 6.2. Послідовний ДКЛ:
а – схема послідовного ДКЛ; *б* – передатна характеристика

Для зміни нульового порога спрацьовування в схему вводять додаткове джерело напруги зсуву $E_{\text{ЗС}}$ (рис. 6.3). Величина і полярність включення цієї напруги визначають моменти відкривання діода, а отже, вид передатної характеристики ключа. На рис. 6.3 наведено різні варіанти включення діода та $E_{\text{ЗС}}$ в схемах послідовних ДКЛ і їх передатні характеристики. Для правильної роботи цих схем потрібно щоб виконувалися умови:

$$\text{R} >> \text{R}_{\text{VD.ПР}}; \text{R}_{\text{Н}} >> \text{R}; \text{R}_{\text{VD.ЗВР}} >> \text{R}; \text{R}_{\text{ВН.ВХ}} \approx 0; \text{R}_{\text{ВН.ЗС}} \approx 0.$$

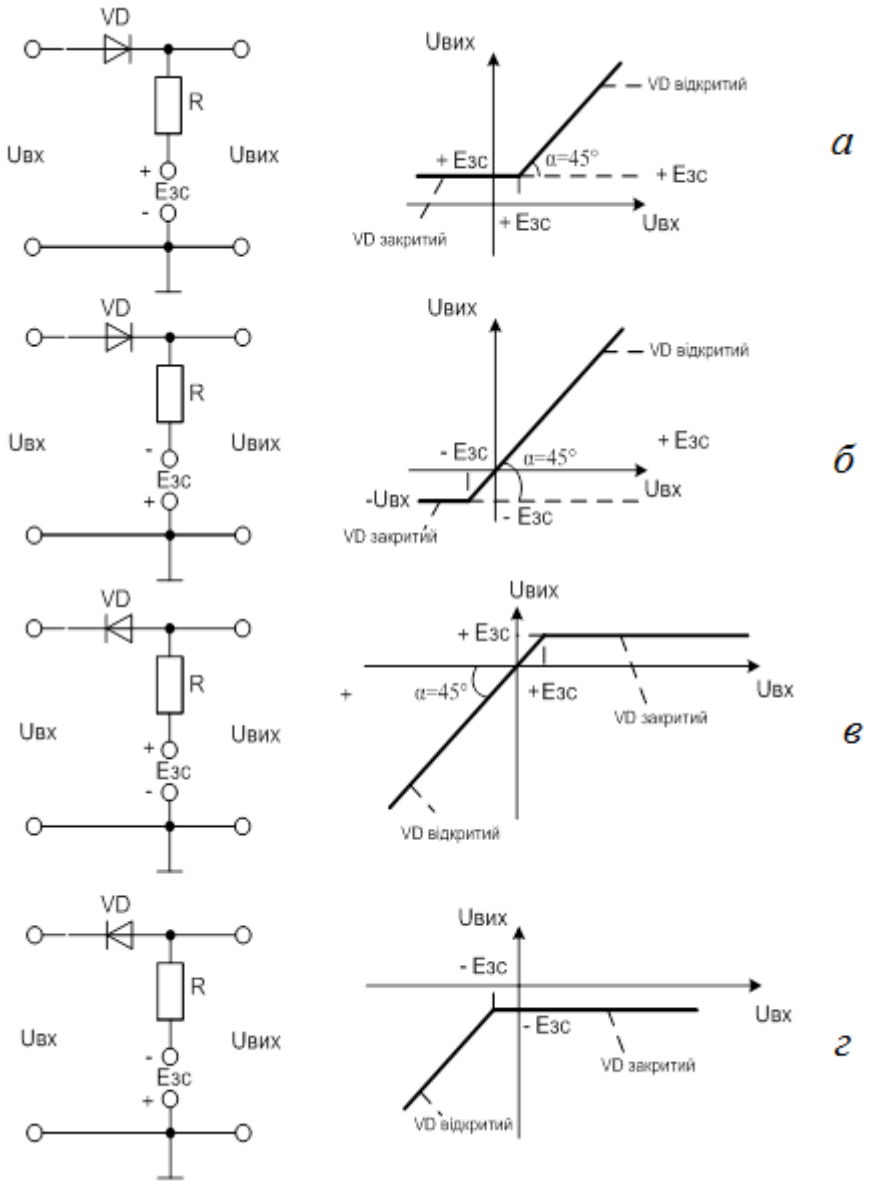


Рис. 6.3. Схеми послідовних ДКЛ та їх передатні характеристики

Оцінювання спільного впливу напруг $U_{ВХ}$ і $E_{ЗС}$ на значення вихідної напруги послідовного ДКЛ

Розглянемо, наприклад, рис. 6.4.

Для оцінювання спільного впливу напруг $U_{ВХ}$ і $E_{ЗС}$ скористаємося принципом суперпозиції, який застосовується під час аналізування лінійних електронних ланцюгів. Хоча НД є нелінійним елементом, але в статичному режимі його може бути представлено активними опорами $R_{VD.ПР}$ і $R_{VD.ХВР}$, що мають дуже мале $R_{VD.ПР} \approx 0$ (VD – відкритий) і дуже велике $R_{VD.ЗВР} \to \infty$ (VD – закритий) значення.

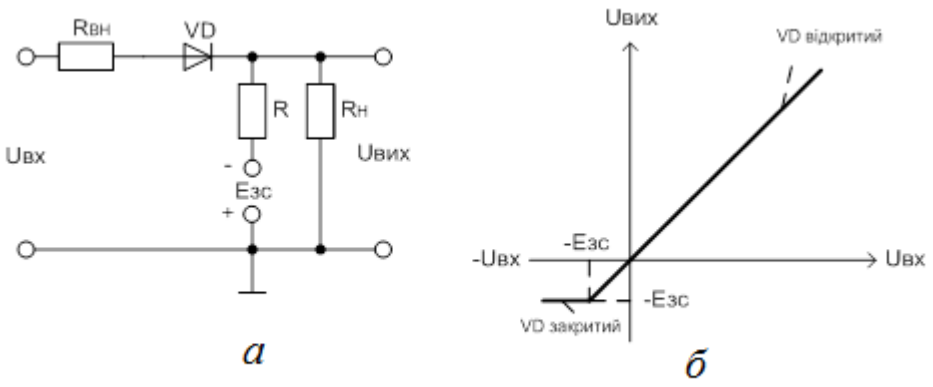


Рис. 6.4. Схема послідовного ДКЛ та його передатна характеристика

Відповідно до принципу суперпозиції, розглянемо спочатку роботу схеми за $U_{\text{ВХ}} \neq 0$, а $E_{\text{ЗС}} = 0$. Ключ можна замінити еквівалентною схемою (рис. 6.5).

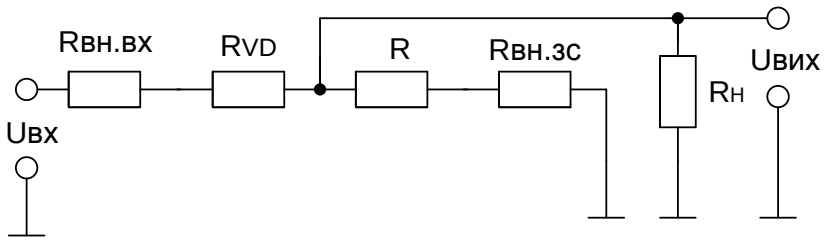


Рис. 6.5. Еквівалентна схема заміщення ДКЛ за $E_{\text{ЗС}} = 0$

Вихідна напруга для даної схеми визначається співвідношенням

$$U_{\text{ВИХ}} = U_{\text{ВХ}} \cdot \frac{\text{R} + \text{R}_{\text{ВН.ЗС}}}{\text{R}_{\text{ВН.ВХ}} + \text{R}_{\text{VD}} + \text{R} + \text{R}_{\text{ВН.ЗС}}}.$$

У формулі відсутнє значення опору навантаження $\text{R}_{\text{Н}}$, тому що $R_H >> (R + R_{BH.3C})$.

Якщо VD – відкритий, його опір $\text{R}_{\text{VD.ПР}} \approx 0$. У схемі повинна виконуватися нерівність

$$\text{R} >> \text{R}_{\text{ВН.ВХ}} + \text{R}_{\text{VD.ПР}} + \text{R}_{\text{ВН.ЗС}}. \qquad (6.1)$$

У цьому разі вихідна напруга приблизно дорівнює вхідній $(U_{ВИХ} = U_{ВХ})$.

Якщо VD – закритий, його опір $\text{R}_{\text{VD.ЗВР}} \approx \infty$. У схемі повинно виконуватися співвідношення

$$R << R_{VD.ЗВР}. \qquad (6.2)$$

У цьому разі вихідна напруга $U_{ВИХ} \approx 0.$

Тепер припустимо, що $E_{ЗС} \neq 0,$ а $U_{ВХ} = 0$. Відповідно до еквівалентної схеми ключа для цього випадку (рис. 6.6) вихідна напруга

$$U_{ВИХ} = -E_{ЗС} \cdot \frac{R_{VD} + R_{ВН.ВХ}}{R + R_{ВН.ВХ} + R_{VD} + R_{ВН.ЗС}}.$$

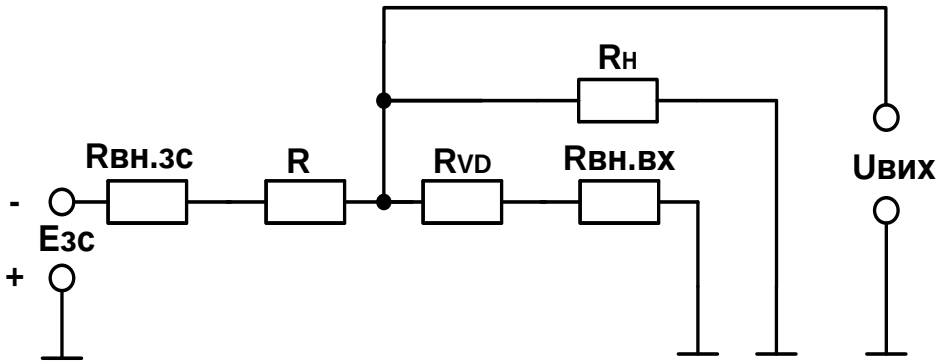


Рис. 6.6. Еквівалентна схема заміщення ДКЛ за $U_{ВХ} = 0$

Якщо VD – відкритий, то з урахуванням виконання (6.1) $U_{ВИХ} = 0$.

Якщо VD – закритий, то за умови виконання (6.2) $U_{ВИХ} = -E_{ЗС}$.

Під час спільного впливу $U_{ВИХ}$ і $E_{ЗС}$ вихідна напруга дорівнює

$U_{ВИХ} = U_{ВХ}$, якщо VD – відкритий,

$U_{ВХ} = -E_{ЗС}$, якщо VD – закритий.

Отриманий результат підтверджує вид передатної характеристики розглянутого ключа (рис. 6.4, *б*).

Аналогічним способом можна визначити напругу на виході кожної зі схем, які представлено на рис. 6.3.

6.1.3. Паралельні діодні ключі

У схемі паралельного ДКЛ (рис. 6.7, *а*) опір навантаження включається паралельно з діодом.

Внутрішній опір джерела $R_{ВН}$ і опір навантаження $R_{Н}$ на рис. 6.7 не показано, тому що вважаємо, що $R_{Н} \approx \infty; R_{ВН} = 0.$

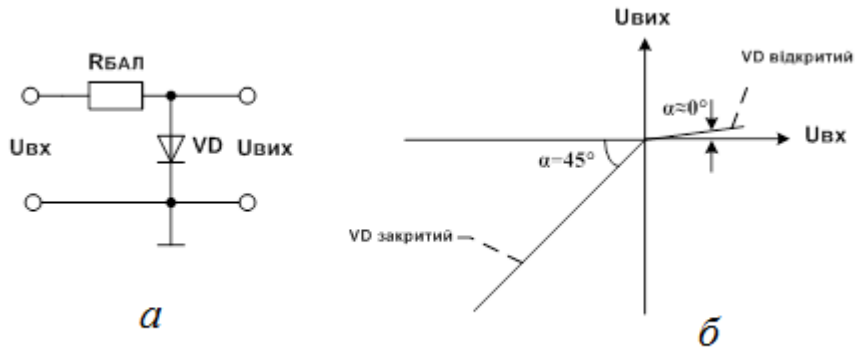


Рис. 6.7. Паралельний ДКЛ:
а – схема паралельного ДКЛ; *б* – передатна характеристика

Пі час подавання на вхід ключа додатної напруги $(U_{BX} > 0)$ діод відкривається і напруга на ньому, а отже, на виході близька до нуля.

Приріст вхідної напруги, що викликає зміну струму у вхідному ланцюзі, падає на баластному опорі $R_{БАЛ}$. Під час надходження від'ємної вхідної напруги $(U_{BX} < 0)$ діод закривається і напруга на виході стає рівною напрузі на вході (рис. 6.7, *б*).

Вихідна напруга ключа зв'язана з вхідною залежністю

$$U_{ВИХ} = U_{BX} \cdot \frac{R_{VD}}{R_{БАЛ} + R_{VD}} = U_{BX} \cdot \frac{1}{\frac{R_{БАЛ}}{R_{VD}} + 1},$$

де $\frac{1}{\frac{R_{БАЛ}}{R_{VD}} + 1} = tg\alpha, \alpha = arctg \frac{1}{\frac{R_{БАЛ}}{R_{VD}} + 1}$.

Значення α залежить від стану діода. Якщо VD – відкритий $(R_{VD.ПР} = 0)$, то $\alpha = 0^{\circ}$. Якщо VD – закритий $R_{VD.ЗВР} = \infty$, $tg\alpha = 1$, а $\alpha = 45^{\circ}$.

Під час зміни полярності включення діода графік функції $U_{ВИХ} = f(U_{BX})$ повернеться на 180° (рис. 6.8).

У схемах паралельних ключів (рис. 6.7, 6.8) порогова напруга $U_{ПОР} = 0$. На рис. 6.9 показано різні варіанти включення діода і джерела зсуву $E_{ЗС}$, що змінює порогову напругу в паралельних ДКЛ, і їх передатні характеристики.

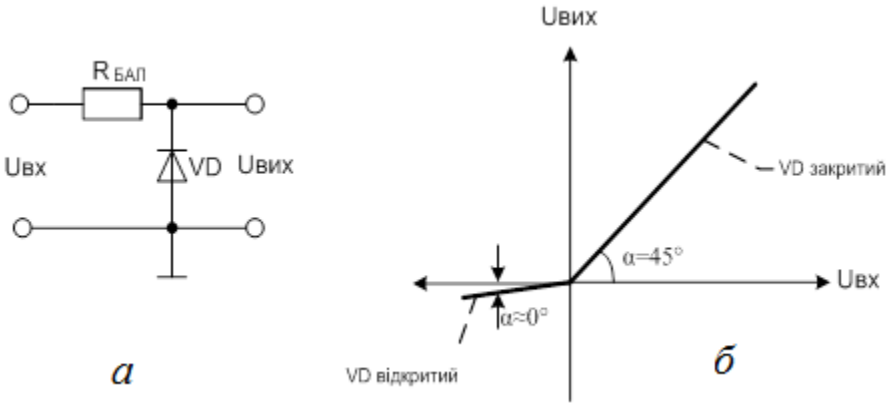


Рис. 6.8. Паралельний ДКЛ:
а – схема паралельного ДКЛ; *б* – передатна характеристика

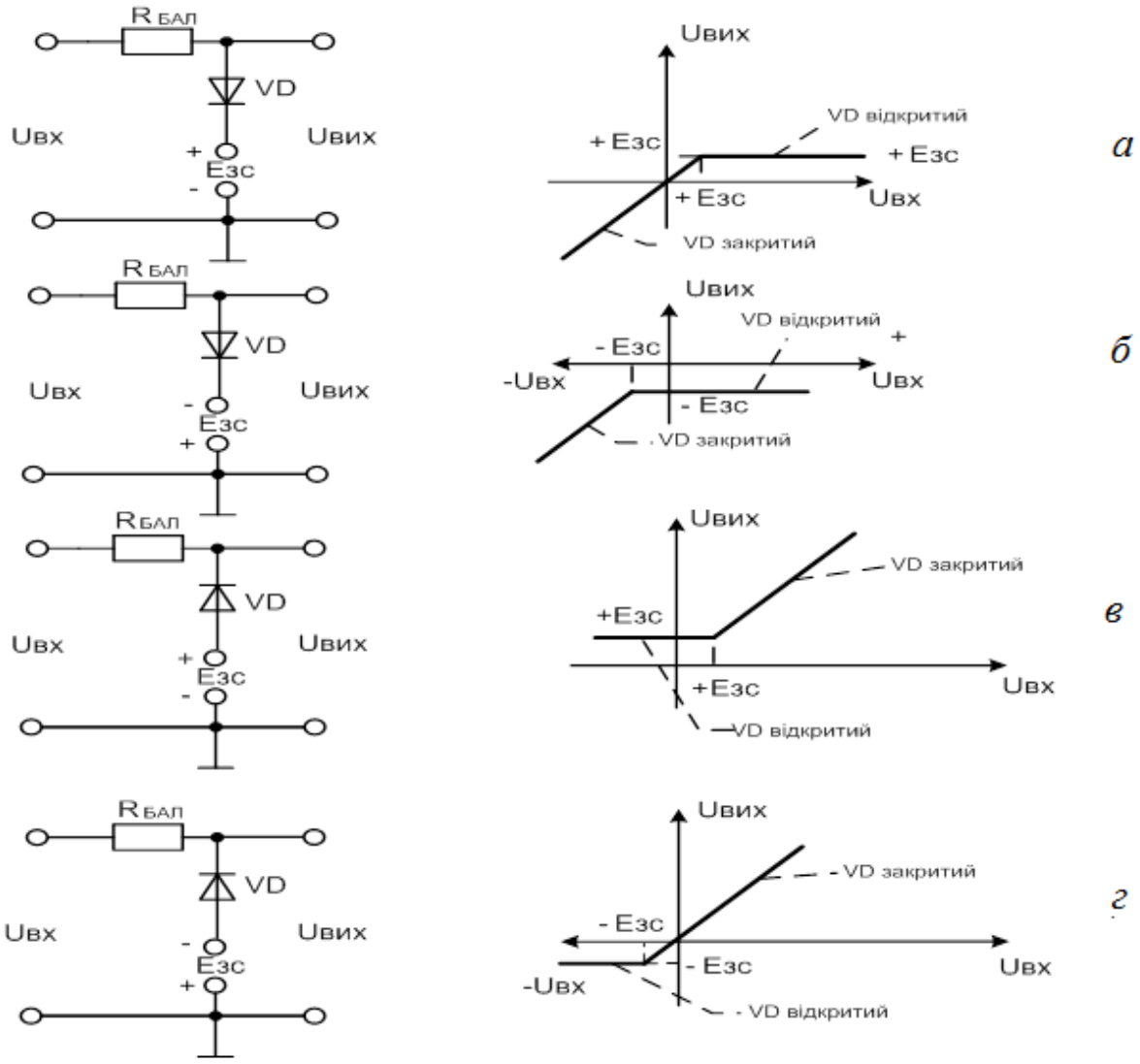


Рис. 6.9. Схеми паралельних ДК та їх передатні характеристики

Для правильної роботи схем (рис. 6.9) повинно виконуватися наступне:

$$R_{БАЛ} >> R_{VD.ПР}; R_{Н} >> R_{БАЛ}; R_{VD.ЗВР} >> R_{БАЛ}; R_{ВН.ВХ} \approx 0; R_{ВН.ЗС} \approx 0.$$

Вираз для визначення напруги на виході паралельних ключів (рис. 6.9) можна одержати аналогічно прикладу, розглянутому вище під час аналізу послідовного ДКЛ.

Застосування послідовного (рис. 6.1, *а*) чи паралельного ДКЛ (рис. 6.8, *а*) ілюструє рис. 6.10.

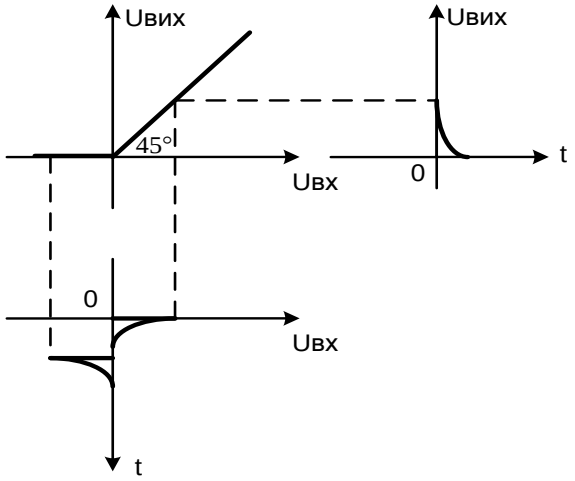


Рис. 6.10. Приклад застосування ДКЛ

Даний приклад показує одне з можливих застосувань ДКЛ – передачу в навантаження вхідного додатного імпульсу і блокування від'ємного.

Діодні ключі часто застосовуються в обмежувачах амплітуди імпульсів (див. підрозд. 6.1.4).

6.1.4. Діодні обмежувачі амплітуди

Амплітудними обмежувачами, чи просто обмежувачами називають нелінійні чотириполюсники, вихідна напруга яких за формою збігається з вхідним сигналом до визначеного значення, яке називають рівнем обмеження.

На рис. 6.11 наведено передатні характеристики обмежувачів різного типу:

а – обмеження за максимумом (зверху);

б – обмеження за мінімумом (знизу);

в – двостороннє обмеження (зверху і знизу).

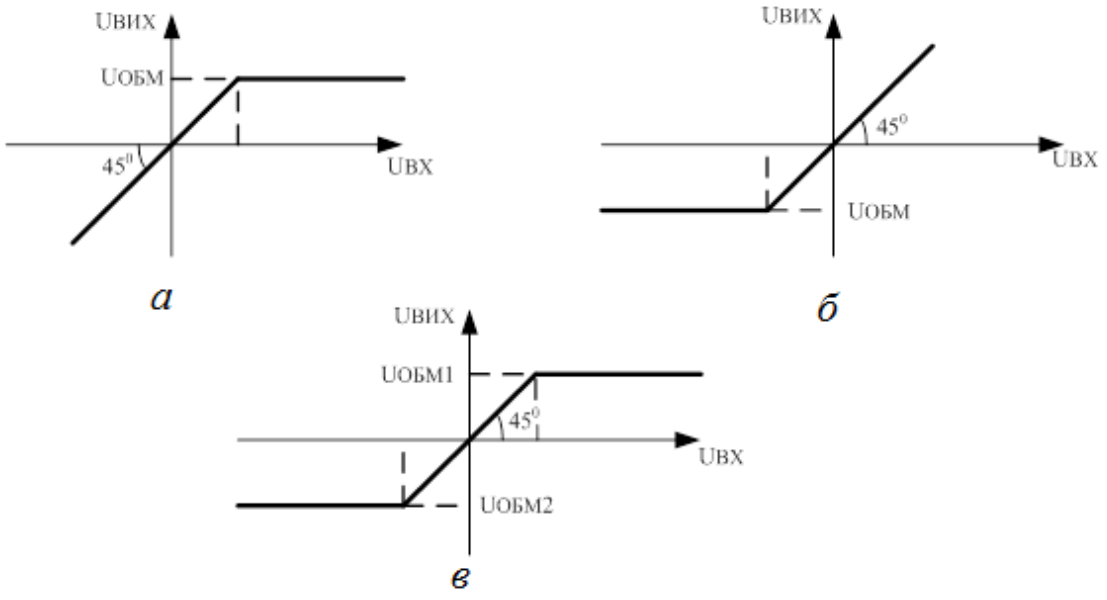


Рис. 6.11. Передатні характеристики обмежувачів амплітуди

Як нелінійні елементи в обмежувачах широко використовуються НД, транзистори й ОП.

Функцію діодного обмежувача можуть виконувати ДКЛ, які розглянуто вище.

Обмежувачі з послідовним включенням діода і навантаження (послідовні) можуть обмежувати вхідний сигнал знизу (рис. 6.12, *а*), зверху (рис. 6.12, *б*) чи здійснювати двостороннє обмеження (рис. 6.12, *в, г*).

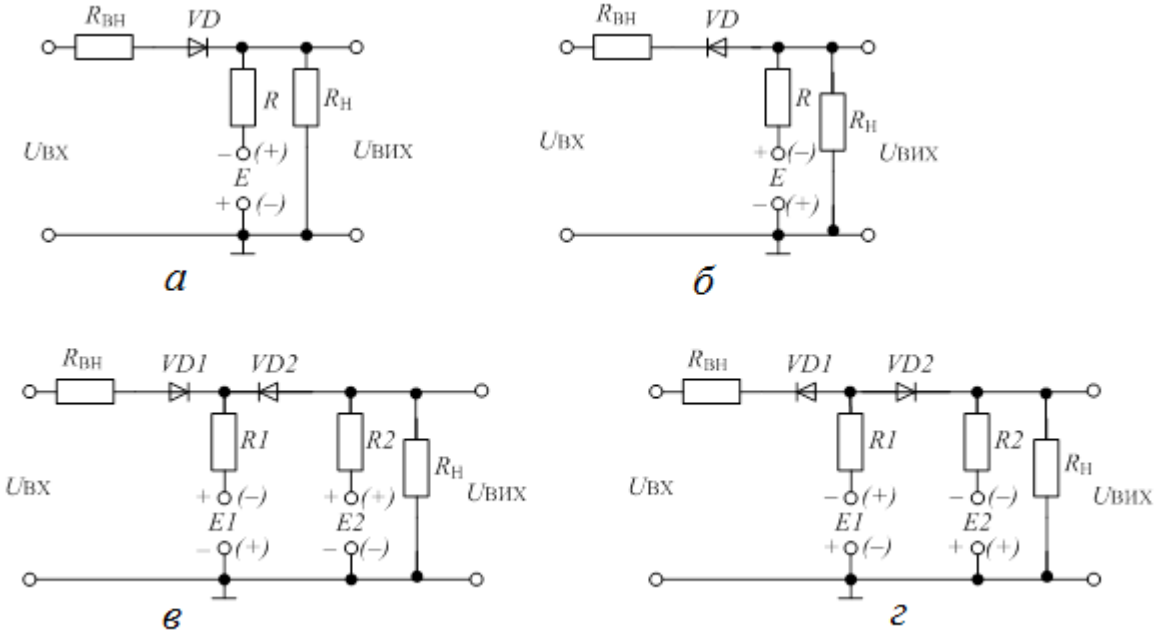


Рис. 6.12. Схеми послідовних обмежувачів:
а – знизу; *б* – зверху; *в, г* – двосторонніх

Загальним для наведених схем є те, що вихід зв'язаний із джерелом вхідного синусоїдального сигналу в тому випадку, коли відкрито діод в односторонньому обмежнику або відкрито обидва діоди в двосторонньому. У протилежному випадку навантаження відключається від джерела $U_{\text{вх}}$, а до неї підключається джерело постійної напруги *E*, *E*1 чи *E*2. Форма вихідної напруги названих обмежувачів залежить від напрямку включення діодів, полярності підключення джерел постійної напруги *E*, *E*1 і *E*2, співвідношень $U_{\text{вх.m}}$ і *E* в односторонніх обмежувачах і співвідношень $U_{\text{вх.m}}$, *E*1, *E*2 у двосторонніх обмежувачах.

Розглянемо, як приклад, роботу послідовного двостороннього обмежувача, який зображено на рис. 6.13 (схема та характеристики обмежувача отримані моделюванням у програмі Microcap). Якщо $U_{\text{вх}}$ > V2, то *D*1 – закритий.

Оскільки *V*3 > *V*2, то *D*2 – відкритий, при цьому $U_{\text{вих}} \approx V2$. Якщо $U_{\text{вх}}$ > *V*2; $U_{\text{вх}}$ < *V*3, то *D*1 і *D*2 – відкриті, $U_{\text{вих}} \approx U_{\text{вх}}$. Якщо $U_{\text{вх}}$ > *V*2; $U_{\text{вх}}$ > *V*3, то *D*1 – відкритий, *D*2– закритий, $U_{\text{вих}} \approx V3$. Якщо $U_{\text{вих}}$ > *V*2, $U_{\text{вх}}$ < *V*3, то обидва діоди відкриті і $U_{\text{вих}} \approx U_{\text{вх}}$.

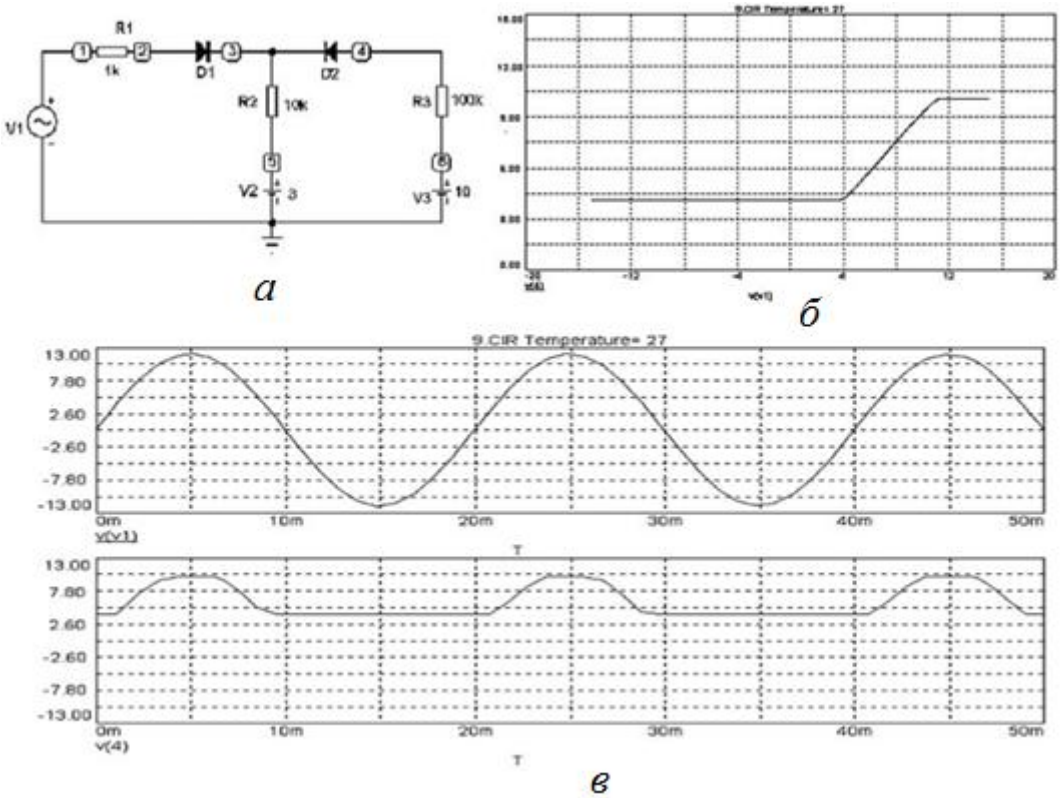


Рис. 6.13. Послідовний двосторонній обмежувач: *а* – схема; *б* – передатна характеристика; *в* – вхідний і вихідний сигнали

У схемах названих обмежувачів повинні виконуватися співвідношення елементів: $R1 >> R_{VD.ПР.}$; $R2 >> R1$; $R3 >> R2$; $R_Н >> R3$; $R_{VD.ЗВР} >> R3$; $R_{ВН.ВХ} \to 0$; $R_{ВН.V1,V2,V3} \to 0$; $V3 > V2$.

Обмежники з паралельним включенням діода й опору навантаження (паралельні) так само можуть здійснювати обмеження знизу (рис. 6.14, *а*), зверху (рис. 6.14, *б*) і двостороннє (рис. 6.14, *в*, *г*). У цих схемах обмеження відбувається в ті моменти, коли відповідний діод відкритий.

Прямий опір діода і падіння напруги на ньому малі і подальші зміни вхідного струму на них не впливають. У цьому разі $U_{ВИХ} \approx E$, а все збільшення вхідної синусоїдальної напруги, що викликає зміну струму у вхідному ланцюзі, спадає на баластному опорі $R1$. Його значення вибирають відповідно до умов: $R1 >> R_{VD.ПР}$; $R_Н >> R1$.

Форма вихідної напруги паралельних обмежувачів залежить від напруги вмикання діодів, полярності підключення джерел постійної напруги E, $E1$, $E2$, співвідношення значень $U_{ВХ.m}$ і E в односторонніх обмежувачах і співвідношень значень $U_{ВХ.m}$, $E1$, $E2$ у двосторонніх обмежувачах.

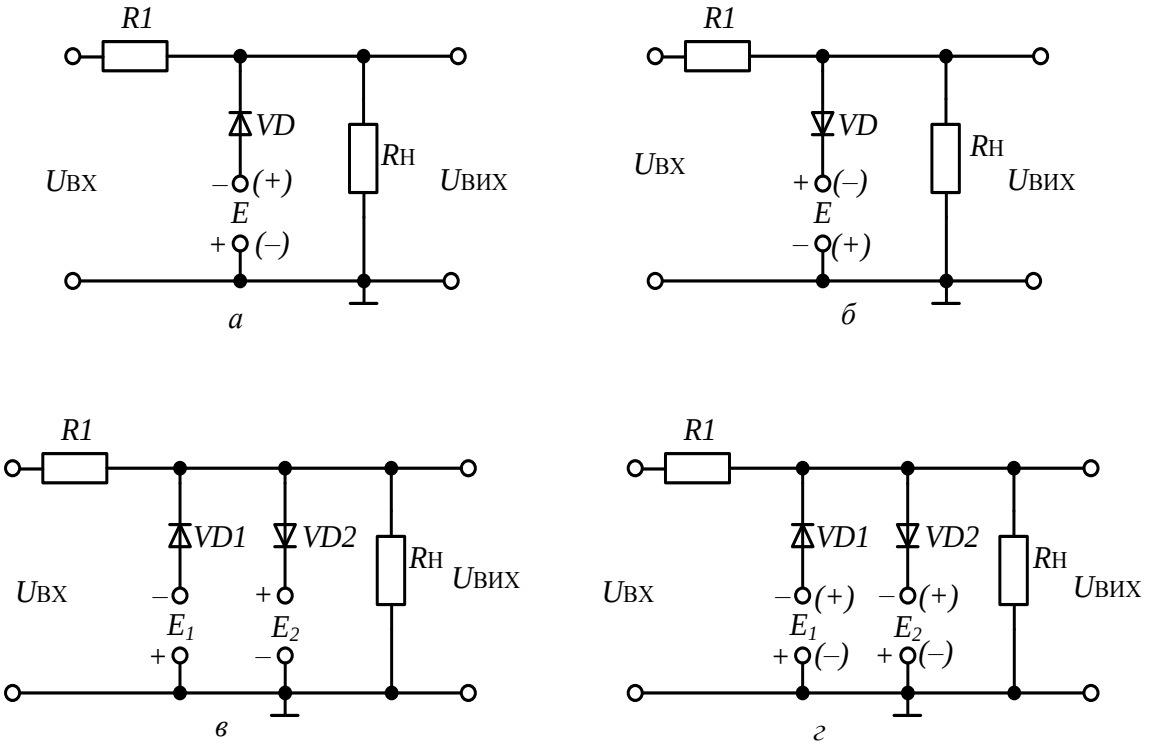


Рис. 6.14. Схеми паралельних обмежувачів:
а – знизу; *б* – зверху; *в*, *г* – двосторонніх

Розглянемо як приклад роботу паралельного двостороннього обмежувача, який зображено на рис. 6.15 (схема та характеристики обмежувача отримані моделюванням у програмі Microcap).

Якщо $U_{ВХ} < V1$, то $D1$ – відкритий; тому що $V2 > V1$, то $D2$ – закритий; $U_{ВИХ} \approx V1$. Якщо $U_{ВХ} > V1$, $U_{ВХ} < V2$, то обидва діоди закриті; $U_{ВИХ} \approx U_{ВХ}$. Якщо $U_{ВХ} > V1$, $U_{ВХ} > V2$, то $D1$ – закритий, $D2$ – відкритий; $U_{ВИХ} \approx V2$. Якщо $U_{ВХ} > V1$, $U_{ВХ} < V2$, то обидва діоди закриті; $U_{ВИХ} \approx U_{ВХ}$. Якщо $U_{ВХ} < V1$, то $D1$ – відкритий; $V1 < V2$, то $D2$ – закритий; $U_{ВИХ} \approx V1$. Далі описаний процес повторюється.

У схемах названих паралельних обмежувачів повинні виконуватися співвідношення елементів: $R1 >> R_{VD.ПР}$; $R_Н >> R1$; $R_{VD.ЗВР} >> R1$; $V2 > V1$; $R_{ВН.ВХ} \rightarrow 0$; $R_{ВН.V1,V2} \rightarrow 0$.

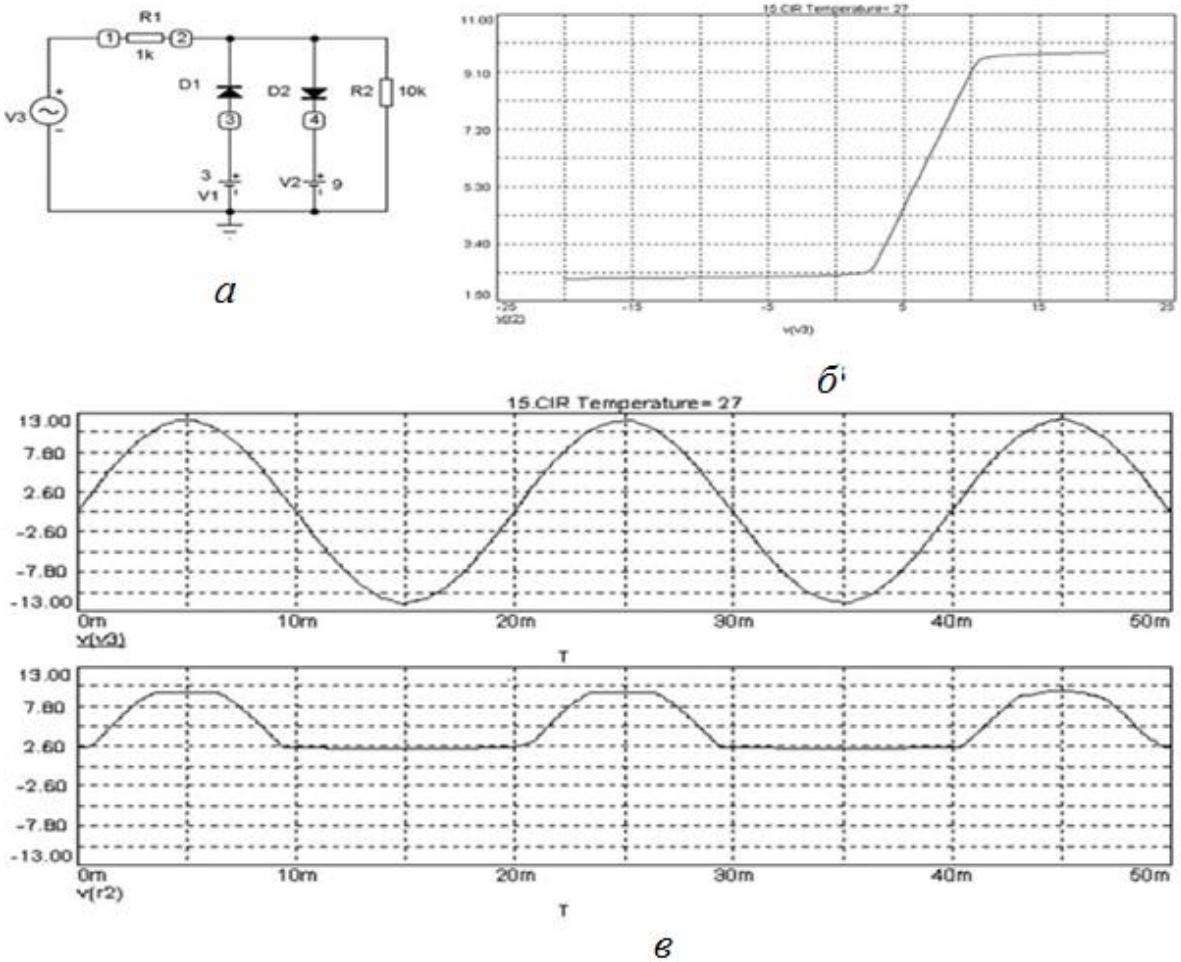


Рис. 6.15. Паралельний двосторонній обмежувач: *а* – схема; *б* – передатна характеристика; *в* – вхідний і вихідний сигнали схеми

6.2. Тиристорні ключі

6.2.1. Принцип роботи та особливості застосування тиристорів в ключах

Тиристором називається електроперетворюючий напівпровідниковий прилад, що містить три і більш *p-n*-переходи, вольт-амперна характеристика якого має ділянку від'ємного диференціального опору.

Якщо такий прилад включити в електричний ланцюг змінного струму, то він відкривається, пропускаючи струм до навантаження, коли миттєве значення напруги на ньому досягає визначеного рівня або під час подання відмикаючої напруги на спеціальний КЕ. Тиристори є ключовими елементами і тривалий час можуть знаходитися в одному з двох стійких станів: ввімкненому і вимкненому. За кількістю зовнішніх електродів вони поділяються на двоелектродні (некеровані) – діодні тиристори (динистори) і триелектродні (керовані) – тріодні тиристори (див. підрозд. 1.6).

Найпростіший тиристор (діодний) є чотиришаровим напівпровідниковим приладом, що складається з чотирьох послідовно почергових областей із провідностями *p*- і *n*-типу (див. підрозд. 1.6.2).

Порівняно з діодним тиристором тріодний тиристор містить додатковий електрод, що називають керувальним (КЕ). Від додаткового зовнішнього джерела $E_{\text{КЕР}}$ за рахунок струму керування $I_{\text{КЕР}}$ через КЕ в базу, наприклад, P_2 вводиться додаткова кількість основних носіїв – дірок (рис. 6.16, *а*).

Це дозволяє ввімкнути тріодний тиристор у разі меншого значення $U_{\text{А.ВМ}}$, ніж діодний. Зі збільшенням струму керування $U_{\text{А.ВМ}}$ зменшується. За $I_{\text{КЕР}} = I_{\text{КЕР.С}}$ (струм спрямлення) відбувається спрямлення ВАХ тріодного тиристора, що перетворюється в характеристику звичайного діода.

Умова вмикання тріодного тиристора $U_{\text{А.ПР}} \geq U_{\text{А.ВМ}}$ за $I_{\text{КЕР}} = const; I_{\text{А.ПР}} \geq I_{\text{А.ВИМ}}$, де $I_{\text{А.ВИМ}}$ – струм вимикання – мінімальний прямий струм, що підтримує тиристор у ввімкненому стані безпосередньо після його вмикання і зняття керування.

Для вимикання тріодного тиристора необхідно: зменшити прямий струм до значення: $I_{\text{А.ПР}} < I_{\text{А.УТ}}$, де $I_{\text{А.УТ}}$ – струм утримання – мінімальний прямий струм, що не вимикає тиристор, проходячи через нього у разі розімкнутого ланцюга керування, або подати на прилад напругу зворотної полярності.

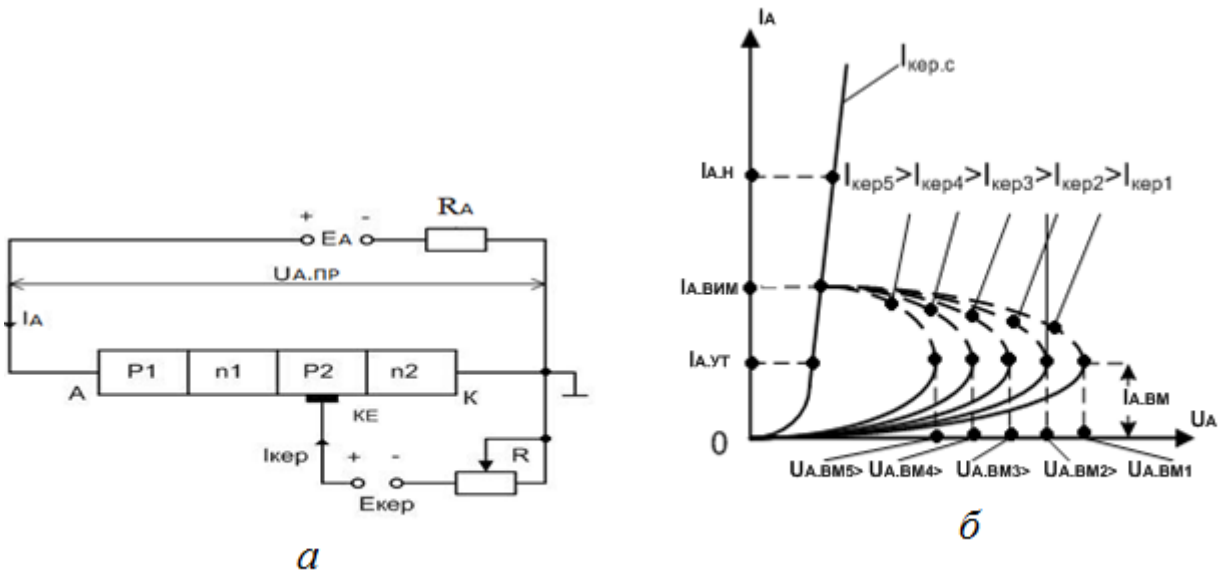


Рис. 6.16. Керований тиристор: *а* – схема включення; *б* – ВАХ

Застосування тиристорів обумовлено переважно двома властивостями:

– наявністю ділянки від’ємного диференціального опору;
– наявністю двох стійких станів.

Перша властивість дозволяє використовувати тиристори в підсилювальних і генераторних схемах, а друга – застосовувати їх у ключових і перемикальних електронних пристроях різного призначення.

6.2.2. Застосування тиристора в керованому випрямлячі

У сучасній електротехніці широко застосовуються вентильні перетворювачі: випрямлячі, інвертори, перетворювачі частоти. Розглянуті в цьому розділі керовані вентильні перетворювачі використовуються для якірного керування двигуном постійного струму з незалежним збудженням і є керованими випрямлячами. Джерелом енергії є мережа змінного струму. Принцип керування полягає в тому, що в додатний напівперіод вентиль подібно ключу відкривається і подає напругу до якоря лише частину цього напівперіоду. Напруга і струм на виході такого перетворювача містять постійні і змінні складові. Для аналізу роботи двигуна постійного струму необхідно знайти постійні складові напруги і струму перетворювача, які визначаються середніми значеннями цих величин за період зміни напруги мережі. Змінюючи момент (фазу) відкриття вентиля, змінюють середнє значення напруги на якорі і, таким чином, керують двигуном.

Як вентилі, момент відмикання яких можна змінювати, в останні роки застосовують керовані вентилі – тиристори.

Є велика кількість різних схем керованих випрямлячів. За принципом дії і побудови вони можуть бути розділені на дві групи: однонапівперіодні (схеми з нульовим проводом), в яких використовують тільки одну напівхвилю напруги мережі, і двонапівперіодні (мостові схеми), де використовують обидві напівхвилі змінної напруги мережі.

Роботу найпростішої однонапівперіодної схеми подано на рис. 6.17, *а*.

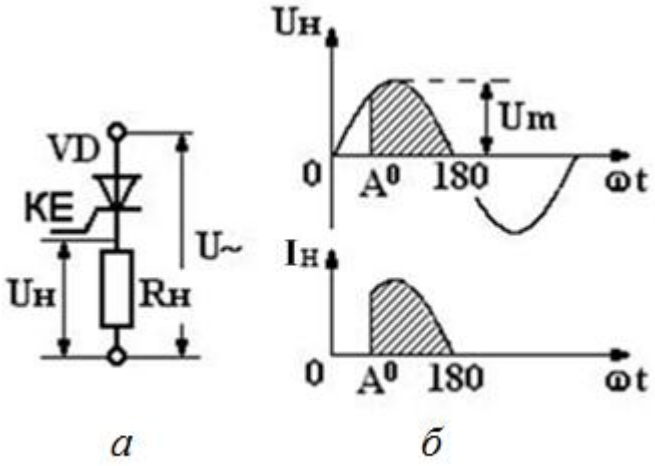


Рис. 6.17. Найпростіший однонапівперіодний керований тиристорний випрямляч: *а* – схема; *б* – часові діаграми роботи

До джерела синусоїдальної напруги мережі $U\sim$ з амплітудою U_m підключено навантаження $R_Н$ і тиристор *VD*, що відкривається подачею на КЕ імпульсу напруги від схеми керування в момент часу, який обумовлено кутом відмикання A^o.

Оскільки навантаження резистивне, крива струму (рис. 6.17, *б*) повторює криву напруги. В момент часу $\omega t = 180^o$ струм зменшується до нуля і тиристор закривається. Цей процес повторюється кожен додатний напівперіод (у від'ємний напівперіод тиристор вимкнуто напругою мережі).

Керування тиристором бажано здійснювати імпульсом малої тривалості (тому що її збільшення пов'язане зі зростанням потужності схеми керування), але дещо перевищуючої час вмикання тиристора, тобто час його переходу з закритого стану у відкритий.

Необхідно також забезпечити досить крутий передній фронт керувального імпульсу, що зменшить втрати потужності в тиристорі під час вмикання, а отже, його нагрівання.

В інтервалі A^o …180° до навантаження підводитися напруга

$$U_{\text{Н}} = U_m \sin \omega t \,. \tag{6.3}$$

Розглянутий фазовий метод керування може бути реалізовано за допомогою фазозсувальних способів, одним із яких є «вертикальний» спосіб керування, який оснований на порівнянні опорної напруги $U_{\text{ОП}}$ (зазвичай пилкоподібної форми – $U_{\text{ГНЗЛ}}$) і постійного сигналу керування $U_{\text{КЕР}}$ (рис. 6.18, *б*).

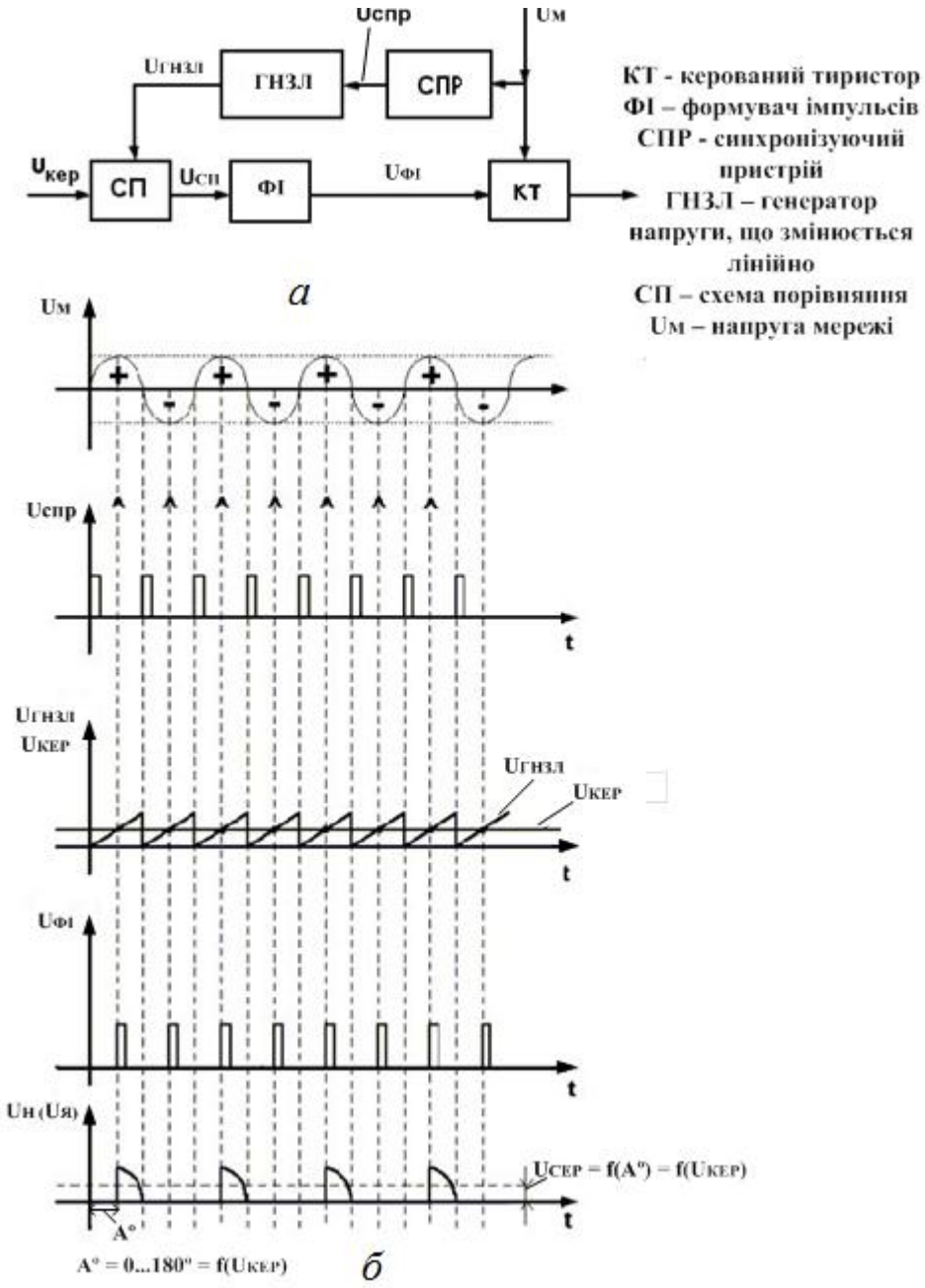


Рис. 6.18. Керований тиристорний випрямляч:
а – структурна схема; *б* – часові діаграми роботи

Рівність миттєвих значень цих напруг визначає фазу A^{o}, за якої схема порівняння виробляє імпульс, який потім підсилюється і подається на КЕ тиристора. Зміна фази A^{o} керувального імпульсу досягається зміною рівня напруги сигналу керування $U_{КЕР}$. Структурну схему пристрою наведено на рис. 6.18, *а*.

Опорна напруга, яку виробляє генератор пилкоподібної напруги (ГПН) і яку синхронізовано з напругою мережі за допомогою синхронізувального пристрою (СПР), подається на схему порівняння (СП), на яку одночасно надходить і напруга сигналу керування $U_{КЕР}$. Сигнал зі схеми порівняння надходить на формувач імпульсів ФІ, звідкіль у вигляді потужного з крутим фронтом імпульсу $U_{ФІ}$, який регулюється за фазою, подається на КЕ тиристора.

Інтегруючи (6.3) на інтервалі $A...\pi$, визначимо середнє за період значення напруги на навантаженні:

$$U_{Н}=U_{сер}=\frac{1}{2\pi}\int_{A}^{\pi}U_{m}\sin\omega t\,dt=\frac{U_{m}}{2\pi}\left(1+\cos A\right).$$

6.2.3. Широтно-імпульсні перетворювачі на тиристорах

Для імпульсного керування двигунами постійного струму часто використовуються широтно-імпульсні перетворювачі (ШІП), які виконано на транзисторних чи тиристорних ключах. Застосування останніх дозволяє істотно підвищити потужність перетворювачів. На рис. 6.19 наведено структурну схему пристрою, відповідно до якої здійснюють «вертикальний» спосіб керування тиристорними ШІП, і часові діаграми його роботи.

Тривалість циклу $t_{ц}$ визначається частотою задаючого генератора (ЗГ), імпульси ($U_{ЗГ}$) якого подаються одночасно на генератор опорної пилкоподібної напруги (ГПН, на рис. 6.19 – ГНЗЛ) і формувач імпульсів ФІ1. Вмикання тиристора здійснюється імпульсами $I_{КЕР1}$, що надходять від формувача ФІ1.

Схема СП порівнює опорну пилкоподібну напругу з напругою керування $U_{КЕР}$ і в момент їх рівності посилає сигнал у формувач імпульсів ФІ2, що формує і подає від'ємні імпульси $I_{КЕР2}$, що здійснюють вимикання тиристора.

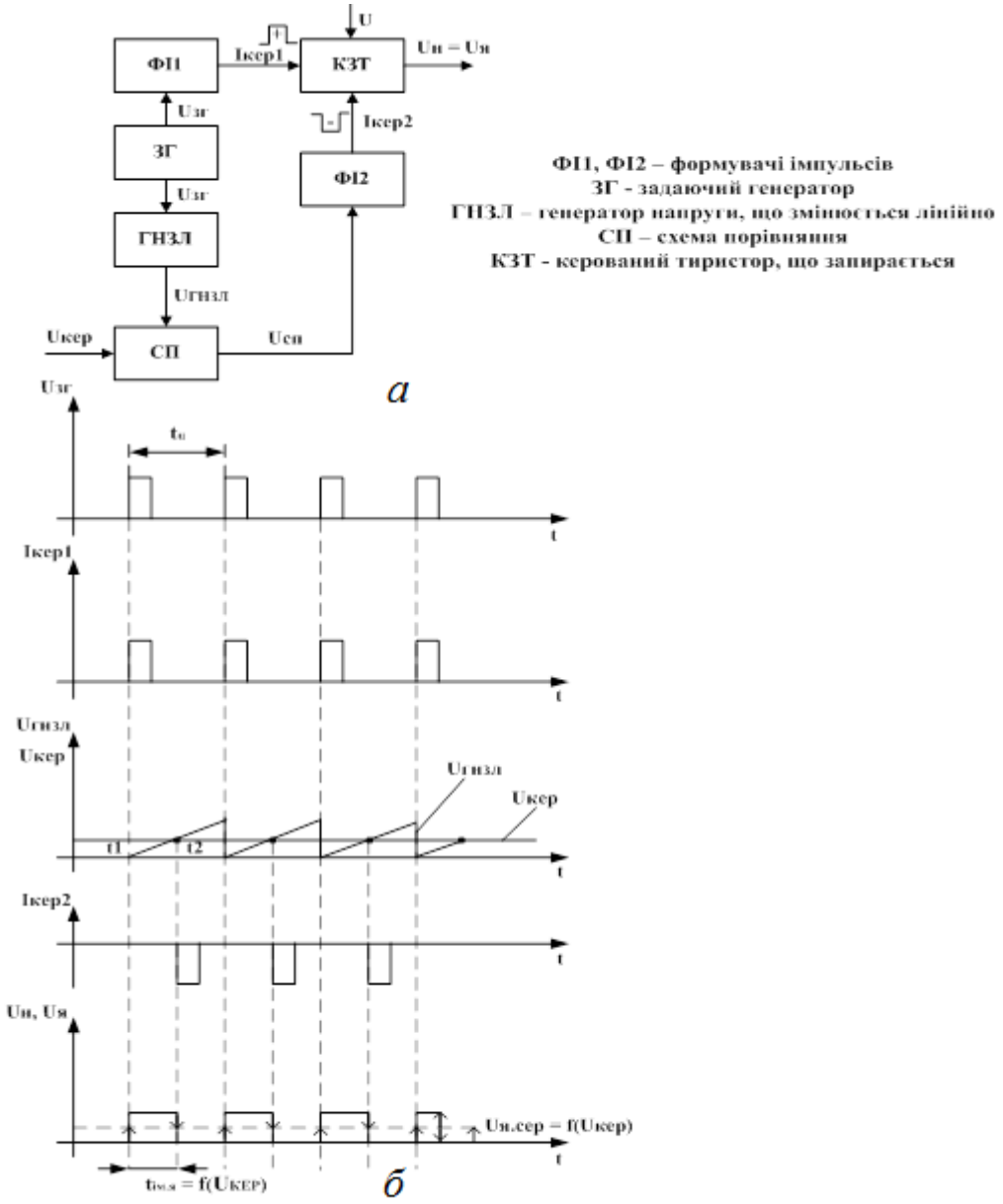


Рис. 6.19. Широтно-імпульсний перетворювач на тиристорі:
а – структурна схема; *б* – часові діаграми роботи

У результаті на навантаження, наприклад, якірну обмотку двигуна постійного струму (ДПС), надходить напруга $U_{\text{Н}}$ імпульсної форми, середнє значення якої залежить від напруги живлення тиристора U і шпаруватості імпульсів Q :

$$U_{H.CEP} = \frac{U}{Q} = U \cdot \frac{t_{ім.я}}{t_{ц}}.$$

Таким чином, змінюючи величину $U_{\text{КЕР}}$, можна регулювати тривалість імпульсу $t_{\text{ім.я}}$, а отже, змінювати $U_{\text{Н.СЕР}} = U_{\text{Я.СЕР}}$, тобто змінювати частоту обертання ДПС.

Помітимо, що ШІП можна спроектувати на двоопераційних, тобто цілком керованих тиристорах, запирання яких роблять за допомогою подавання від'ємного імпульсу $I_{\text{КЕР2}}$ безпосередньо на їхній КЕ. Потужність таких ШІП, однак, не перевищує 1...2 кВт.

6.3. Транзисторні ключі

6.3.1. Загальні відомості про транзисторні ключі

Як електронні ключі в імпульсній техніці широко застосовуються транзисторні ключі (ТК) на біполярних і польових транзисторах. Дія ТК основана на властивості транзистора мати малий опір в увімкнутому стані і великий – у вимкнутому. На відміну від транзисторів, які застосовуються в підсилювачах, транзистор у ТК працює в ключовому режимі, використовуючи нелінійні ділянки ВАХ транзистора. Транзистор встановлюється послідовно з комутуючою ділянкою електричного ланцюга або паралельно їй.

6.3.2. Транзисторні ключі на біполярних транзисторах

Основою ТК на біполярному транзисторі є схема з СЕ, яку зображено на рис. 6.20, *а*.

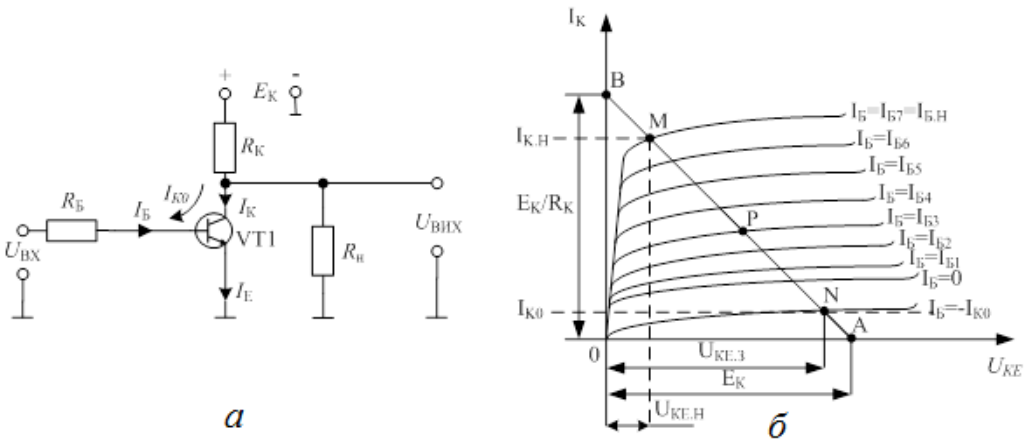


Рис. 6.20. ТК на біполярному транзисторі:
а – схема; *б* – вихідні ВАХ транзистора і динамічна характеристика

На рис. 6.20, *б* наведено статичні вихідні ВАХ транзистора і динамічна характеристика (навантажувальна пряма), що перетинає вісі координат у точках $A(U_{\text{КЕ}} = E_K, I_K = 0)$ і $\text{В}(U_{\text{КЕ}} = 0, I_{\text{К}} = E_{\text{К}} / R_{\text{К}})$.

Під час аналізу роботи ТК розглядають статичний (стаціонарний) і динамічний (перехідний) режими.

Статичному режиму відповідають два стани ТК:

– вимкнутий (ключ закритий).

– увімкнутий (ключ відкритий).

Перехідний режим полягає в переході схеми з одного статичного стану в інший.

Вимкнутий (закритий) стан ТК

Якщо на вхід ТК, виконаного на транзисторі типу *n-p-n*, подати від'ємний імпульс (рис. 6.21), то *VT*1 закритий і його робоча точка знаходиться в області відсічення.

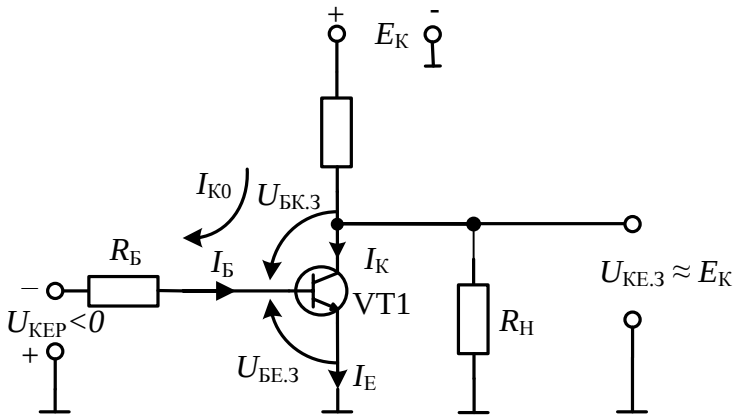


Рис. 6.21. Вимкнутий (закритий) стан ТК

Обидва переходи транзистора зміщені в зворотному напрямку і умова відсічення має вигляд

$$U_{БЕ.З} \le 0, U_{БК.З} \le 0. \qquad (6.4)$$

Оскільки зсув колекторного переходу в зворотному напрямку забезпечується джерелом живлення $+E_K$, то умову (6.4) можна спростити:

$$U_{БЕ.З} \le 0. \qquad (6.5)$$

У режимі відсічення робоча точка транзистора знаходиться в точці *N* навантажувальної прямої (рис. 6.20, *б*). Через колекторний перехід проходить

зворотний струм насичення (струм неосновних носіїв) $I_{К0}$. Струми транзистора зв'язані виразами:

$$I_К = I_{К0}, I_Б = -I_{К0}, I_Е = I_К + I_Б = 0.$$

Напруга на базі закритого транзистора $U_{БЕ.З} = -U_{КЕР} + I_{К0}R_Б$.

Для виконання умови відсічення ключа (6.5) амплітуду вхідної керувальної напруги треба вибирати з виразу

$$|U_{КЕР}| \geq I_{К0}R_Б.$$

Напруга на виході закритого транзистора

$$U_{КЕ.З} = E_К - I_{К0}R_К \approx E_К.$$

Увімкнутий (відкритий) стан ключа

Якщо на вхід ключа подано додатний імпульс (рис. 6.22), то транзистор відкрито і його робоча точка знаходиться в області насичення.

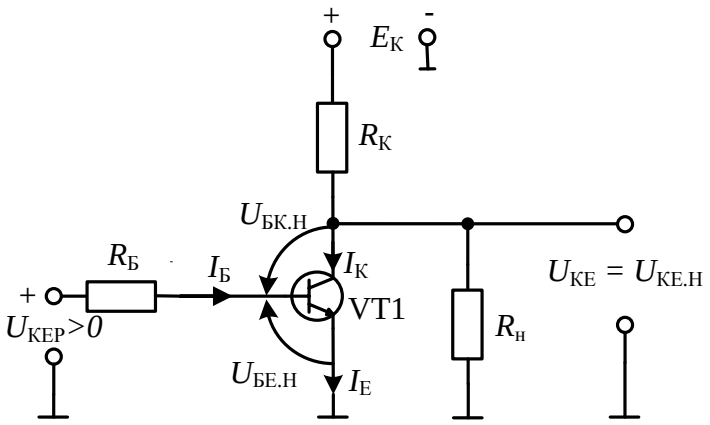


Рис. 6.22. Увімкнутий (відкритий) стан ключа

Обидва переходи транзистора відкрито, і умова насичення має вигляд

$$U_{БЕ.Н} > 0, U_{БК.Н} > 0.$$

Величина струму бази, яку обумовлено вхідною додатною напругою, повинна відповідати нерівності

$$I_Б \geq I_{Б.Н},$$

де $I_{Б.Н}$ – значення струму бази, за якого робоча точка транзистора знаходиться на границі активної області й області насичення (точка *М* навантажувальної прямої (рис. 6.20, *б*)).

Величина базового струму насичення

$$I_{Б.Н} = \frac{I_{К.Н}}{\beta},$$

де $I_{К.Н}$ – значення струму колектора, що відповідає границі області насичення; β – коефіцієнт передачі (підсилення) струму в схемі зі СЕ.

Значення струму колектора відкритого транзистора обмежено резистором $R_К$ і визначається з формули

$$I_{К.Н} = (E_К - U_{КЕ.Н}) / R_К,$$

де $U_{КЕ.Н}$ – падіння напруги на відкритому транзисторі (вихідна напруга увімкнутого ключа).

Як випливає з рис. 6.20, *б*, величина $U_{КЕ.Н}$ мала $(U_{КЕ.Н} \approx 0)$. Тому умову насичення можна записати у вигляді

$$I_{К.Н} = \frac{E_К}{R_К},$$
$$I_Б \geq I_{Б.Н} = \frac{I_{К.Н}}{\beta} = \frac{E_К}{R_К \beta}. \qquad (6.6)$$

Для надійного насичення транзистора необхідно, щоб умова (6.6) виконувалася за $\beta = \beta_{\min}$.

Величина

$$S = \frac{I_К}{I_{К.Н}} = \frac{I_Б}{I_{Б.Н}} \qquad (6.7)$$

називається коефіцієнтом (ступенем) насичення транзистора.

Якщо робоча точка *VT*1 знаходиться в точці *M* навантажувальної прямої (рис. 6.20, *б*), то $I_Б = I_{Б.Н}, S = 1$.

Перехідний (динамічний) режим роботи ключа

Перехідний режим виникає під час вмикання і вимикання ключа і визначає його швидкодію.

Процес увімкнення ключа умовно можна розбити на три етапи: затримка фронту, формування фронту під час відмикання транзистора і накопичення надлишкового заряду в базі транзистора. Затримка фронту вихідної напруги ключа відносно моменту надходження вхідного вмикаючого імпульсу зв’язана з перезарядом бар’єрних ємностей транзистора $C_К$ і $C_Е$.

Величина часу затримки невелика і під час аналізу процесу увімкнення ключа її можна не враховувати. Часові діаграми роботи ТК показано на рис. 6.23.

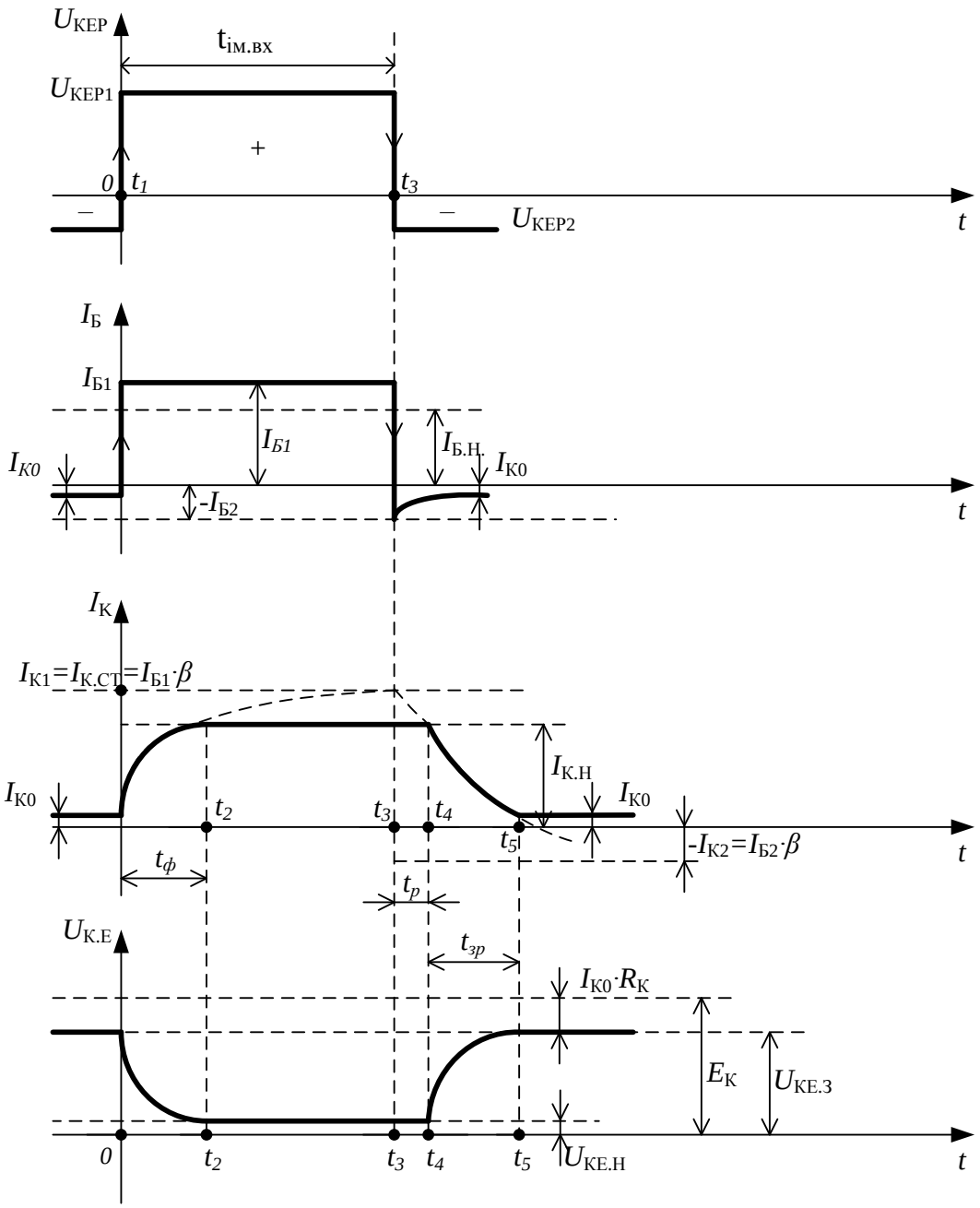


Рис. 6.23. Часові діаграми роботи ТК

Нехай у момент часу $t_1 = 0$ на вхід ключа подано додатний стрибок напруги $U_{КЕР1}$, що викликає додатний стрибок базового струму, який відмикає транзистор,

$$I_{Б1} \approx \frac{U_{КЕР1}}{R_Б} > I_{Б.Н}.$$

З цього моменту починається етап формування фронту, який обумовлено наростанням струму колектора за експоненціальним законом

$$I_К = \beta \cdot I_Б (1 - e^{-t/t_\beta}),$$

де $\tau_\beta = \dfrac{1}{\omega_\beta} = \dfrac{1}{2\pi f_\beta}$ – стала часу перехідного процесу в транзисторі, який включено за схемою зі СЕ; $f_\beta = f_\alpha / \beta$ – гранична частота в схемі зі СЕ; f_α – гранична частота в схемі зі СБ; β – коефіцієнт підсилення струму в схемі зі СЕ.

Колекторний струм прагне до сталого значення

$$I_{К1} = I_{К.СТ} = \beta I_{Б1} > I_{К.Н},$$
$$\left(I_{Б1} > I_{Б.Н} = I_{К.Н} / \beta\right).$$

Однак у момент часу t_2 під час струму $I_К = I_{К.Н} = I_{Б.Н} \cdot \beta$ транзистор потрапляє в режим насичення і збільшення колекторного струму обмежується на рівні $I_{К.Н} \approx E_К / R_К$. На цьому закінчується етап формування фронту і починається етап накопичення надлишкового заряду в базі транзистора. Фізично цей процес полягає у введенні в базу від джерела керувальної напруги надлишкових дірок, що викликають «удавану» зміну струму колектора до величини $I_{К1} = I_{К.СТ} = I_{Б1} \cdot \beta$, хоча реально цей струм дорівнює $I_{К.Н}$. Графічно «удаване» збільшення струму колектора на рис. 6.23 показано пунктирною кривою. Через час $t = 3\tau_\beta$ «удаваний» струм досягає сталого значення $I_{К.СТ}$, тому що на рис. 6.23 тривалість вхідного керувального імпульсу $t_{ім.ВХ}$ приблизно дорівнює $3\tau_\beta$.

Аналіз процесу увімкнення ТК дозволяє зробити висновок, що тривалість фронту $t_ф = t_2 - t_1$ можна зменшити, збільшуючи відмикаючий струм бази $I_{Б1}$. З іншого боку, накопичення надлишкового заряду носіїв у базі можна зменшити, зменшуючи струм бази. Під час виконання умови $I_{Б1} = I_{Б.Н}\,(S = 1)$ накопичення надлишкового заряду в базі відсутнє.

У момент t_3 на вхід ключа подано від'ємний стрибок напруги $U_{КЕР2}$, що закриває транзистор. Починається процес вимикання ключа, який можна розбити на два етапи: розсмоктування надлишкового заряду в базі транзистора і формування зрізу під час запирання транзистора.

Від'ємний стрибок керувальної вхідної напруги $U_{КЕР2}$ викликає від'ємний стрибок базового струму: $-I_{Б2} = -U_{КЕР2} / R_Б$, що проходить у напрямку, протилежному первісному струму бази $I_{Б1}$.

Надлишковий заряд у базі стрибком змінитися не може, тому починає зменшуватися за експоненціальним законом з тією ж сталою часу, що і пі д час увімкнення ключа. Зміна струму бази повинна викликати зменшення струму колектора від «удаваного» значення $I_{К.СТ}$ до $I_{К2} = I_{Б2} \cdot \beta$. Однак до моменту часу t_4 у базі зберігається надлишковий заряд і ніякі зміни струму не відбуваються. Робоча точка транзистора протягом етапу розсмоктування знаходиться в області насичення. Виникає затримка фронту (зрізу) вихідного імпульсу відносно моменту надходження вимикаючої напруги: $-U_{КЕР2}$. Тривалість цієї затримки представляє час розсмоктування $t_р = t_4 - t_3$.

Тривалість часу розсмоктування можна зменшити, збільшуючи від'ємний струм бази: $-I_{Б2}$ і зменшуючи ступінь насичення S, а отже і відмикаючий струм бази $I_{Б1}$.

У момент часу t_4 після виходу робочої точки транзистора з області насичення починається етап формування зрізу вихідного імпульсу. Протягом проміжку часу $t_4 ... t_5$ струм колектора зменшується за експоненціальним законом до величини $I_{К0}$, після чого залишається постійним на даному рівні. Подальше зменшення струму колектора до величини: $-I_{К2} = -I_{Б2} \cdot \beta$ є «удаваним» і на рис. 6.23 показано пунктирною лінією. Час зрізу $t_{зр} = t_5 - t_4$ можна зменшити, збільшуючи значення струму бази $I_{Б1}$ і $I_{Б2}$.

Для підвищення швидкодії ключа необхідно зменшити час вмикання $t_{ВМ} = t_ф$ і вимикання $t_{ВИМ} = t_р + t_{зр}$. Проведений аналіз показав, що для цього необхідно виконати суперечливі вимоги: для зменшення $t_ф, t_{зр}$ необхідно збільшувати ступінь насичення транзистора, а для зменшення $t_р$ – зменшувати. Оптимальну форму вхідного базового струму ТК, що враховує це протиріччя, показано на рис. 6.24.

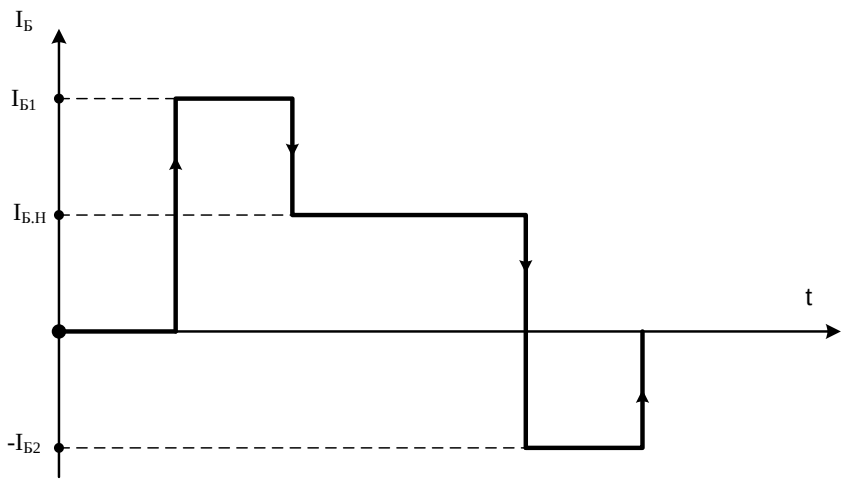


Рис. 6.24. Оптимальна форма вхідного базового струму ТК

Розглянутий ключ керується різнополярними імпульсами і стан схеми визначається знаком і рівнем вхідної напруги. На практиці широко застосовуються ключі, які у вихідному стані закриті чи відкриті.

Переключення ключа відбувається під дією однополярних вхідних керувальних імпульсів, що здійснюють увімкнення закритого ключа або вимикання відкритого.

Транзисторний ключ, закритий у початковому стані

Розглянемо ТК, закритий у вихідному стані (рис. 6.25).

У початковому стані $U_{КЕР} = 0$, ТК – закритий, $U_{ВИХ} \approx U_{КЕ.З} = E_К - I_{К0} \cdot R_К \approx E_К$.

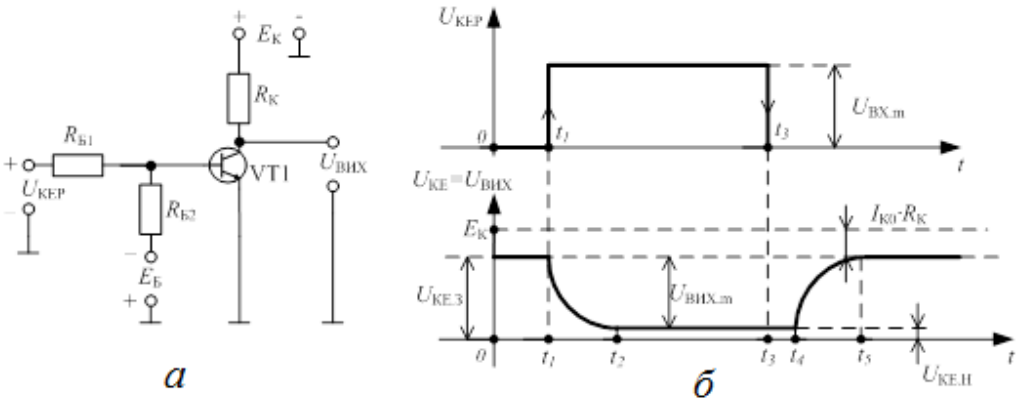


Рис. 6.25. ТК, закритий у вихідному стані

Під час подавання на вхід схеми в момент $t = t_1$ додатного відмикаючого імпульсу, ТК відкривається. Із затримкою $t_ф = t_2 - t_1$ вихідна напруга зменшується до величини $U_{КЕ.Н} \approx 0$.

У момент $t = t_3$ сигнал керування знімається. З затримкою $t_{ВИМ} = t_р + t_{зр}$, де $t_р = t_4 - t_3$, а $t_{зр} = t_5 - t_4$, вихідна напруга збільшується до величини $U_{КЕ.З}$, тому що ключ знову закривається.

Транзисторний ключ, відкритий у початковому стані

Розглянемо ТК, відкритий у початковому стані (рис. 6.26).

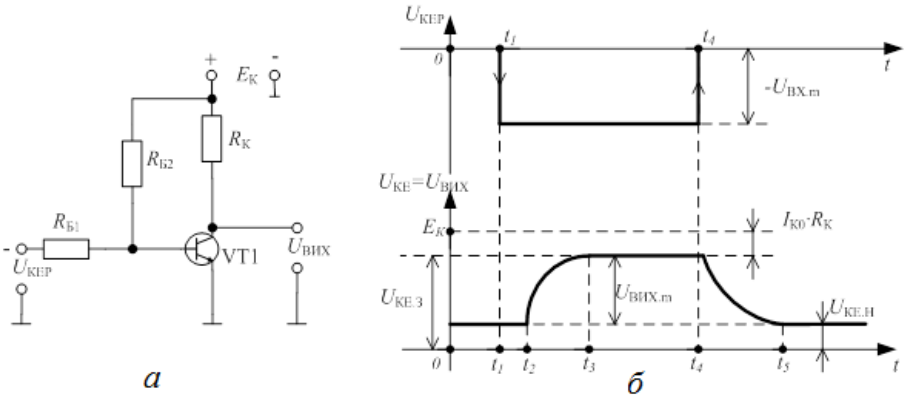


Рис. 6.26. ТК, відкритий у початковому стані

У вихідному стані $U_{КЕР} = 0$. Додатною напругою, що знімається з нижнього плеча дільника напруги $+E_К$ (резистори $R_{Б1}, R_{Б2}$), транзистор і ключ у цілому відкритий. З виходу знімається невелика напруга $U_{КЕ.Н}$.

У момент $t = t_1$ на вхід схеми надходить від'ємний імпульс, що викликає закривання ТК. З затримкою $t_{ВИМ} = t_р + t_ф$, де $t_р = t_2 - t_1$, а $t_Ф = t_3 - t_2$ вихідна напруга збільшується до величини $U_{КЕ.З}$.

У момент $t = t_4$ вхідний імпульс закінчується. ТК знову відкривається і через $t_{ВМ} = t_{зр} = t_5 - t_4$ сигнал на виході знову зменшується до величини $U_{КЕ.Н}$.

Для підвищення швидкодії ТК у схему, наприклад, можна ввести конденсатор, що прискорює, чи використовувати нелінійний ВЗЗ.

Ключ із зовнішнім зміщенням і конденсатором, що прискорює

У вихідному стані такий ключ (рис. 6.27, *а*) закритий джерелом зміщення: $-E_Б$, а у відкритий стан переключається додатним керувальним імпульсом.

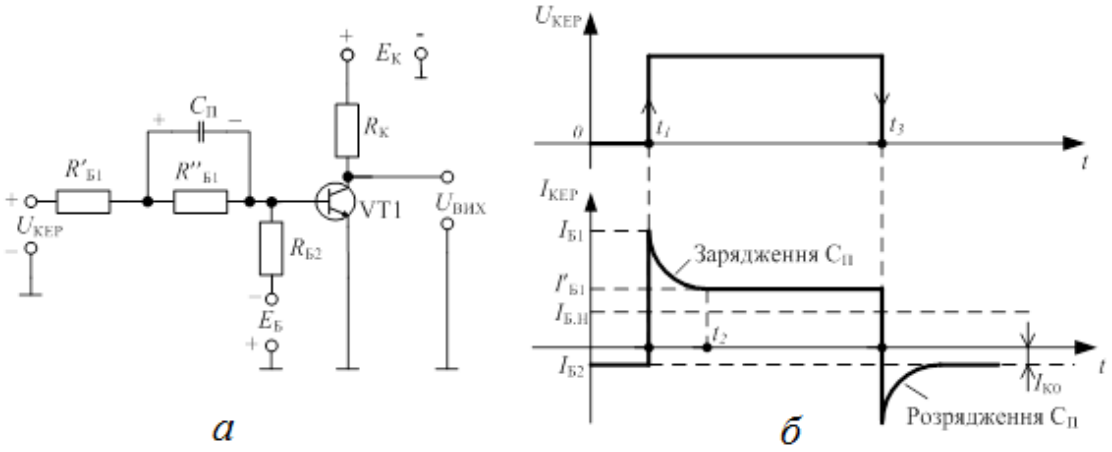


Рис. 6.27. Ключ із зовнішнім зміщенням і конденсатором, що прискорює:
а – схема; *б* – часові діаграми

Як відзначалося вище, зі збільшенням ступеня насичення ТК зменшується тривалість увімкнення, але одночасно зростає час вимикання, унаслідок збільшення часу розсмоктування надлишкового заряду в базі. Для підвищення швидкодії ТК необхідно забезпечувати форму вхідного керувального базового струму, близьку до оптимальної (рис. 6.24). Формування фронту відбувається під час відмикаючого струму бази значно перевищуючому струм бази насичення, накопичення надлишкових носіїв під час струму бази, незначно перевищуючому струм бази насичення, а розсмоктування і формування зрізу проходять під час значного закриваючого струму бази.

Як видно з часових діаграм роботи (рис. 6.27, *б*), схема з прискорюючим конденсатором, забезпечує форму базового струму, близьку до оптимальної.

У вихідному стані ключ закритий і конденсатор $C_п$ розряджений. У момент часу t_1 на вхід надходить додатний імпульс, який відмикає транзистор. Відмикаючий струм бази проходить через резистор $R'_{Б1}$ і конденсатор $C_п$, який шунтує $R''_{Б1}$. Величина цього струму має значення $I_{Б1}$, яке значно перевищує величину $I_{Б.Н}$. Під час зарядження конденсатора через відкритий транзистор *VT*1 струм бази зменшується за експонентою до величини $I'_{Б1}$, яка небагато перевищує $I_{Б.Н}$.

Під час закінчення вхідного імпульсу ключ закривається під дією від'ємного зміщення: $-E_Б$ і від'ємної напруги на прискорюючому конденсаторі, що прискорює закриття транзистора. Початковий струм бази

під час вимикання ТК, $I_{Б2}$ більше, ніж у схемі без прискорюючого конденсатора. Оскільки ступінь насичення транзистора малий, а вимикаючий струм бази великий, то час вимикання ТК зменшується.

Ємність конденсатора $C_п$ не може бути довільною, тому що за малого значення ємності стрибки базового струму мають невелику тривалість, а у разі занадто великого значення $C_п$ тривалість перехідних процесів може збільшитися.

Ненасичені ключі

Перехідний процес, який пов'язано з розсмоктуванням надлишкового заряду в базі, робить важчим застосування розглянутих ключів у швидкодіючих імпульсних схемах. Для підвищення швидкодії ТК відкритий транзистор не вводять у стан насичення. Такі ключі називають ненасиченими.

У них транзистор працює на границі активної області, а для запобігання його насичення вводять, наприклад, нелінійний ВЗЗ, наприклад так, як показано на рис. 6.28.

Основне призначення введення ВЗЗ, роль якого виконує НД *VD*1, складається у фіксації потенціалу колектора щодо потенціалу бази. Інакше кажучи, необхідно забезпечити, щоб цей потенціал завжди був більш додатним відносно бази $(U_{КБ} > 0)$, тобто робоча точка транзистора знаходиться поблизу області насичення, але колекторний перехід не відкривається. У відсутності додатних керувальних імпульсів транзистор *VT*1 і діод *VD*1 закриті і ВЗЗ відсутній.

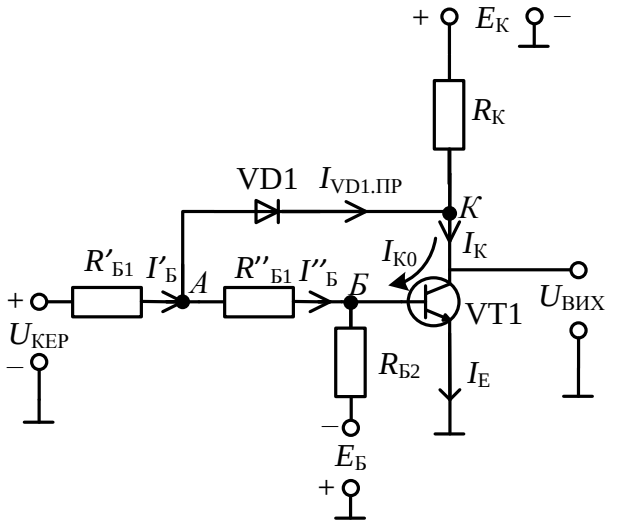


Рис. 6.28. Ненасичений ТК із нелінійним ВЗЗ

Під час надходження додатного керувального імпульсу транзистор відкривається, колекторний струм $I_К$ збільшується, а потенціал колектора $U_К = E_К - I_К R_К$ зменшується. Коли потенціал точки *А* стане більше потенціалу колектора на величину $U_{VD1.ПР}$, *VD*1 відкриється і починає діяти ВЗЗ, що змінює розподіл струмів у ключі. Струм бази $I''_Б$ транзистора обмежується на рівні, близькому до струму насичення $I_{Б.Н}$, хоча вхідний струм $I'_Б$ збільшується. Струм колектора і напруга $U_{КЕ}$ також обмежуються, тому що струм, що проходить через резистор $R_К$, не може змінюватися (потенціали $E_К$ і $U_К$ його виводів постійні). Додатковий вхідний струм проходить через відкритий діод і замикається на «землю» через відкритий транзистор і ланцюги навантаження, що приєднуються до колектора. У схемі треба виконувати умову:

$$U_{R''_{Б1}} = I''_Б \cdot R''_{Б1} > U_{VD.ПР},$$

тоді потенціал колектора завжди більш додатний, ніж потенціал бази, що відповідає вимогам, які поставлено до цієї схеми.

Недоліком схеми є те, що в самому діоді під час його прямого увімкнення має місце ефект накопичення надлишкових неосновних носіїв у базі (явище інжекції). Це негативно впливає на роботу ключа у разі його запирання. Істотного підвищення швидкодії від даної схеми можна домогтися тільки під час використання діодів з малим часом відновлення у разі запирання, тобто застосовуючи діоди Шоттки (рис. 6.29). Вони мають малий час переключення (не більш 0,1 нс), низьку напругу відмикання (близько 0,25 В) і малий опір у відкритому стані.

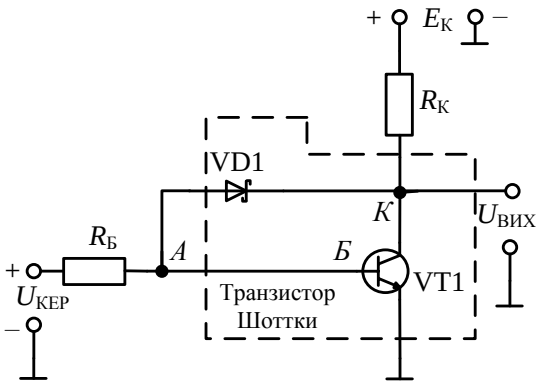


Рис. 6.29. Схема ТК із діодом Шоттки

У процесі увімкнення транзистора *VT*1 діод Шоттки (*VD*1) відкривається. Хоча в цій схемі напруга $U_{КБ} < 0$, але вона менше того значення, за якого колекторно-базовий перехід транзистора зміщується в

прямому напрямку. Інакше кажучи, діод Шоттки відкривається раніш, ніж колекторно-базовий перехід, і не допускає насичення транзистора.

В ІМС структура транзистор–діод Шоттки заміняється одним елементом – транзистором Шоттки (рис. 6.29).

Приклад розрахунку ТК

Як приклад зробимо орієнтований розрахунок ТК із прискорюючим конденсатором.

Дано: амплітуда вихідного імпульсу $U_{ВИХ.m} = 4B$;

амплітуда вхідного імпульсу $U_{ВХ.m} = 2B$;

тривалість фронту вихідного імпульсу $t_ф \le 50нс$;

діапазон температур навколишнього середовища 15…35 ºС.

Вибираємо схему ключа з конденсатором, що прискорює, тому що необхідна тривалість фронту вихідного імпульсу порівняно мала.

Напруга джерела живлення

$E_К = (1{,}1...1{,}3)U_{ВИХ.m} = 1{,}25 \cdot 4 = 5B$.

Обираємо транзистор з умов [6; 12]:

$$f_\alpha \ge \frac{1}{2\pi t_ф} = \frac{1}{6{,}28 \cdot 50 \cdot 10^{-9}} = 3.2МГц;$$

$U_{К.ДОП} \ge E_К = 5B$.

Цим даним задовольняє транзистор КТ315Е з параметрами:

$\beta = 50...350; U_{К.ДОП} = 30B; f_\alpha = 100МГц;$

$I_{К0.\max} = 5мкА; I_{К.ДОП} = 100мА.$

Опір резистора в колекторному ланцюзі визначаємо з виразу

$$R_К = \frac{E_К}{I_{К.Н}}.$$

Обираємо значення струму колектора насичення транзистора $I_{К.Н}$ по можливості в області досить великих струмів з урахуванням обов’язкового виконання нерівності $I_{К.Н} < I_{К.ДОП}$. За великого $I_{К.Н}$ поліпшується температурна стабільність і підвищується швидкодія ключа.

Приймемо $I_{К.Н} = 50мА.$

Опір $R_К = \dfrac{5}{50 \cdot 10^{-3}} = 100\ Ом.$

Приймемо $R_К = 100\,Ом.$

Для розрахунку резистора $R_{Б2}$ скористаємося еквівалентною схемою заміщення ТК у режимі відсічення (рис. 6.30, *а*).

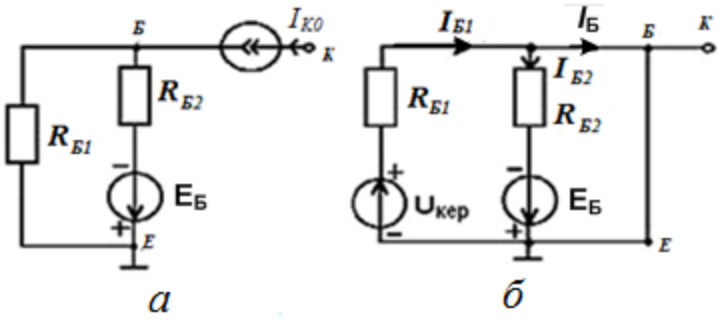


Рис. 6.30. Еквівалентні схеми заміщення ТК:
а – режим відсічення; *б* – режим насичення

Напруга $U_{БЕ}$ створюється двома джерелами: джерелом базової напруги зсуву $E_Б$ і джерелом струму $I_{К0}$.

Скористаємося методом суперпозиції і знайдемо

$$U_{БЕ} = I_{К0}\frac{R_{Б1}R_{Б2}}{R_{Б1}+R_{Б2}} - E_Б\frac{R_{Б1}}{R_{Б1}+R_{Б2}} = \frac{R_{Б1}R_{Б2}}{R_{Б1}+R_{Б2}}\left(I_{К0} - \frac{E_Б}{R_{Б2}}\right). \qquad (6.8)$$

Для закритого стану ключа напруга $U_{БЕ} \le 0.$ Тоді вираз (6.8) запишемо у вигляді

$$\left(I_{К0} - \frac{E_Б}{R_{Б2}}\right) \le 0.$$

Звідси одержимо вираз для визначення значення $R_{Б2}$:

$$R_{Б2} \le \frac{E_Б}{I_{К0.\max}},$$

де $I_{К0.\max} \le 0$ – значення зворотного струму насичення транзистора за максимальної температури.

Знаходимо напругу зсуву: $E_Б \approx 0,2E_К = 0,2\cdot 5 = 1В.$

Визначимо $R_{Б2} \le \dfrac{E_Б}{I_{К0.\max}} = \dfrac{1}{5\cdot 10^{-6}} = 200кОм.$

Приймемо $R_{Б2} = 100кОм.$

Для розрахунку резистора $R_{Б1} = R'_{Б1} + R''_{Б1}$ скористаємося еквівалентною схемою заміщення ТК у режимі насичення. Струм бази створюють джерела напруги $U_{КЕР}$ і $E_Б$. Скористаємося методом суперпозиції і знайдемо

$$I_Б = I_{Б1} + I_{Б2} = \frac{U_{КЕР}}{R_{Б1}} - \frac{E_Б}{R_{Б2}}.$$

Умова насичення транзистора (6.7) записується у вигляді

$$I_Б = \frac{U_{КЕР}}{R_{Б1}} - \frac{E_Б}{R_{Б2}} \geq \frac{E_К}{R_К \cdot \beta}.$$

Звідси отримаємо вираз для визначення

$$R_{Б1} \leq \frac{U_{КЕР}}{\frac{E_К}{R_К \cdot \beta} + \frac{E_Б}{R_{Б2}}}. \qquad (6.9)$$

Знаходимо $R_{Б1} \leq \dfrac{2}{\frac{5}{100 \cdot 50} + \frac{1}{100 \cdot 10^{-3}}} \approx 1980\,Ом.$

Отримаємо $R_{Б1} = 1{,}5\,кОм.$

Для розрахунку значень резисторів $R'_{Б1}$ і $R''_{Б1}$ використовуємо міркування, наведені вище під час опису роботи ТК. Амплітуда струму бази $I_{Б1}$, що забезпечує зменшення тривалості фронту, визначається резистором $R'_{Б1}$, тому що $R''_{Б1}$ шунтується конденсатором. Ступінь насичення транзистора *S* у цьому випадку більше одиниці. Тому вираз для розрахунку $R'_{Б1}$ одержимо з (6.9), ввівши в нього значення *S*:

$$R'_{Б1} \leq \frac{U_{КЕР}}{\frac{E_К \cdot S}{R_К \cdot \beta} + \frac{E_Б}{R_{Б2}}}. \qquad (6.10)$$

У виразі (6.10) необхідно задати значення ступеня насичення транзистора *S*. Для цього використаємо формулу для визначення тривалості фронту [8; 11]:

$$t_ф = \tau_\beta \ln\left(\frac{S}{S-1}\right), \qquad (6.11)$$

де $\tau_\beta = \dfrac{\beta}{2\pi f_\alpha}$ – стала часу транзистора.

Для нашого прикладу $\tau_\beta = \dfrac{50}{2 \cdot 3{,}14 \cdot 100 \cdot 10^{-6}} \approx 80 нс.$

Задаючи конкретні значення *S* з виразу (6.11), визначаємо значення $t_ф$ і порівнюємо його з заданим. Вибираємо значення *S*, за якого отримане $t_ф$ менше заданого й у нашому прикладі рівного 50 нс. Наприклад, за *S* = 3 $t_ф = 80 \ln(\dfrac{3}{3-1}) = 80 \cdot 0{,}4 = 32 нс < 50 нс,$ що задовольняє зазначеній вимозі. Знаходимо $R'_{Б1} \le \dfrac{2}{\dfrac{5 \cdot 3}{100 \cdot 50} + \dfrac{1}{100 \cdot 10^{-3}}} = 665 Ом.$

Приймаємо $R'_{Б1} = 630 Ом.$

Визначаємо значення резистора

$R''_{Б1} = R_{Б1} - R'_{Б1} = 1500 - 630 = 870 Ом.$

Ємність конденсатора, що прискорює, знаходимо з виразу [6; 12]:

$$C_П = \frac{\tau_\beta}{R''_{Б1}} = \frac{70 \cdot 10^{-9}}{870} \approx 80 пФ.$$

Послідовні ТК

Розглянуті вище схеми (рис. 6.20–6.30) є паралельними ключами, тому що навантаження включається паралельно переходу колектор-емітер транзистора. На рис. 6.31 наведено схему послідовного ключа на біполярному транзисторі.

Для нормальної роботи такого ключа необхідно, щоб виконувалася умова: $U_{ВХ} > 0$. Під час увімкнутого транзистора $(U_{КЕР} > 0)$ навантаження підключається до напруги $U_{ВХ}$, а у разі вимкнутого $(U_{КЕР} < 0)$ – цей зв’язок обривається.

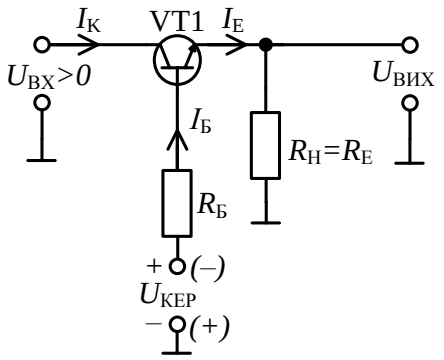


Рис. 6.31. Схема послідовного ключа на біполярному транзисторі

6.3.3. Ключі на польових транзисторах

Як АЕ в електронних ключах широко використовуються польові транзистори. Їхніми істотними перевагами перед ТК на біполярних транзисторах є:

– високий вхідний опір і, отже, малий струм споживання у непровідному стані;
– мала залишкова напруга на ключі в провідному стані;
– гарна електрична розв’язка між керувальним і виконавчим ланцюгом;
– мала площа, яку займає транзистор на підкладці у разі інтегрального виконання і т. ін.

Найбільш часто в таких ключах використовуються польові МДН-транзистори. Коли функцію діелектрика виконує окис (двоокис кремнію), то їх називають МОН-транзисторами.

Найпростіший паралельний ключ на МДН-транзисторі з індукованим каналом *n*-типу, його стоко-затворну ВАХ, вихідні статичні ВАХ і навантажувальну пряму зображено на рис. 6.32.

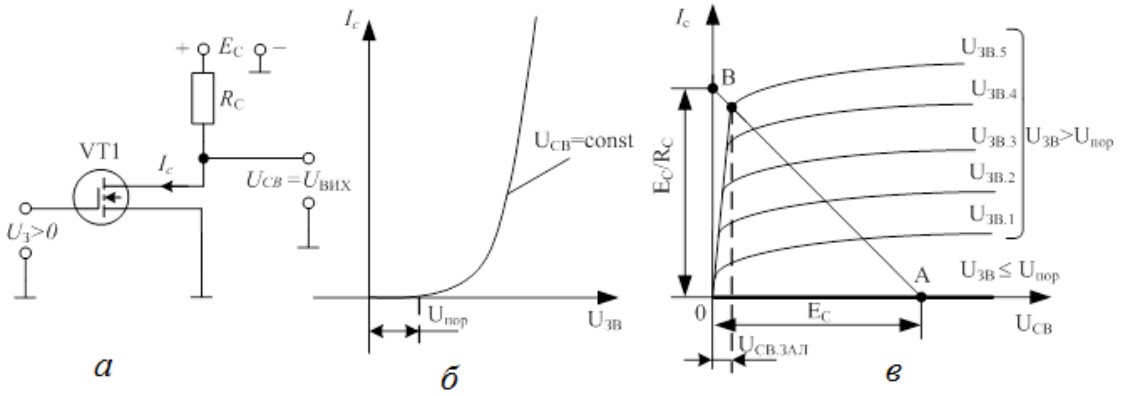


Рис. 6.32. ТК на МОНМ-транзисторі: *а* – схема ключа; *б* – стоко-затворна ВАХ; *в* – вихідні статичні ВАХ і навантажувальна пряма

Опір резистора R_C має значення десятки кілоом. Якщо вхідна напруга, що прикладається між затвором і витоком транзистора менше порогового значення $U_{ПОР}$, то канал між стоком і витоком відсутній і струм $I_C = I_H = 0$. Транзистор закритий і вихідна напруга $U_{ВИХ} = U_{СВ} = E_C - I_C R_C = E_C$. Якщо на вхід надходить вхідний додатний імпульс амплітудою більшої, ніж $U_{ПОР}$, то між стоком і витоком індукується канал типу n і з'являється струм I_C, що збільшується при наростанні $U_{ВХ}$. Транзистор відкривається і з виходу знімається залишкова напруга $U_{СВ.ЗАЛ} \approx 0$.

Контрольні запитання та завдання

1. Що таке електронний ключ? Які діоди найчастіше використовують для ДКЛ?
2. Наведіть принципову електричну схему послідовного ДКЛ та поясніть відповідну передатну характеристику.
3. Яка напруга називається пороговою? Для чого в схему ДКЛ вводиться джерело напруги зсуву $E_{ЗС}$?
4. Як виконати розрахунок послідовного ДКЛ з урахуванням впливу напруг $U_{ВХ}$ та $E_{ЗС}$?
5. Які вимоги пред'являються до співвідношення резисторів послідовного ДКЛ?
6. Наведіть принципову електричну схему паралельного ДКЛ та поясніть відповідну передатну характеристику.
7. Які вимоги пред'являються до співвідношення резисторів паралельного ДКЛ?
8. Що таке обмежувач амплітуди? Які види обмежувачів амплітуди ви знаєте?
9. Наведіть приклади двосторонніх обмежувачів напруги на ДКЛ. Поясніть часові діаграми роботи.
10. Який пристрій називається тиристором? Для чого він використовується?
11. Опишіть процеси, що проходять у тиристорі під час надходження на нього прямої напруги ($U_{А.ПР}$):

    а) $U_{А.ПР} < U_{ВМИКАННЯ}$;

    б) $U_{А.ПР} \geq U_{ВМИКАННЯ}$.

12. Чим відрізняється тріодний тиристор від діодного? Які умови його вмикання та вимикання?
13. Наведіть та поясніть структурну схему тиристорного випрямляча.
14. Наведіть та поясніть структурну схему ШІМ-перетворювача на тиристорі.
15. У чому полягає принцип роботи ТК?
16. Назвіть стани, в яких перебувають ТК? Чим вони відрізняються?
17. Чим відрізняється ключовий режим роботи транзистора від підсилювального?
18. Запишіть умову відсічення для закритого стану ТК. Яким чином її можна забезпечити?
19. Запишіть умови насичення ТК. Яким чином її можна забезпечити?
20. Що таке ступінь насичення ТК?
21. Дайте характеристику значенням вхідних та вихідних струмів та напруг для закритого та відкритого станів ТК.
22. Поясніть часові діаграми роботи ТК.
23. Як можна підвищити швидкодію роботи ТК? Зобразіть оптимальну форму вхідного базового струму ТК.
24. Яким чином конденсатор, що прискорює, змінює форму базового струму?
25. Назвіть переваги ключів на польових транзисторах.
26. Що таке діод та транзистор Шоттки?
27. Які переваги та недоліки дає введення у схему ТК діода у ролі ВЗЗ?
28. Опишіть послідовність розрахунку ТК із конденсатором, що прискорює.

7. ІМПУЛЬСНІ ТРИГЕРИ

7.1. Загальні відомості про тригери

Тригером називається електронний пристрій, що має два стійких стани рівноваги і здатний під дією керуючих сигналів стрибком переходити з одного стійкого стану в інший. Звичайно тригер містить два виходи і декілька керуючих входів. На рис. 7.1 наведено функціональне позначення тригера, який має два виходи і три керуючі входи.

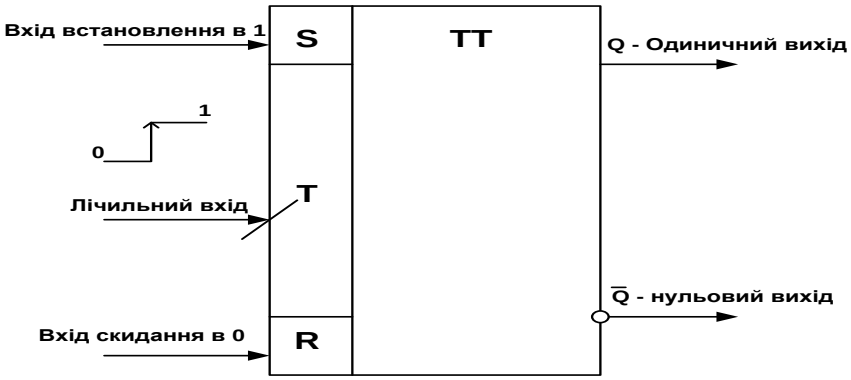


Рис. 7.1. Умовне позначення тригера на електричних схемах

Сигнали на виході тригера, один із яких називається прямим (одиничним) і позначається Q, а інший – інверсним (нульовим) – $\overline{Q}$, змінюються в протифазі.

Стійкі стани рівноваги, в яких тригер за відсутності керуючих сигналів може знаходитися як завгодно довго, називають одиничним і нульовим. Якщо тригер знаходиться в нульовому початковому стані, то на виході $\overline{Q}$, присутній високий рівень напруги, а на виході Q – низький. Якщо ж тригер встановлено у протилежний одиничний стан, то з виходу $\overline{Q}$ знімається низький рівень сигналу, а з виходу Q – високий. Встановлення тригера в один з початкових станів здійснюється вхідними керувальними сигналами, що надходять на вхід S (встановлення тригера в одиничний початковий стан) чи на R (скидання в нульовий). Входи S і R є статичними, тому що керувальний вплив подається на них у вигляді високого постійного рівня напруги. Тригер може мати також динамічний вхід, наприклад T (коли зміна стану тригера на протилежний (переключення) відбувається під час переходу вхідного сигналу з низького рівня на високий (рис. 7.1), або навпаки – з високого на низький).

Після включення живлення тригер займає випадковий стан (нульовий чи одиничний), що необхідно враховувати в електронних схемах, де початковий стан схеми має значення. Для переведення тригера у початковий стан використовують входи *S* і *R*.

За способом переключення тригери умовно поділяються на:

– асинхронні;
– синхронні.

Так, наприклад, тригер з лічильним входом (рис. 7.1) має два входи: *S* – set і *R* – reset для асинхронного встановлення/скидання тригера на початку роботи.

Синхронний *RS*-тригер містить додатковий синхровхід *C*. Під час надходження на цей вхід синхросигналу тригер переключається в стан, обумовлений сигналами на входах *S* і *R*. Вплив керувальних сигналів на стан синхронного *RS*-тригера представлено в табл. 7.1.

Тригери широко застосовуються: як елементи пам’яті, які здатні зберігати 1 біт двійкової інформації; у подільниках частоти; лічильниках імпульсів; у формувачах прямокутних імпульсів із сигналів довільної форми і т. ін.

На рис. 7.2 наведено часові діаграми роботи тригера з лічильним входом (рис. 7.1), що пояснюють його використання як подільника частоти вхідних імпульсів на два.

Чотирьом імпульсам на керувальному динамічному вході *T* (рис. 7.1) відповідають два імпульси на одиничному або нульовому виходах тригера.

Будь-який тригер є регенеративним електронним пристроєм, в якому виконується умова виникнення стрибків: баланс амплітуд і баланс фаз, під дією якої під час отримання відповідних сигналів керування схема дуже швидко (лавиноподібно) змінює свій стан.

Завдяки цьому на виходах тригера формуються прямокутні імпульси з крутими фронтами.

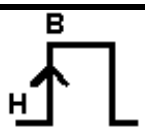
Є кілька варіантів виконання тригерів:

– на логічних елементах (ЛЕ);
– на транзисторах та ІМС ОП;
– у вигляді спеціалізованої ІМС.

Тригери на ЛЕ і в інтегральному виконанні будуть розглянуті нижче під час вивчення цифрових електронних пристроїв.

Нижче зупинимося на принципах роботи і застосуванні імпульсних тригерів на дискретних компонентах (транзисторах та ІМС ОП).

Таблиця 7.1. Вплив керувальних сигналів на стан синхронного *RS*-тригера

Сигнали на керувальних входах тригера			Стан тригера після надходження синхроімпульса Q^{t+1}
S	*R*	Синхровхід *C*	
Високий	Низький		1 (одиничний)
Низький	Високий		0 (нульовий)
Низький	Низький		Q^t – стан до надходження синхроімпульса
Високий	Високий		Комбінація сигналів заборонена

До основних схем тригерів на дискретних компонентах належать:

– симетричні тригери;
– несиметричні тригери.

7.2. Симетричні тригери

Є два різновиди симетричних тригерів:

– із зовнішнім зміщенням;
– із автоматичним зміщенням.

Схема симетричного асинхронного тригера із зовнішнім зміщенням (рис. 7.3) містить два ТК, виконаних на біполярних транзисторах, які включено за схемою з СЕ.

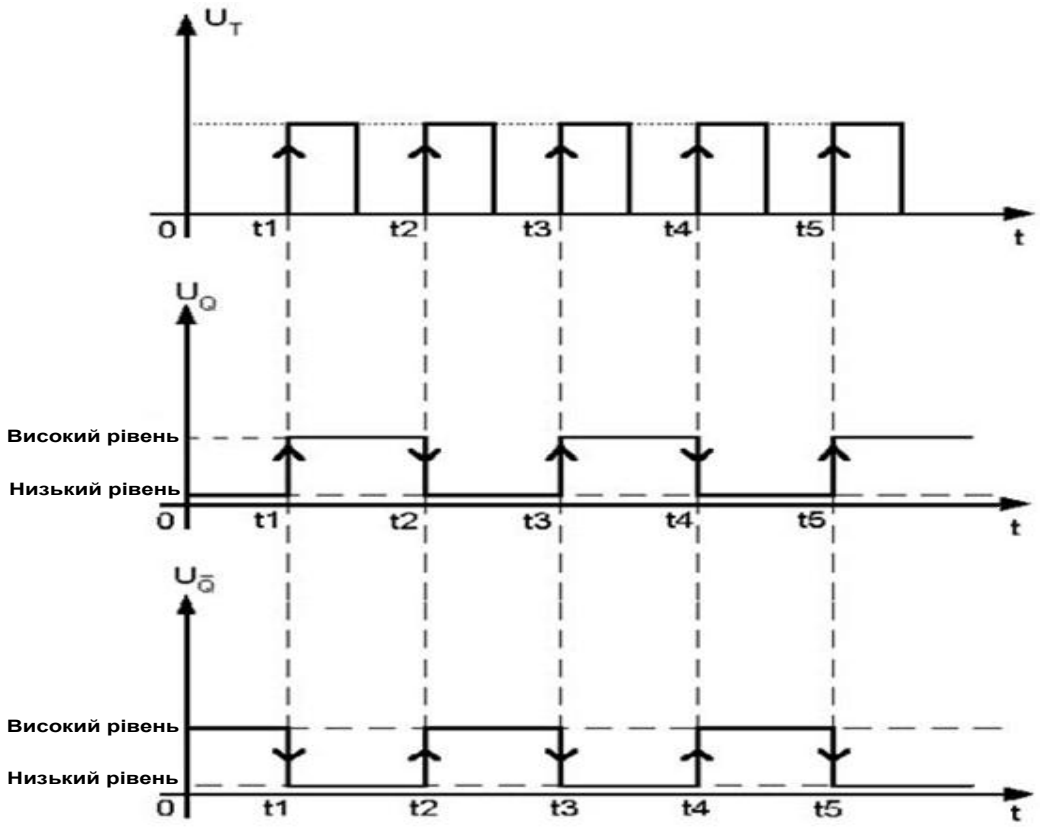


Рис. 7.2. Часові діаграми роботи тригера з лічильним входом

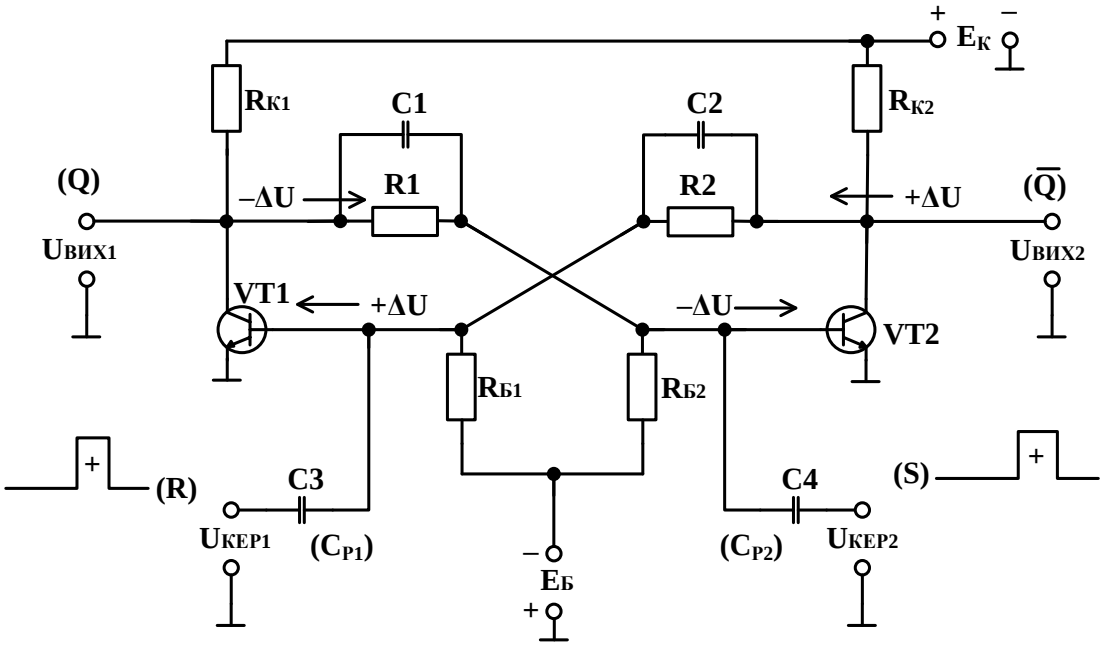


Рис. 7.3. Схема асинхронного симетричного тригера із зовнішнім зміщенням

Вихід кожного ключа зв’язаний із входом іншого. Призначення окремих компонентів ТК аналогічне схемі ключа із зовнішнім зміщенням, який було розглянуто у розділі 5: R_{K1}, R_{K2} – навантажувальні резистори

транзисторів, що визначають положення навантажувальної прямої на вихідних статичних ВАХ і задають необхідне значення струму насичення транзисторів $I_{К.Н}$. Резистори $R_{Б1}$, $R_{Б2}$ забезпечують закривання одного з транзисторів від зовнішнього джерела зміщення: $-E_Б$.

Резистори *R*1 і *R*2 здійснюють зв'язок між ключами і забезпечують відкривання одного з транзисторів зі ступенем насичення *S*, близьким до одиниці. *C*1, *C*2 – конденсатори, які прискорюють, призначені для прискорення переключення транзисторів. Ємності *C*3, *C*4 забезпечують передачу на бази транзисторів керувальних імпульсів, що здійснюють переключення тригерів. Симетричним даний тригер буде тоді, коли елементи схеми, що відносяться до кожного ключа, однакові:

– $C1 = C2 = C$;
– $R_{К1} = R_{К2} = R_К$;
– $C3 = C4$; $R1 = R2 = R$;
– VT1 і VT2 – одного типу.

Легко встановити, що в даній схемі є ДЗЗ, тобто виконується перша умова виникнення стрибків – баланс фаз. Коли робочі точки обох транзисторів знаходяться в активній області, у тригері виконується друга умова виникнення стрибків – баланс амплітуд, що полягає в тому, що сумарне підсилення сигналів ланцюга ДЗЗ перевищує його загасання й їхній добуток більший одиниці.

Схема має два стани стійкої рівноваги:

1-й стан (нульовий) – VT1 – насичений (відкритий); VT2 – закритий;

2-й стан (одиничний) – VT1 – закритий, VT2 – відкритий (насичений).

Через наявність невеликої асиметрії, що практично є навіть за однакових компонентах ключів, один з таких станів випадково встановлюється після вмикання живлення схеми. Припустимо, що схема зайняла 1-й стан – VT1 відкритий, VT2 закритий. Відповідно до позначень, наведених на рис. 7.3, даний стан тригера є нульовим, а протилежний йому, 2-й стан – одиничним.

На колекторі правого закритого транзистора наявна напруга $U_{ВИХ2} \approx E_К$, а на колекторі лівого відкритого: $U_{ВИХ1} = U_{К.Н} \approx 0$. Напруга $U_{вих2}$ через резистор *R*2 прикладається до бази VT1, забезпечуючи його насичення. Оскільки $U_{ВИХ1} \approx 0$, то правий транзистор надійно закритий від джерела зміщення ($E_Б$). Такий стан за відсутності керувальних вхідних

сигналів є стійким і за наявності живлення схеми може тривати як завгодно довго.

Для переключення тригера в протилежний одиничний стан необхідно подати на вхід встановлення в одиницю: *S* (на базу правого транзистора) додатний керувальний імпульс. Правий транзистор відкривається, на його колекторі з'являється від'ємне збільшення напруги, що через конденсатор *C*2, який зашунтовує резистор *R*2, передається на базу лівого транзистора. Під дією цього сигналу лівий транзистор починає закриватися, на його виході з'являється додатне збільшення напруги, що через *C*1 надходить на базу VT2.

Описане явище говорить про наявність ДЗЗ. Це приводить до того, що робочі точки обох транзисторів опиняться в активній області. У схемі починає виконуватися умова виникнення стрибків і тригер швидко змінює свій стан (переключається). Схема переходить у другий стан рівноваги – одиничний: VT1 – закритий; VT2 – відкритий. Для повернення тригера в нульовий стан необхідно подати додатний керувальний імпульс на вхід скидання в нуль: *R* (базу лівого транзистора). У цьому разі в схемі знову виникає регенеративний процес, який описано вище.

Таким чином, переключення схеми відбувається після надходження на її входи відповідних керуючих сигналів. В інший час схема знаходиться в стані стійкої рівноваги.

Під час використання тригерів в електронних пристроях, що переключаються, важливим параметром є їхня швидкодія, обумовлена максимальною кількістю переключень, що може здійснюватися за визначений проміжок часу. Звичайно швидкодія виміряється в герцах чи мегагерцах. Швидкодія тригера впливає на мінімально можливий інтервал між двома керувальними імпульсами. Цей інтервал залежить від часу переходу тригера з одного стану в інший. Процес переключення тригера умовно розділяють на три етапи:

1) підготовки;
2) лавиноподібного переключення;
3) відновлення.

На етапі підготовки робоча точка відкритого транзистора переміщається з області насичення в активну область, а робоча точка закритого транзистора – з області відсічення в активну. Після цього в процесі лавиноподібного переключення схема швидко змінює свій стан. Час відновлення є найбільш тривалою частиною переходу тригера з одного стану в інший. Він передусім визначається часом зарядження конденсатора, який

прискорює, через колекторний резистор закритого транзистора. Для зменшення часу відновлення потрібно зменшувати значення колекторних резисторів транзисторів і конденсаторів, які прискорюють. Крім того, на етапі відновлення потрібен час для розряду конденсатора, який приєднано до колектора відкритого транзистора. Наявність стадії відновлення приводить до того, що період надходження керувальних сигналів має бути таким, щоб до приходу чергового керувального імпульсу напруги на конденсаторах вже установилися. Зарядження і розрядження конденсаторів, які прискорюють, приводять до затягування переднього фронту вихідних імпульсів і до спотворення заднього.

Швидкодія транзисторних тригерів підвищується, якщо в них застосовуються ненасичені ТК, в яких використовується нелінійний ВЗЗ, реалізований, наприклад, за допомогою НД (див. п. 6.3.2). У таких ключах виключається насичення відкритого транзистора і накопичення надлишкового заряду в базі, а, отже, зменшується час розсмоктування у разі вимикання ключа.

Способи запуску симетричних тригерів

Є два види запуску (переключення) тригерів: роздільний і рахунковий.

У першому випадку переключення тригера здійснюється керувальними імпульсами однієї полярності, які подаються по черзі на базу кожного з транзисторів, чи імпульсами полярності, що змінюється, які діють на базі одного з транзисторів.

У другому випадку імпульси однієї полярності, які переключають, через ланцюг запуску подаються одночасно на бази (чи колектори) обох транзисторів (рис. 7.4). Імпульси, які переключають, повинні бути короткими з великою крутістю переднього фронту. Як елементи ланцюгів запуску використовуються роздільні конденсатори, діоди і, якщо тривалість керуючих імпульсів велика, диференціюючі ланцюги.

Розглянемо основні особливості рахункового переключення тригерів (рис. 7.4). Припустимо, у вихідному стані VT1 – відкритий, а VT2 – закритий. Конденсатор $C_{3.1}$ розряджений, а $C_{3.2}$ – заряджений до напруги, близької до $+E_{К}$. Перший від'ємний імпульс $U_{ЗАП}$ через розряджений конденсатор $C_{3.1}$ і відкритий діод VD1 (VD2 – закритий, тому що $C_{3.2}$ – заряджений і не пропускає від'ємний імпульс) надходить на базу відкритого транзистора VT1. Через виконання в схемі умови виникнення стрибків (баланс фаз і баланс амплітуд) тригер швидко (лавиноподібно) переключається в

протилежний стан: VT1 – закритий, VT2 – відкритий. Конденсатор $C_{3.2}$ не встигає швидко розрядитися, поки діє перший керувальний імпульс, тому повторне переключення схеми не відбувається. До приходу наступного керувального імпульсу конденсатор $C_{3.2}$ розряджається, а $C_{3.1}$ – заряджається. Наступний імпульс знову переключить тригер у протилежний стан і т.д.

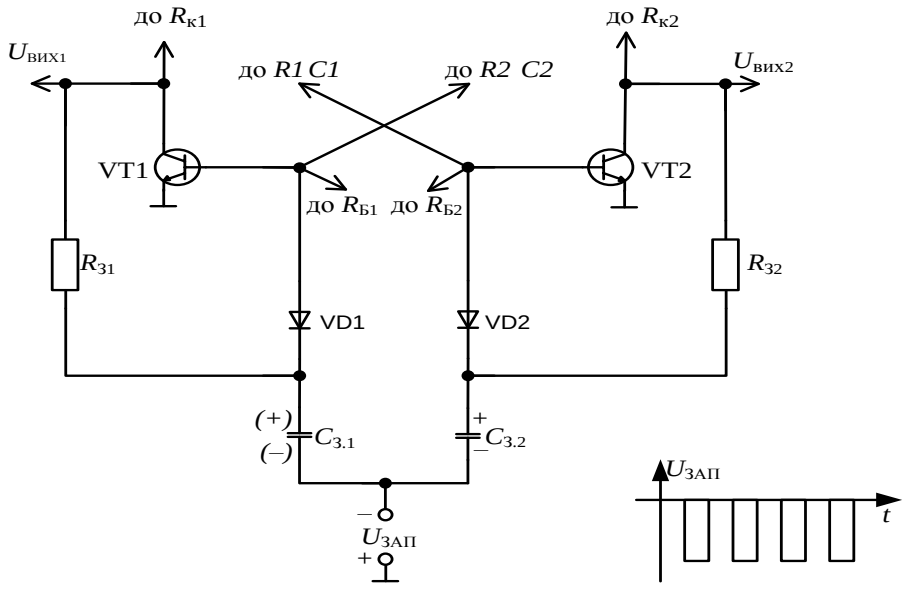


Рис. 7.4. Приклад рахункового запуску (переключення) тригера

7.3. Несиметричні тригери (тригери Шмітта)

Тригери Шмітта (ТШ) мають початкову схемну асиметрію і широко застосовуються як:

– порогові пристрої, в яких напруга спрацьовування $U_{СПР}$ більша за напругу відпускання $U_{ВІДП}$;
– формувачі прямокутних імпульсів із вхідних сигналів довільної форми.

Є кілька варіантів виконання несиметричних тригерів:

– на дискретних компонентах;
– на ІМС ОП;
– у вигляді спеціалізованої ІМС.

Умовно ТШ на ІМС ОП можна розділити на дві групи:

– ТШ, що не мають пам’яті;
– ТШ, що мають пам’ять.

Тригери Шмітта, що не мають пам’яті

На рис. 7.5 зображено ТШ, що не має пам’яті, на ІМС ОП:

а – схема ТШ;

б – передатна характеристика ТШ, якщо ІМС ОП – ідеальна;

в – передатна характеристика реальної ІМС ОП;

г – передатна характеристика ідеальної ІМС ОП;

д – передатна характеристика ТШ, якщо ІМС ОП – реальна.

Основним елементом тригера є мікросхема ОП (ІМС ОП), що охоплений ДЗЗ (рис. 7.5, *а*).

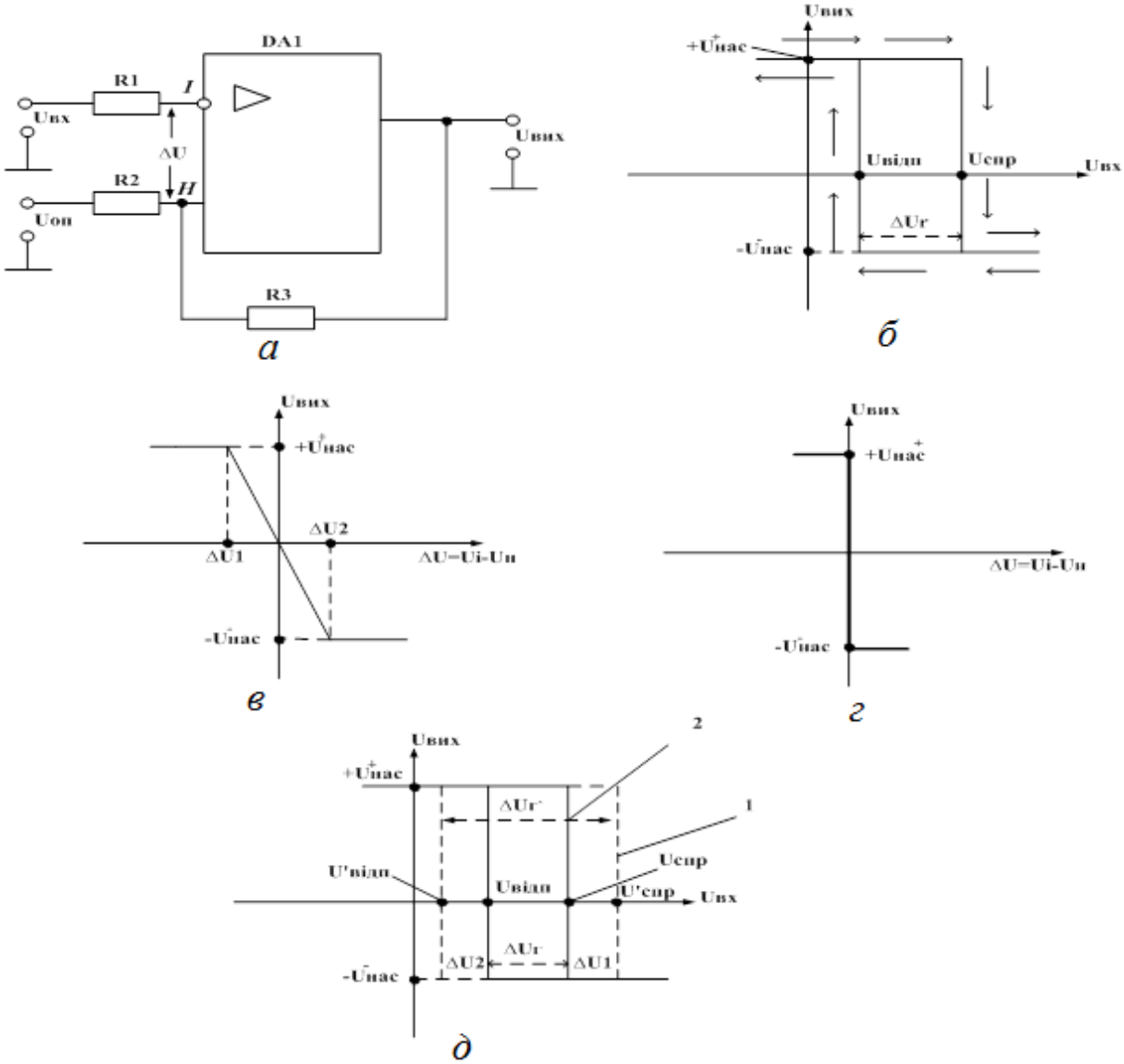


Рис. 7.5. ТШ, що не має пам’яті, на ІМС ОП

Розглянемо роботу тригера за умови, що ІМС ОП – ідеальна. У цьому випадку $\Delta U_1 = \Delta U_2 \approx 0$ і передатна характеристика ІМС ОП має вигляд, який наведено на рис. 7.5, *г*.

Для вихідного стану схеми $U_{\text{ВХ}} = 0,\ U_{\text{ВИХ}} = +U_{\text{НАС}}$. Напруга на вході ІМС ОП, що не інвертує, визначається двома напругами: $U_{\text{ОП}}$ та $U_{\text{ВИХ}}$. Використовуючи принцип суперпозиції одержимо:

$$U_{\text{Н1}} = \frac{U_{\text{ОП}} \cdot R3}{R2 + R3} + \frac{U_{\text{НАС}} \cdot R2}{R2 + R3} = U_{\text{СПР}}. \qquad (7.1)$$

Коли на вхід тригера подається вхідний сигнал $U_{\text{ВХ}}$ і його значення менше за $U_{\text{СПР}}$, стан ТШ не змінюється.

Якщо $U_{\text{ВХ}} \geq U_{\text{СПР}}$, схема швидко (лавиноподібно) переключається в другий стан, а напруга $U_{\text{ВИХ}} = -U^{-}_{\text{НАС}}$.

Напруга на вході, що не інвертує, при цьому дорівнює:

$$U_{\text{Н2}} = \frac{U_{\text{ОП}} \cdot R3}{R2 + R3} - \frac{U_{\text{НАС}} \cdot R2}{R2 + R3} = U_{\text{ВІДП}}. \qquad (7.2)$$

Поки вхідний сигнал більший за напругу відпускання $(U_{ВХ} > U_{ВІДП})$, стан ТШ не змінюється.

Якщо $U_{\text{ВХ}} \leq U_{\text{ВІДП}}$, то тригер швидко переключається у вихідний стан.

$U_{СПР} \neq U_{ВІДП}\ (U_{СПР} > U_{ВІДП})$ і в схемі є гістерезис. Напруга гістерезису

$$\Delta U_{Г} = U_{СПР} - U_{ВІДП} = 2 \cdot \frac{U_{НАС} \cdot R2}{R2 + R3}, \qquad (7.3)$$

якщо $+U^{+}_{НАС} = \left| -U^{-}_{НАС} \right| = U_{НАС}$.

Розглянемо роботу тригера за умови, що ІМС ОП – реальна. У цьому випадку $\Delta U_1 \neq 0; \Delta U_2 \neq 0$ і передатна характеристика ІМС ОП має вигляд, який наведено на рис. 7.5, *в*.

Вирази для визначення ΔU_1 і ΔU_2 мають вигляд:

$$\left| \Delta U1 \right| = \frac{U_{НАС}}{K_{U.\,ІМС\ ОП}}, \qquad (7.4)$$

$$\Delta U2 = \frac{|-U_{НАС}|}{K_{U.ІМС\ ОП}}. \qquad (7.5)$$

Останнє відбивається на формі передатної характеристики ТШ, яку наведено на рис. 7.5, *д*. Пунктиром на цьому рисунку наведено передатну характеристику тригера, якщо ІМС ОП – ідеальна. Як видно з рисунка, зі збільшенням вхідної напруги тригер спрацьовує раніше і

$$U_{СПР} = U'_{СПР} - |\Delta U1|, \qquad (7.6)$$

де $U'_{СПР}$ – напруга спрацьовування в ТШ з ідеальною ІМС ОП.

Зі зменшенням $U_{ВХ}$ тригер відпускає також раніше і

$$U_{ВІДП} = U'_{ВІДП} + \Delta U2, \qquad (7.7)$$

де $U'_{ВІДП}$ – напруга відпускання в ТШ з ідеальною ІМС ОП.

Величина гістерезису зменшується і дорівнює

$$\Delta U_{Г} = \Delta U'_{Г} - 2 \cdot \frac{U_{НАС}}{K_{U.ІМС\ \ ОП}}, \qquad (7.8)$$

де $\Delta U'_{Г}$ – величина гістерезису у ТШ з ідеальною ІМС ОП;

$$+U^{+}_{НАС} = \left|-U^{-}_{НАС}\right| = U_{НАС}.$$

Розглянутий тригер у разі зняття вхідного сигналу повертається у вихідний стан, тобто не має пам’яті.

Головним чином такий ТШ застосовується як пороговий пристрій, але може використовуватися також як формувач імпульсів із сигналу довільної форми, наприклад, трикутної (рис. 7.6).

Тригери Шмітта, що мають пам’ять

На рис. 7.7 представлено ТШ на ІМС ОП, що має пам’ять, та його передатні характеристики.

Відмінність цього ТШ від попереднього, розглянутого вище, полягає в тому, що $U_{ОП} = 0$ (рис. 7.7, *а*). Це змінює характеристики і роботу тригера (рис. 7.7, *б*, *в*).

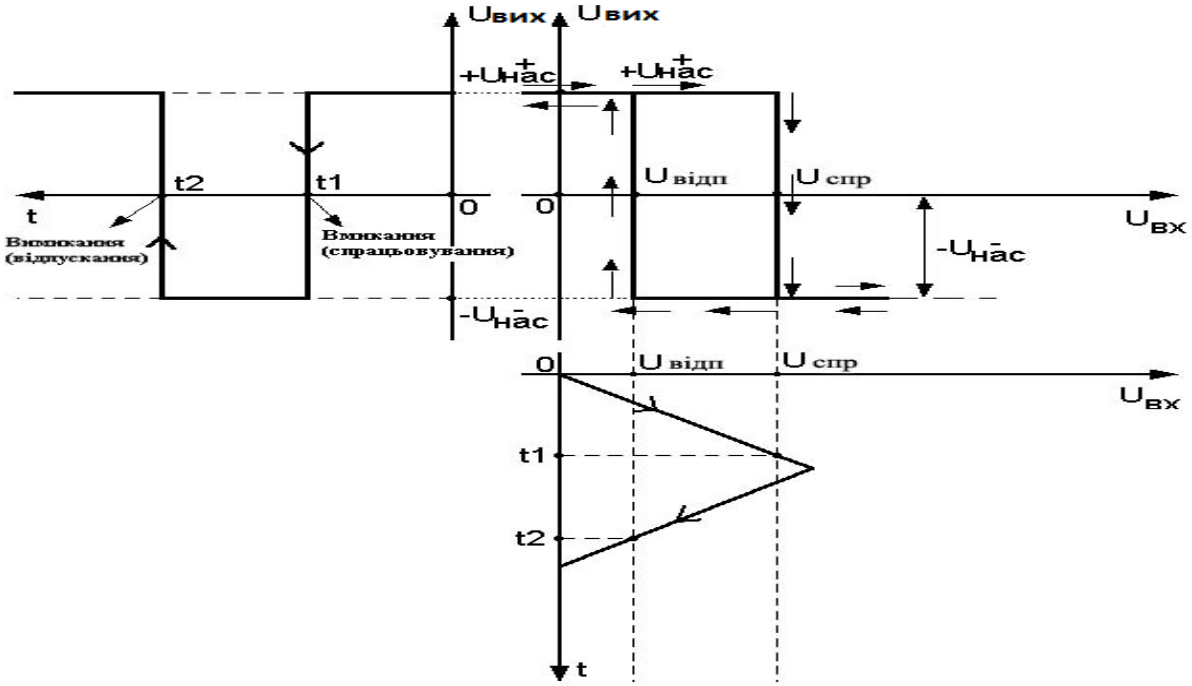


Рис. 7.6. Приклад використання ТШ на ІМС ОП, що не має пам'яті, у ролі формувача прямокутного імпульсу з сигналу трикутної форми

Основні розрахункові співвідношення для цього випадку можуть бути отримані з виразів 7.1…7.8 шляхом підстановки в них $U_{\text{ОП}} = 0$:

$$U'_{\text{СПР}} = +\frac{U_{\text{НАС}} \cdot R2}{R2 + R3};$$

$$U'_{\text{ВІДП}} = -\frac{U_{\text{НАС}} \cdot R2}{R2 + R3};$$

$$\Delta U'_{Г} = U'_{\text{СПР}} - U'_{\text{ВІДП}} = 2 \cdot \frac{U_{\text{НАС}} \cdot R2}{R2 + R3};$$

$$U_{\text{СПР}} = \frac{U_{\text{НАС}} \cdot R2}{R2 + R3} - \frac{U_{\text{НАС}}}{K_{U.\text{ІМСОП}}};$$

$$U_{\text{ВІДП}} = -\frac{U_{\text{НАС}} \cdot R2}{R2 + R3} + \frac{\left|-U_{\text{НАС}}\right|}{K_{U.\text{ІМСОП}}};$$

$$\Delta U_{\Gamma} = \Delta U'_{\Gamma} - 2 \cdot \frac{U_{\text{НАС}}}{K_{U.\text{ІМСОП}}},$$

де $(+U^{+}_{НАС} = \left|-U^{-}_{НАС}\right| = U_{НАС})$.

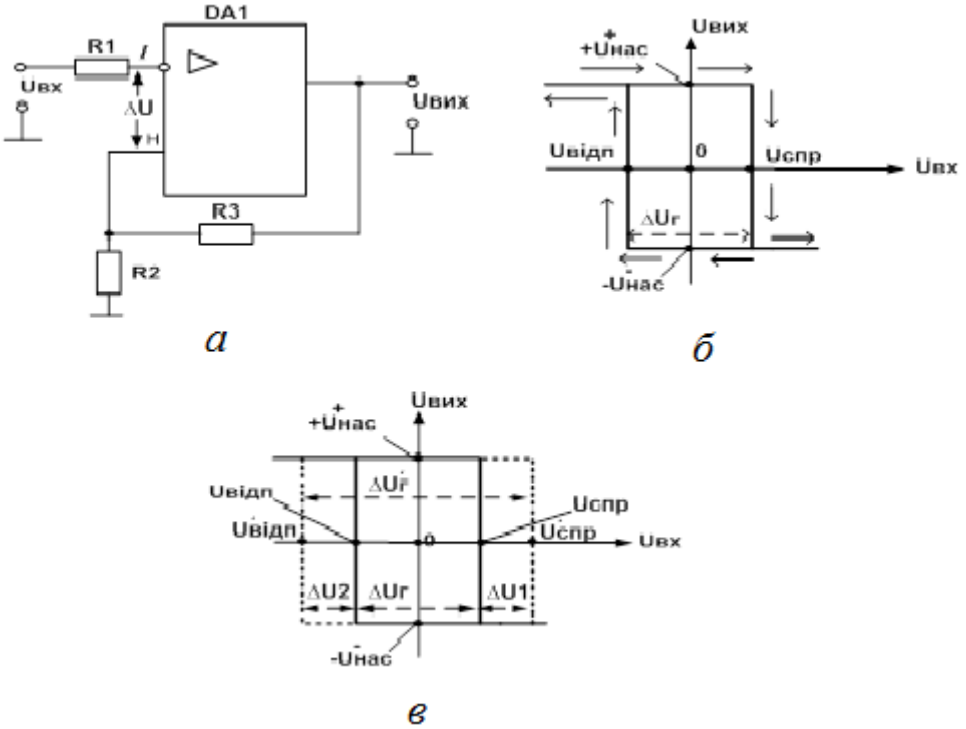


Рис. 7.7. ТШ на ІМС ОП, що має пам’ять,: *а* – схема;
б – передатна характеристика ТШ, якщо ІМС ОП – ідеальна;
в – передатна характеристика ТШ, якщо ІМС ОП – реальна

У разі відсутності вхідного сигналу ($U_{ВХ} = 0$) тригер займає довільний вихідний стан: $U_{ВИХ} = +U_{+НАС}$ чи $U_{ВИХ} = -U_{-НАС}$, що визначається початковою асиметрією схеми.

Щоб увімкнути вимкнений тригер ($U_{ВИХ} = +U_{НАС}$), необхідно подати вхідний сигнал $U_{ВХ} \geq U_{СПР}$.

У цьому разі схема швидко змінює свій стан і $U_{ВИХ} = -U^{-}_{НАС}$.

Щоб вимкнути ввімкнений тригер, необхідно подати вхідний сигнал $\left|-U_{ВХ}\right| \geq \left|-U_{ВІДП}\right|$.

Особливістю цього тригера є те, що після зняття керувального сигналу $(U_{вх} = 0)$ схема залишається у ввімкненому чи вимкненому стані, тобто має пам’ять.

Тригер може вмикатися додатним імпульсом, а вимикатися – від’ємним.

На рис. 7.8 показано застосування цього тригера як формувача різнополярних прямокутних імпульсів із вхідного синусоїдального сигналу.

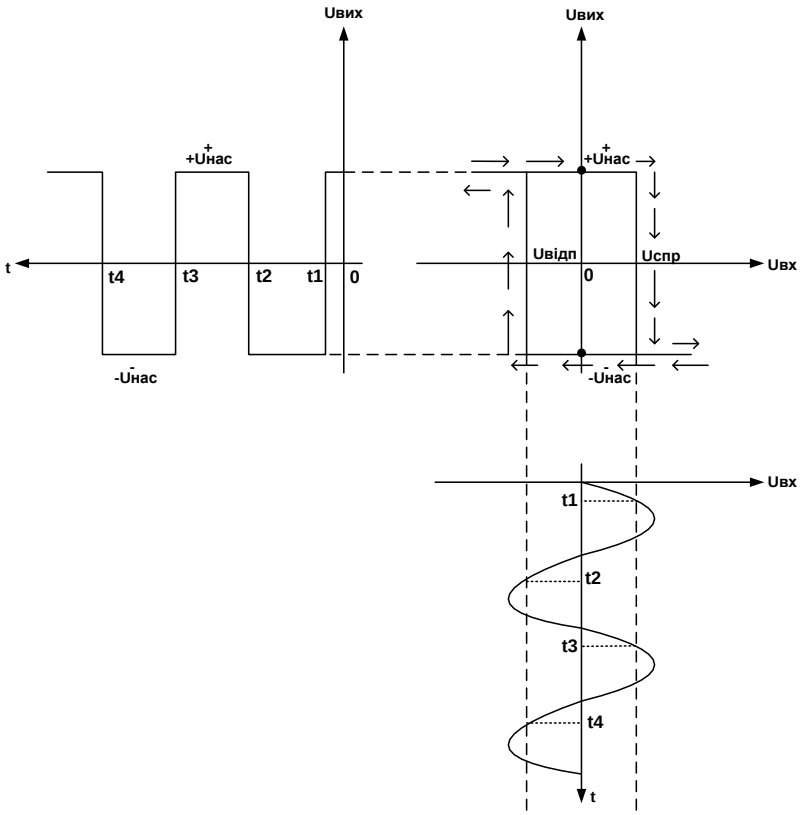


Рис. 7.8. Приклад використання ТШ на ІМС ОП, що має пам’ять, як формувача різнополярних прямокутних імпульсів з вхідного синусоїдального сигналу

Контрольні запитання та завдання

1. Який прилад називають тригером? У яких станах може знаходитись тригер? Назвіть способи переключення тригера.
2. Поясніть процес переключення асинхронного симетричного тригера на схемі, яку наведено на рис. 7.3.
3. На які три етапи умовно розділяють процес переключення тригера?
4. Опишіть два види запуску (переключення) симетричних тригерів.
5. У який стан встановиться тригер під час підключення до нього напруги живлення?
6. Як змінюється частота імпульсів на виході тригера із рахунковим входом?
7. Чим відрізняються синхронний та асинхронний *RS*-тригери?
8. Назвіть та поясніть умову швидкого переключення тригера під дією керувальних вхідних сигналів.
9. Який тригер називається тригером Шмітта? Назвіть дві групи, на які умовно поділяють ТШ на ІМС ОП.

10. Зобразіть та поясніть принципову електричну схему ТШ на ІМС ОП, а також реальні та ідеальні характеристики ОП та самого тригера.
11. Скільки біт інформації може зберігатись у тригері?
12. Поясніть умову виникнення стрибків у тригері.
13. Що означає баланс фаз та баланс амплітуд?
14. Назвіть варіанти схемного виконання тригерів.

8. АНАЛОГОВІ КОМПАРАТОРИ

8.1. Загальні відомості про компаратори

Компаратором називається електронний пристрій, призначений для порівняння двох сигналів (напруг). Залежно від форми представлення порівнюваних сигналів компаратори поділяються на:

– аналогові компаратори (АК);
– цифрові компаратори (ЦК).

Нижче описано АК, які призначено для порівняння двох аналогових напруг, одна з яких виконує функцію еталонної $U_{ЕТ}$, а інша, U_X порівнюється з еталонною.

Звичайно АК включає власне аналоговий компаратор (ВАК) і схему формування рівнів (СФР) (рис. 8.1).

ВАК виконує порівняння двох напруг: $U_{ЕТ}$ і U_X і формує на виході дискретний сигнал, що приймає одне з двох значень: $+U_{НАС}$ або $-U_{НАС}$.

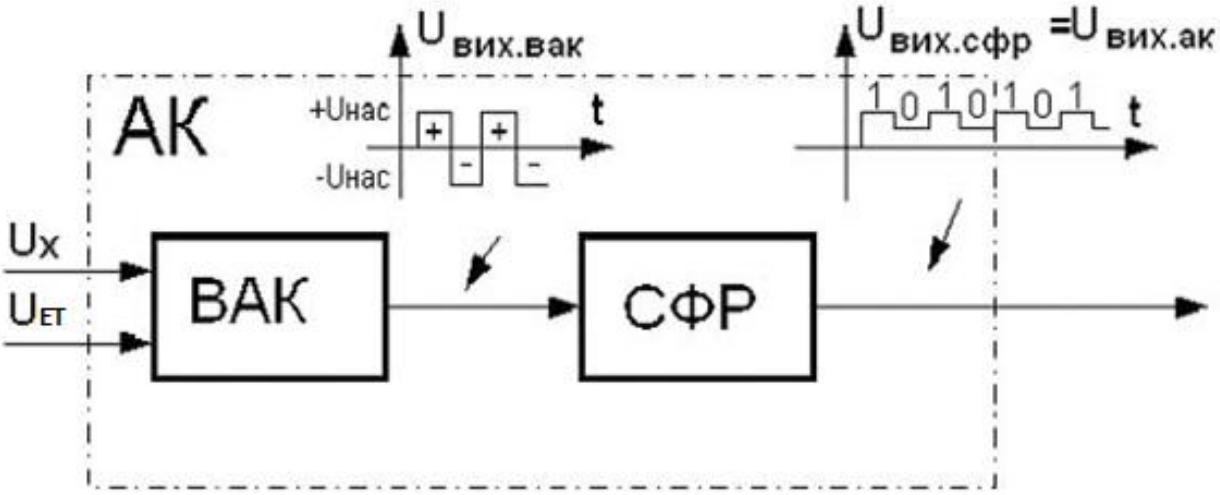


Рис. 8.1. Структура АК

СФР перетворює значення: $+U_{НАС}$; $-U_{НАС}$ у рівні цифрових сигналів ТТЛШ/КМОН-схем (ТТЛШ – транзисторно-транзисторна логіка з діодами Шоттки, КМОН – комплементарний метал–оксид–напівпровідник).

Звичайно значення $+U_{НАС}$ перетворюється в рівень логічної одиниці (1), а значення $(-U_{НАС})$ – у рівень логічного нуля (0).

Найбільш широко застосовуються два варіанти схемного виконання АК:

– на ІМС ОП;
– на спеціалізованій мікросхемі АК.

Найпростіший АК може бути виконано на ІМС ОП без ЗЗ. Вигляд його схеми визначається полярністю порівнюваних напруг.

8.2. Аналогові компаратори для порівняння однополярних напруг на інтегральній мікросхемі операційного підсилювача

Схему АК, що виконує порівняння двох додатних напруг, наведено на рис. 8.2, *а*. Одна напруга є еталонною (U_{ET} = const), а друга (U_X) – повільно змінюється за трикутним законом, який представлено на рис. 8.2, *в*.

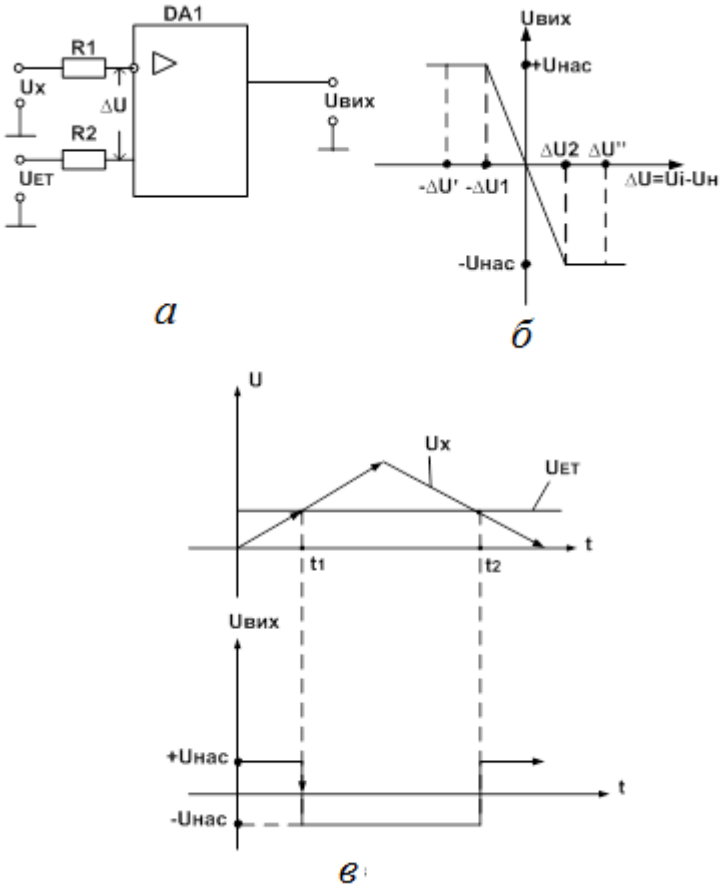


Рис. 8.2. АК для порівняння однополярних напруг: *а* – схема; *б* – передатна характеристика; *в* – часові діаграми

До моменту часу $t = t_1$ напруга $U_X < U_{ET}$. Потенціал неінвертуючого входу ІМС ОП більш додатний, ніж потенціал інвертуючого входу.

У цьому випадку різниця напруг між входами *І* та *Н*

$$\left|-\Delta U'\right| = \left|(U_I - U_H)\right| > \left|-\Delta U_1\right|.$$

Відповідно до передаточної характеристики ІМС ОП (рис. 8.2, *б*) у цьому випадку $U_{\text{ВИХ}} = +U_{\text{НАС}}$. Після моменту часу $t = t_1$ вхідний сигнал $U_{\text{Х}} \geq U_{\text{ЕТ}}$. З'являється різниця напруг між входами

$$\Delta U'' = (U_I - U_H) > \Delta U_2 .$$

Відповідно до передаточної характеристики ІМС ОП (рис. 8.2, *б*) у цьому випадку $U_{\text{ВИХ}} = -U_{\text{НАС}}$.

На рис. 8.2, *в* переключення АК відбувається миттєво, що є ідеальним випадком. Реально має місце невелика затримка між моментом досягнення рівності двох сигналів: $U_{\text{Х}}$ і $U_{\text{ЕТ}}$ і моментом, коли вихідний сигнал $U_{\text{ВИХ}}$ починає зменшуватися. Крім того, лінія, що відображає зменшення $U_{\text{ВИХ}}$, йде не перпендикулярно осі часу, а під невеликим нахилом.

Після моменту часу $t = t_2$ напруга $U_{\text{ЕТ}}$ знову стає більшою ніж $U_{\text{Х}}$, вихідна напруга змінюється і приймає значення: $+U_{\text{НАС}}$.

8.3. Аналогові компаратори для порівняння різнополярних напруг на інтегральній мікросхемі операційного підсилювача

Схему АК, що виконує порівняння різнополярних напруг, наведено на рис. 8.3, *а*. Одна напруга (U_{ET} = const) є додатною, а друга ($U_{\text{Х}}$ – від'ємна) – повільно змінюється за трикутним законом, який представлено на рис. 8.3, *б*.

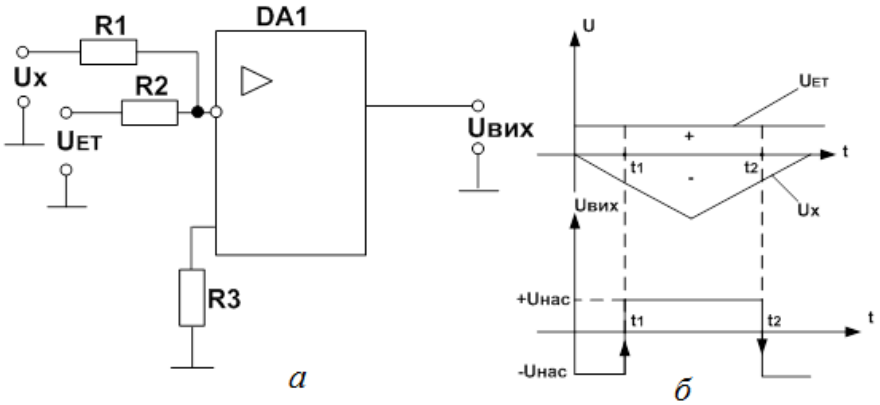


Рис. 8.3. АК для порівняння різнополярних напруг: *а* – схема; *б* – часові діаграми

Значення резисторів схеми вибирається з умови

$$R1 = R2 = R;\ \ R3 = \frac{R}{2}.$$

До моменту часу $t = t_1$ (рис. 8.3, *б*) $U_{ET} > |-U_X|$, тому потенціал інвертуючого входу ІМС ОП (ΔU``>ΔU2, рис. 8.2, *б*) – додатний, а $U_{ВИХ} = -U_{НАС}$.

Коли $t \geq t_1$ (рис. 8.3, *б*), то $|-U_X| > U_{ET}$. Потенціал входу, що інвертує, ІМС ОП стає від'ємним $(|-\Delta U'| > |-\Delta U1|)$, а $U_{ВИХ} = +U_{НАС}$ (рис. 8.2, *б*). Як і в попередньому випадку переключення АК (зміна $U_{ВИХ}$) відбувається з невеликою затримкою щодо моментів часу, коли U_X дорівнює U_{ET}, а також зміна $U_{ВИХ}$ відбувається з невеликим нахилом до осі часу (на рисунках це не показано).

Якщо в схемах на рис. 8.2, 8.3 U_{ET} = 0, то переключення АК відбувається за $U_X \approx 0$, а такий компаратор називають детектором нульового рівня.

Особливістю розглянутих схем АК (рис. 8.2, 8.3) є відсутність ЗЗ. ВЗЗ у компаратори не вводять, тому що він буде гальмувати процес переключення схеми.

Відсутність ДЗЗ з одного боку спрощує схему АК, а з іншого:

– по-перше, збільшує час переключення схеми;

– по-друге, у схемі АК без ДЗЗ напруга спрацьовування $U_{СПР}$ дорівнює напрузі відпускання $U_{ВІДП}$, що може призвести до помилкових спрацьовувань, якщо на вхід компаратора надходить сигнал, який спотворено завадою $(U_{ВХ} = U_X + U_{ЗАВ})$.

У разі характеру зміни $U_{ВХ}$, як, наприклад, показано на рис. 8.4, через вплив завади $(U_{ЗАВ})$ під час зростання вхідного сигналу замість одного правильного спрацьовування $(t = t_5)$ виникають два помилкових спрацьовування $(t = t_1; t = t_3)$ і два помилкових відпускання $(t = t_2; t = t_4)$. У разі зменшення вхідної напруги замість одного правильного відпускання $(t = t_{10})$ виникають два помилкових відпускання $(t = t_6; t = t_8)$ і два помилкових спрацьовування $(t = t_7; t = t_9)$.

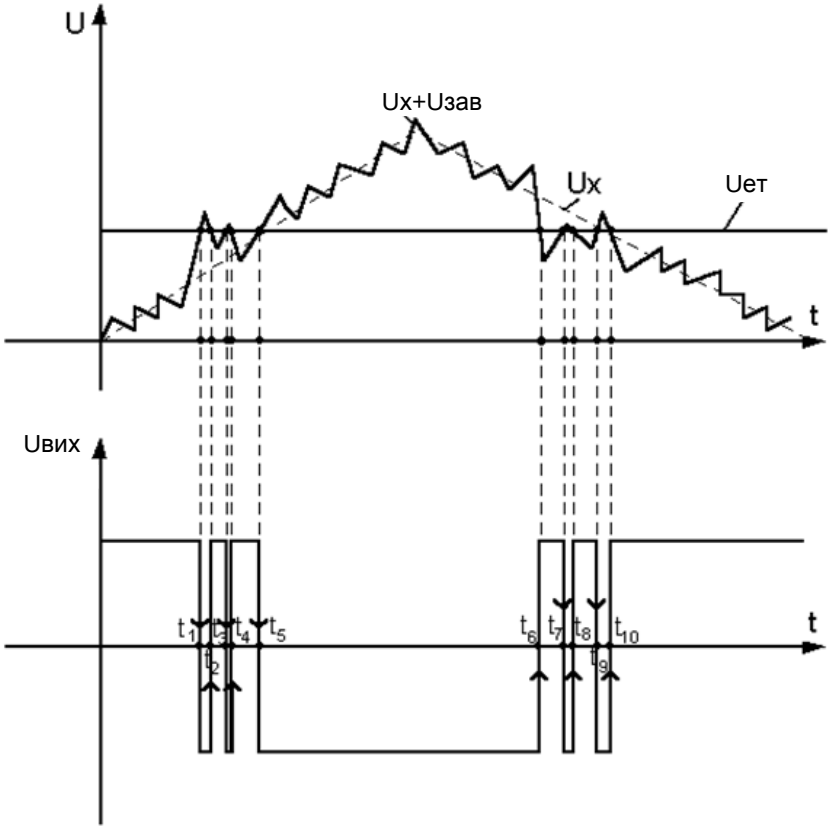


Рис. 8.4. Помилкові переключення АК через дію завад

Помилкові переключення небезпечні в тих випадках, коли вихідний сигнал АК обробляється рахунковою схемою, що фіксує кількість спрацьовувань і відпускань компаратора. Отже, помилкові переключення будуть фіксуватися рахунковою схемою і спотворювати роботу логічного пристрою, що приймає рішення за результатами оброблення.

Для боротьби з завадами необхідно застосовувати АК з ДЗЗ (регенеративний компаратор).

8.4. Регенеративний компаратор

Для підвищення завадостійкості АК, особливо коли сигнал U_X змінюється з малою швидкістю, у схему АК вводять ДЗЗ (рис. 8.5, 8.6). Елементами ДЗЗ є резистори *R*2, *R*3. Такий АК називається регенеративним, а його схема збігається з ТШ, що не має пам’яті (див. рис. 7.3).

Особливістю останньої схеми є те, що в ній є: напруга спрацьовування ($U_{СПР}$), і напруга відпускання ($U_{ВІДП}$), різниця між якими називається напругою гістерезису

$$\Delta U_{\Gamma} = U_{\text{СПР}} - U_{\text{ВІДП}}.$$

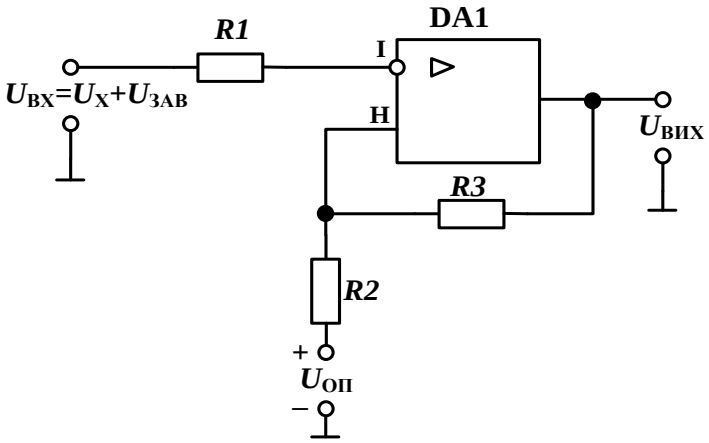


Рис. 8.5. Регенеративний АК із ДЗЗ

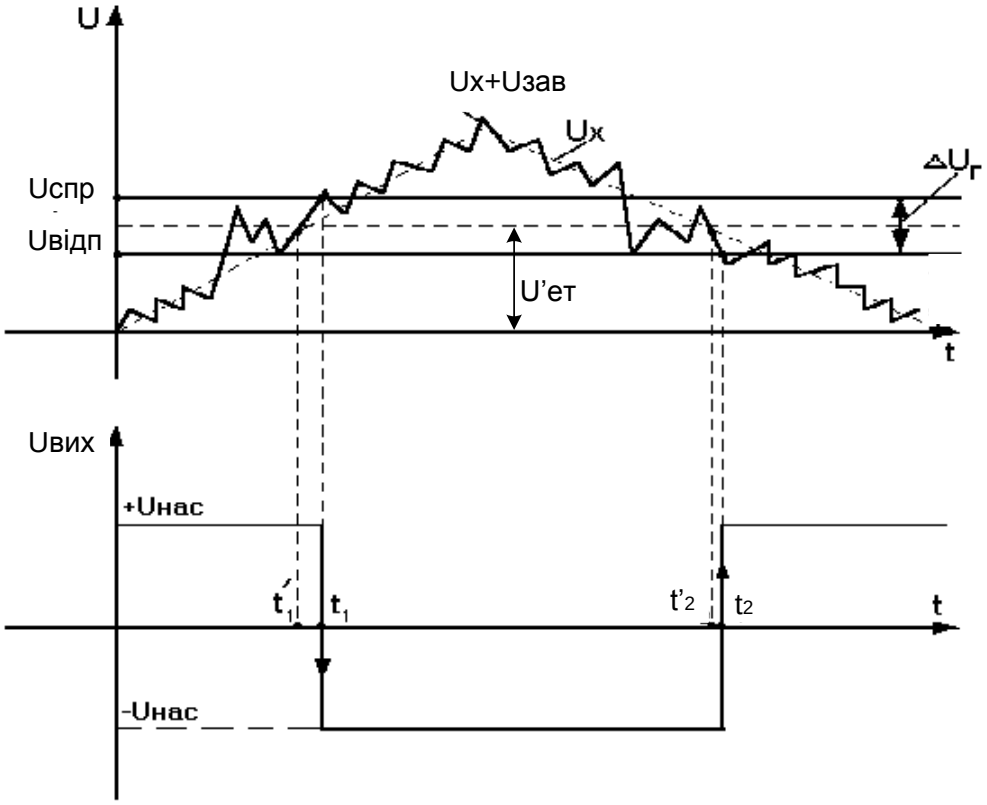


Рис. 8.6. Часові діаграми роботи регенеративного АК

Компаратор спрацьовує, коли вхідний сигнал: $U_{\text{ВХ}} = U_{\text{Х}} + U_{\text{ЗАВ}}$ стане більший ніж $U_{\text{СПР}}$, і відпускає (переключається у початковий стан), коли $U_{\text{вх}}$ стане менше $U_{\text{ВІДП}}$.

Якщо в схемі виконується умова

$$\Delta U_{Г} > U_{ЗАВ},$$

то помилкових переключень у компараторі не виникає.

Недоліком регенеративного компаратора порівняно з АК без ДЗЗ є те, що погіршується точність порівняння. Так, якщо порівняти часові діаграми роботи двох компараторів (рис. 8.4 і 8.6), то можна помітити, що за однакового характеру зміни порівнюваного сигналу U_{X} і завади $U_{ЗАВ}$ спрацьовування і відпускання регенеративного компаратора відбувається трошки пізніше (у моменти: t_1 замість t'_1 і t_2 замість t'_2), тобто трохи погіршується точність порівняння.

Виведення основних розрахункових співвідношень для регенеративного компаратора

У схемі АК (рис. 8.5) вхідний сигнал $U_{ВХ}$ порівнюється з напругою на вході U_H, що не інвертує. Ця напруга визначається значеннями двох напруг: $U_{ОП}$
і $U_{ВИХ}$, і резисторів: $R2$, $R3$.

Якщо $U_{ВИХ}$ = + $U_{НАС}$, то

$$U_{Н1} = \frac{U_{ОП} \cdot R3}{R2 + R3} + \frac{U_{НАС} \cdot R2}{R2 + R3} = U_{СПР}.$$

Якщо $U_{ВИХ}$ = - $U_{НАС}$, то

$$U_{Н2} = \frac{-U_{НАС} \cdot R2}{R2+R3} + \frac{U_{ОП} \cdot R3}{R2+R3} = U_{ВІДП} \qquad (8.7)$$

Твердження, що U_{H1} = $U_{СПР}$, а $U_{Н2}$ = $U_{ВІДП}$ справедливі в тому випадку, коли ІМС ОП – ідеальна, і величини $\Delta U_1 = \Delta U_2 \approx 0$ (рис. 7.5, *г*). У цьому разі переключення АК відбувається, коли напруга на вході, що інвертує (U_I), приблизно дорівнює напрузі на вході, що не інвертує(U_H), тобто $\Delta U = U_I - U_H \approx 0$.

$$\Delta U_{Г} = U_{СПР} - U_{ВІДП} = \frac{2U_{НАС} \cdot R2}{R2 + R3}.$$

Розглянуті АК не мають пам’яті і працюють як порогові пристрої, тобто вихідний сигнал, що дискретно змінюється, відображає співвідношення рівнів порівнюваного вхідного сигналу і заданого еталонного.

Контрольні запитання та завдання

1. Який пристрій називається компаратором? Назвіть два види компараторів залежно від форми представлення порівнюваних сигналів.
2. Опишіть структуру АК.
3. Наведіть принципову електричну схему та часові діаграми АК для порівняння одно- чи двополярних напруг.
4. Яка причина помилкових спрацювань АК та як з ними боротися?
5. Наведіть принципову електричну схему регенеративного АК та назвіть його переваги та недоліки.

9. ГЕНЕРАТОРИ ІМПУЛЬСІВ

9.1. Генератори прямокутних імпульсів

9.1.1. Загальні відомості про генератори прямокутних імпульсів

В імпульсній техніці широко застосовуються генератори прямокутних імпульсів, що відносяться до класу релаксаційних генераторів. Коливання, в яких повільні зміни чергуються зі стрибкоподібними, називають релаксаційними. Такими коливаннями є, зокрема, прямокутні і пилкоподібні імпульси.

Подібно генераторам синусоїдальних (гармонійних) напруг, релаксаційні генератори перетворюють енергію джерела постійного струму в енергію електричних коливань.

Підсилювальний елемент працює в цьому випадку в ключовому режимі, переключаючи конденсатор із зарядження на розрядження і у зворотному напрямку.

Релаксаційні генератори можуть працювати в автоколивальному режимі та у режимі очікування.

Генератор в автоколивальному режимі після включення живлення генерує коливання безперервно (рис. 9.1, *а*).

Генератор, що чекає (загальмований, одновібратор (ОВ)), формує на виході одиночний імпульс заданої тривалості під час подачі на вхід короткого імпульсу, що запускає (рис. 9.1, *б*, *в*).

Генератор прямокутних імпульсів зазвичай називають мультивібратором (МВ), тому що спектр вихідних сигналів містить багато гармонік. МВ застосовується для отримання одиночних імпульсів прямокутної форми і як генератори послідовності прямокутних імпульсів для різних пристроїв промислової електроніки.

Є декілька варіантів схемного виконання МВ:

– на дискретних елементах;
– на ЛЕ;
– на ІМС ОП;
– у вигляді спеціалізованої ІМС.

Нижче більш докладно зупинимося на МВ, які виконано на ІМС ОП.

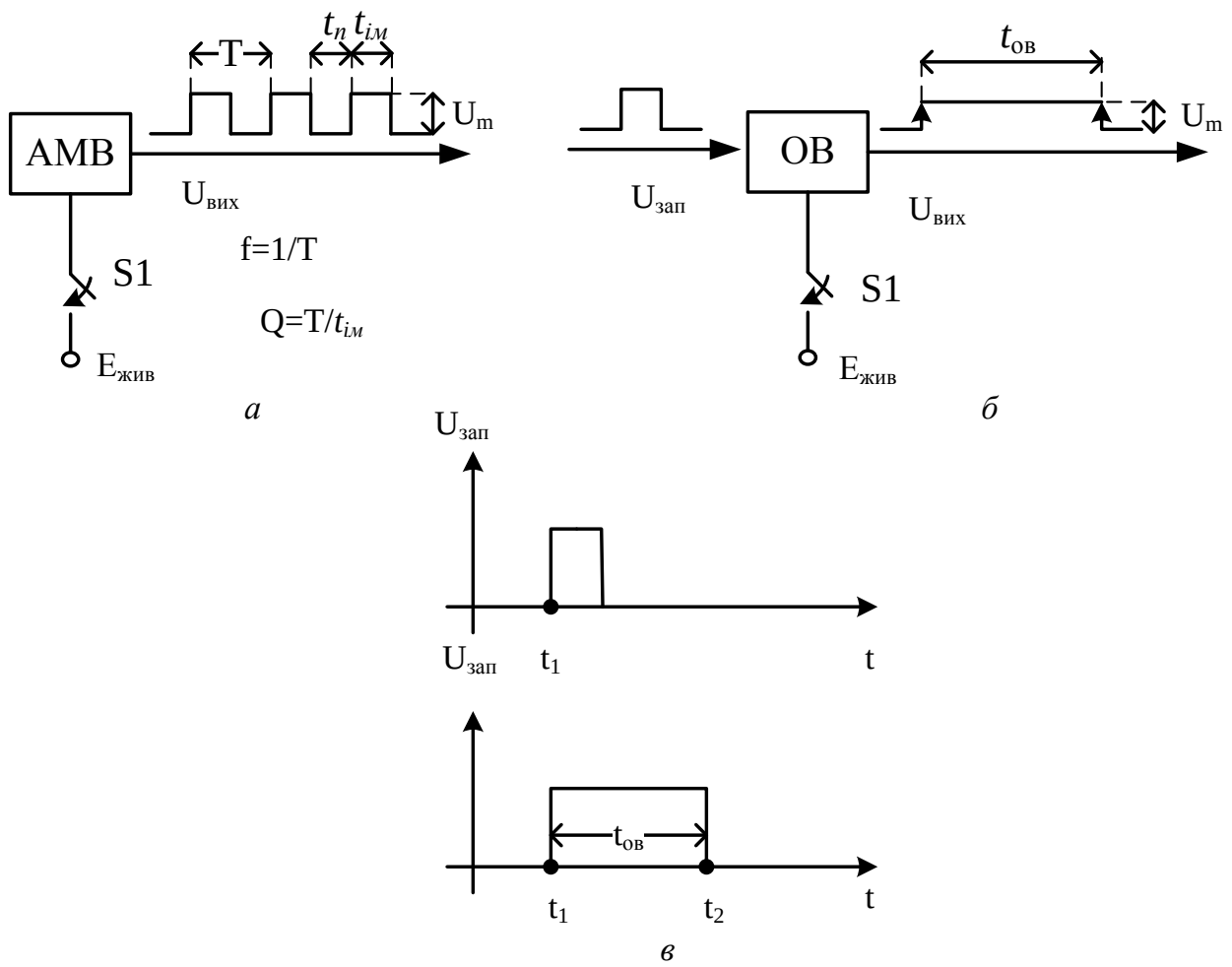


Рис. 9.1. МВ: *а* – АВМ (автоколивальний);
б – ОВ; *в* – часові діаграми роботи ОВ

Роботу найпростіших МВ на ІМС ОП засновано на спільному використанні ДЗЗ і ВЗЗ, при цьому ДЗЗ повинен бути більш сильним (глибоким), ніж ВЗЗ. Ланцюг ДЗЗ забезпечує лавиноподібний перехід МВ з одного стану квазірівноваги у другий, а ланцюг ВЗЗ – для задання тривалості квазістійких станів (тривалості вихідних імпульсів). На ІМС ОП можуть виконуватися автоколивальні та МВ, які очікують.

9.1.2. Автоколивальний МВ

МВ (рис. 9.2) є автогенератором і працює без подачі вхідного сигналу. Конденсатор *C*1 і резистори *R*1, *R*2 є ВЗЗ і утворюють інтегруючий *RC*-ланцюг, джерелом вхідної напруги для якого є напруга $U_{ВИХ}$ ІМС ОП. У цій схемі ОП працює у нелінійному режимі і його вихідна напруга приймає одне з двох постійних значень: $+U_{НАС}$ чи $\left(-U_{НАС}\right)$, рис. 9.2, *б*.

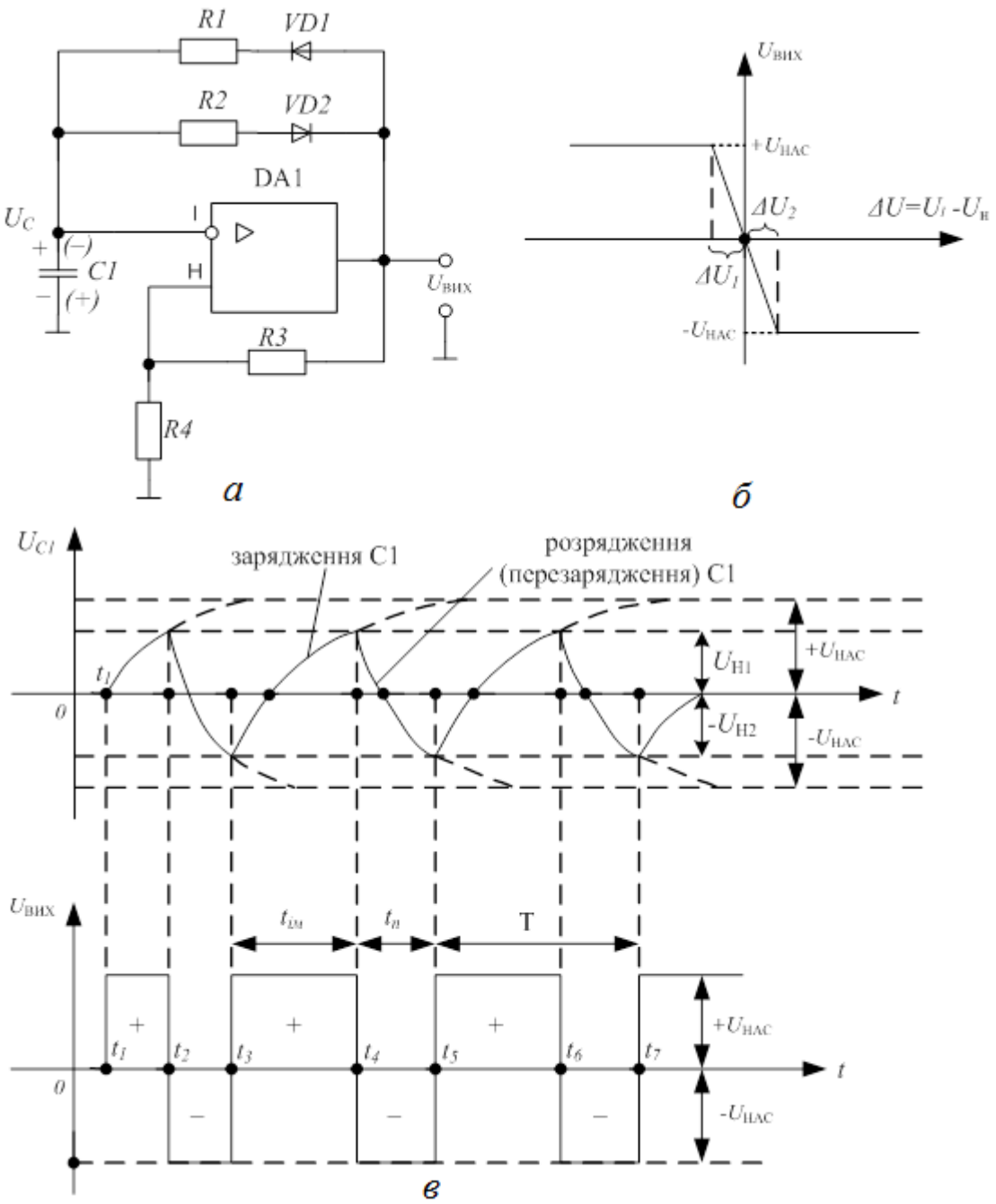


Рис. 9.2. Автоколивальний МВ на ІМС ОП: *а* – схема; *б* – передатна характеристика ІМС ОП; *в* – часові діаграми роботи

Якщо $U_{ВИХ} = +U_{НАС}$, відкрито VD1 і конденсатор *C*1 заряджається через резистор *R*1. За $U_{ВИХ} = -U_{НАС}$ відкрито VD2 і конденсатор *C*1 перезаряджається через *R*2. На прямий вхід ІМС ОП, що не інвертує, надходить напруга ДЗЗ $U_{ПР}(U_Н)$, що знімається з подільника вихідної напруги, який виконано на резисторах *R*3, *R*4.

Залежноо від величини вихідної напруги ІМС ОП, напруга $U_{ПР}(U_{Н})$ приймає значення

$$U_{Н1} = U_{ПР1} = \frac{+U_{НАС} \cdot R4}{R3 + R4},$$

якщо $U_{ВИХ} = +U_{НАС}$;

$$U_{Н2} = U_{ПР2} = \frac{-U_{НАС} \cdot R4}{R3 + R4},$$

якщо $U_{ВИХ} = -U_{НАС}$.

У разі високого значення коефіцієнта підсилення напруги ІМС ОП $\left(K_{U.ІМСОП}\right)$ величини ΔU_1, ΔU_2 (рис. 9.2, *б*) наближаються до нуля.

Тому за $\Delta U = U_I - U_н \approx 0$ вихідна напруга підсилювача за рахунок виконання умови виникнення стрибків: балансу фаз (ДЗЗ) і балансу амплітуд швидко (лавиноподібно) змінює своє значення від $+U_{НАС}$ до $-U_{НАС}$ і навпаки. Отже, ІМС ОП порівнює напруги на вході, що інвертує (І), та на вході, що не інвертує (Н), і у разі їх приблизної рівності стрибкоподібно змінює своє вихідне значення.

Розглянемо роботу МВ. У разі відключеної напруги живлення підсилювача конденсатор *C*1 розряджений. У разі включеної напруги ІМС ОП $\left(t = t_1\right)$ за рахунок асиметрії схеми підсилювача і наявності ДЗЗ випадковим чином на виході встановиться значення $+U_{НАС}$ чи $-U_{НАС}$. Припустимо, $U_{ВИХ} = +U_{НАС}$. Діод VD1 відкривається, а VD2 – закритий. Конденсатор заряджається цією напругою через резистор *R*1. Наростаюча за експонентою напруга U_{C1} зі сталою часу $\tau_{зар} = R1 \cdot C1$ подається на вхід ІМС ОП, що інвертує. Через ланцюг *R*3, *R*4 на вхід, що не інвертує, подається напруга $U_{Н1}$. У момент $t = t_2$ напруга $U_{C1} = U_{Н1}$, відбувається переключення підсилювача і на його виході встановлюється напруга $U_{ВИХ} = -U_{НАС}$. Діод VD2 – відкривається, а VD1 – закривається. Через резистор *R*2 конденсатор *C*1 перезаряджається напругою: $-U_{НАС}$ зі сталою часу $\tau_{пер} = R2 \cdot C1$.

У момент часу $t = t_3$ модуль від'ємної напруги U_{C1} дорівнює модулю від'ємної напруги $U_{Н2}$. Підсилювач знову переключається і на його виході встановлюється напруга $+U_{НАС}$. Далі описаний процес повторюється.

Інтервал $t_3 ... t_4$ визначає тривалість вихідного імпульсу МВ ($t_{iм}$), а інтервал $t_4 ... t_5$ – тривалість паузи (t_n).

Виведення співвідношень, що визначають тривалість імпульсу $t_{iм}$ та паузи t_n МВ

Скористаємося відомостями з теорії електричних кіл, що описують роботу пасивного *RC*-ланцюга (рис. 9.3) :

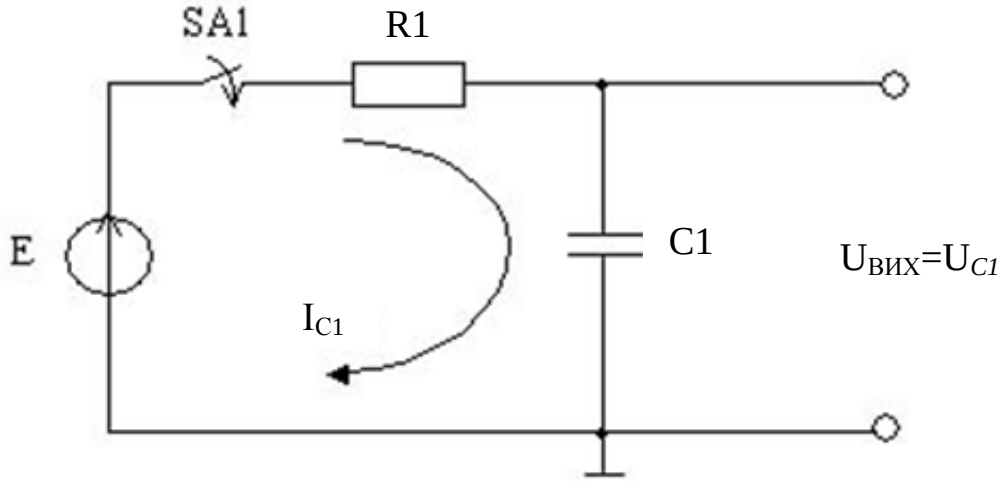


Рис. 9.3. Пасивний *RC*-ланцюг

$$I_{C1} = C1 \cdot \frac{dU_{C1}}{dt},$$

$$R1 \cdot C1 \cdot \frac{dU_{C1}}{dt} + U_{C1} = E.$$

Розв'язання останнього диференціального рівняння можна представити у вигляді

$$U_{C1}(t) = E - \left[E - U_{C1}(0)\right] e^{-t/\tau_{інт}}, \tag{9.1}$$

де $\tau_{інт} = R1 \cdot C1$ – стала часу інтегруючого ланцюга; $U_C(0)$ – початкова напруга на конденсаторі у момент замикання ключа SA1.

У розглянутій вище схемі МВ (рис. 9.2) у момент $t = t_3$ (початок формування імпульсу):

$$U_{C1}(0) = U_{C1}(t_3) = -U_{H2} = \frac{-U_{НАС} \cdot R4}{R3 + R4},$$
$$E = +U_{НАС}, \tau_{інт} = R1 \cdot C1. \tag{9.2}$$

У момент закінчення формування імпульсу $(t = t_4)$

$$U_{C1}(t_4) = U_{H1} = \frac{U_{НАС} \cdot R4}{R3 + R4}. \qquad (9.3)$$

Якщо в рівняння (9.1) замість t підставити $t = t_4 - t_3 = t_{iм}$, то $U_{C1}(t_{iм}) = U_{H1}$, а (9.1) прийме вигляд

$$U_{C1}(t_{iм}) = U_{H1} = U_{НАС} - \left[U_{НАС} - (-U_{H2})\right] e^{-t_{iм}/\tau_{інт}}. \qquad (9.4)$$

Підставимо в (9.4) значення U_{H1} і U_{H2} з (9.2), (9.3) отримаємо

$$\frac{U_{НАС} \cdot R4}{R3 + R4} = U_{НАС} - (U_{НАС} + \frac{U_{НАС} \cdot R4}{R3 + R4}) e^{-t_{iм}/\tau_{інт}}. \qquad (9.5)$$

Розділивши ліву і праву частини (9.5) на $U_{НАС}$, запишемо

$$\frac{R4}{R3 + R4} = 1 - (1 + \frac{R4}{R3 + R4}) \cdot e^{-t_{iм}/\tau_{інт}};$$

$$-\frac{R3}{R3 + R4} = -\left(\frac{R3 + 2R4}{R3 + R4}\right) \cdot e^{-t_{iм}/\tau_{інт}};$$

$$R3 = (R3 + 2R4) \cdot e^{-t_{iм}/\tau_{інт}};$$

$$1 = (1 + \frac{2R4}{R3}) \cdot e^{-t_{iм}/\tau_{інт}};$$

$$1 = (1 + \frac{2R4}{R3}) \cdot \frac{1}{e^{t_{iм}/\tau_{інт}}};$$

$$e^{t_{iм}/\tau_{інт}} = (1 + 2R4 / R3). \qquad (9.6)$$

Логарифмуючи ліву і праву частини (9.6) отримаємо вираз для визначення тривалості імпульсу

$$t_{iм} = \tau_{інт} \cdot \ln(1 + \frac{2R4}{R3}) = R1 \cdot C1 \cdot \ln(1 + \frac{2R4}{R3}). \qquad (9.7)$$

Аналогічно виведемо вираз для визначення тривалості паузи

$t_n = t_5 - t_4$.

У момент початку формування паузи $(t = t_4)$

$$U_{C1}(0) = U_{C1}(t_4) = U_{H1} = \frac{U_{НАС} \cdot R4}{R3 + R4},$$

$$E = -U_{НАС}, \tau_{інт} = R2 \cdot C1. \qquad (9.8)$$

У момент закінчення формування паузи $(t = t_5)$

$$U_{C1}(t_5) = -U_{H2} = -\frac{U_{НАС} \cdot R4}{R3 + R4}. \qquad (9.9)$$

Якщо в рівняння (9.1) замість t підставити $t = t_5 - t_4 = t_n$, то $U_{C1}(t_n) = -U_{н2}$, а (9.1) прийме вигляд

$$U_{C1}(t_n) = -U_{H2} = -U_{НАС} - (-U_{НАС} - U_{H1}) \cdot e^{-t_n/\tau_{інт}}. \qquad (9.10)$$

Підставивши в (9.10) значення U_{H1} і U_{H2} з (9.8) і (9.9), отримаємо

$$-\frac{U_{НАС} \cdot R4}{R3 + R4} = -U_{НАС} - (-U_{НАС} - \frac{U_{НАС} \cdot R4}{R3 + R4}) \cdot e^{-t_n/\tau_{інт}}. \qquad (9.11)$$

Розділивши ліву і праву частини (9.11) на $U_{НАС}$, запишемо

$$-\frac{R4}{R3 + R4} = -1 - (-1 - \frac{R4}{R3 + R4}) \cdot e^{-t_n/\tau_{інт}};$$

$$-\frac{R4}{R3 + R4} = -1 + (1 + \frac{R4}{R3 + R4}) \cdot e^{-t_n/\tau_{інт}};$$

$$-\frac{R4}{R3 + R4} = -1 + (\frac{R3 + 2R4}{R3 + R4}) \cdot e^{-t_n/\tau_{інт}};$$

$$1 - \frac{R4}{R3 + R4} = (\frac{R3 + 2R4}{R3 + R4}) \cdot e^{-t_n/\tau_{інт}};$$

$$\frac{R3}{R3 + R4} = (\frac{R3 + 2R4}{R3 + R4}) \cdot e^{-t_n/\tau_{інт}};$$

$$1 = (1 + \frac{2R4}{R3}) \cdot e^{-t_n/\tau_{інт}};$$

$$e^{t_n/\tau_{інт}} = (1 + \frac{2R4}{R3}). \qquad (9.12)$$

Логарифмуючи ліву і праву частини (9.12), отримаємо вираз для визначення тривалості паузи:

$$t_n = \tau_{інт} \cdot \ln(1 + \frac{2R4}{R3}) = R2 \cdot C1 \cdot \ln(1 + \frac{2R4}{R3}). \qquad (9.13)$$

Період слідування вихідних імпульсів

$$T = t_{iм} + t_n = (R1 + R2) \cdot C1 \cdot \ln(1 + \frac{2R4}{R3}), \qquad (9.14)$$

а шпаруватість

$$Q = \frac{T}{t_{iм}} = \frac{R1 + R2}{R1}. \qquad (9.15)$$

З виразів (9.7, 9.13–9.15) видно, що значення $t_{iм}, t_n, T, Q$ не залежать від параметрів ІМС ОП, якщо остання близька до ідеальної.

Отже, стабільність частоти f і шпаруватості Q вихідних імпульсів МВ визначається стабільністю параметрів резисторів і конденсатора.

У реальних схемах МВ на ІМС ОП потрібно враховувати те, що $+U_{НАС} \neq |-U_{НАС}|$; на виході підсилювача є напруга зсуву нуля; стрибкоподібна зміна вихідного сигналу відбувається не за нульової різниці напруг між входами ІМС ОП, а трошки раніше і т. ін.

Усе це дещо знижує стабільність параметрів схеми.

Регулювання параметрів схеми

Для регулювання частоти слідування вихідних імпульсів за незмінної шпаруватості варто змінювати співвідношення резисторів $R3$, $R4$. Наприклад, якщо $R3$ = const, а $R4$ збільшується, то частота f зменшується (див. (9.14)). Для регулювання шпаруватості вихідних імпульсів під час незмінної частоти можна скористатися схемою, яку зображено на рис. 9.4, *а*.

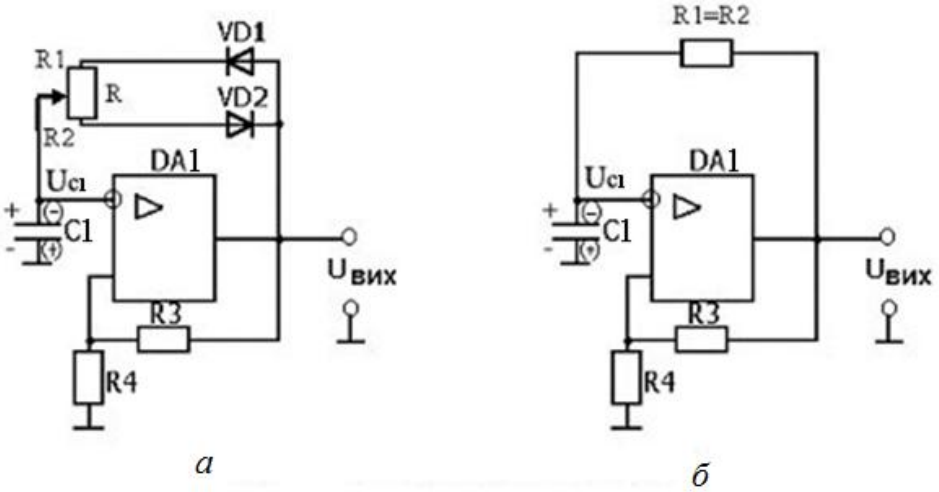


Рис. 9.4. Автоколивальний МВ на ІМС ОП: *а* – з резистором для регулювання шпаруватості; *б* – зі шпаруватістю Q = 2

Пересуванням повзуна змінного резистора R змінюється значення резистора $R1$, що впливає на шпаруватість Q, а сума $R1 + R2 = R$ = const, тобто період T і частота не змінюються (див. (9.14), (9.15)).

Для формування на виході розглянутого МВ послідовності імпульсів зі шпаруватістю Q = 2 значення резисторів у ланцюзі ВЗЗ повинні бути

однакові ($R1 = R2$). У цьому випадку діоди VD1, VD2 не потрібні і схема МВ має вигляд, який наведено на рис. 9.3, *б*.

9.1.3. Мультивібратор, що чекає

МВ, який наведено на рис. 9.5, *а*, називають таким, що чекає. Він формує на виході одиночний прямокутний імпульс заданої тривалості під час надходження на вхід короткого імпульсу, який його запускає.

Під час включення напруги та відсутності вхідного імпульсу, який запускає, на виході схеми встановлюється напруга $U_{ВИХ} = -U_{НАС}$. Діод VD1 – відкритий і напруга на конденсаторі $U_{C1} = -U_{VD1.ПР}$.

Такий стан схеми є стійким. На рис. 9.5, *б* наведено часові діаграми роботи пристрою під час надходження на його вхід імпульсів, що запускають.

У початковому стані $U_{ЗАП} = 0; U_{ВИХ} = -U_{НАС}; U_I = -U_{VD1.ПР} = -U_{C1}$. VD2 – відкритий, тому напруга на вході, який не інвертує:

$$U_{H2} = U_{ПР2} = -U_{НАС} \cdot \frac{\dfrac{R2 \cdot R3}{R2 + R3}}{R4 + \dfrac{R2 \cdot R3}{R2 + R3}}.$$

Під час надходження вхідного додатного імпульсу, що запускає, амплітудою $U_{ЗАП.m} > |U_{ПР2}|$ потенціал входу ІМС ОП, який не інвертує, стає додатним. За рахунок дії ДЗЗ (резистори $R3$, $R4$) схема швидко (лавиноподібно) змінює свій стан і вихідна напруга стає рівною $+U_{НАС}$.

Діод VD2 закритий, а напруга на вході, який не інвертує:

$$U_{H1} = U_{ПР1} = U_{НАС} \cdot \frac{R3}{R3 + R4}. \qquad (9.16)$$

Ємність $C1$ перезаряджається. Коли від'ємна напруга на конденсаторі за модулем стає більше, ніж $|U_{VD1.ПР}|$, діод VD1 відкривається, зашунтовує $C1$ і його подальше перезарядження припиняється. Напруга на конденсаторі фіксується на рівні $U_{C1} = -U_{VD.ПР}$ (частки вольта).

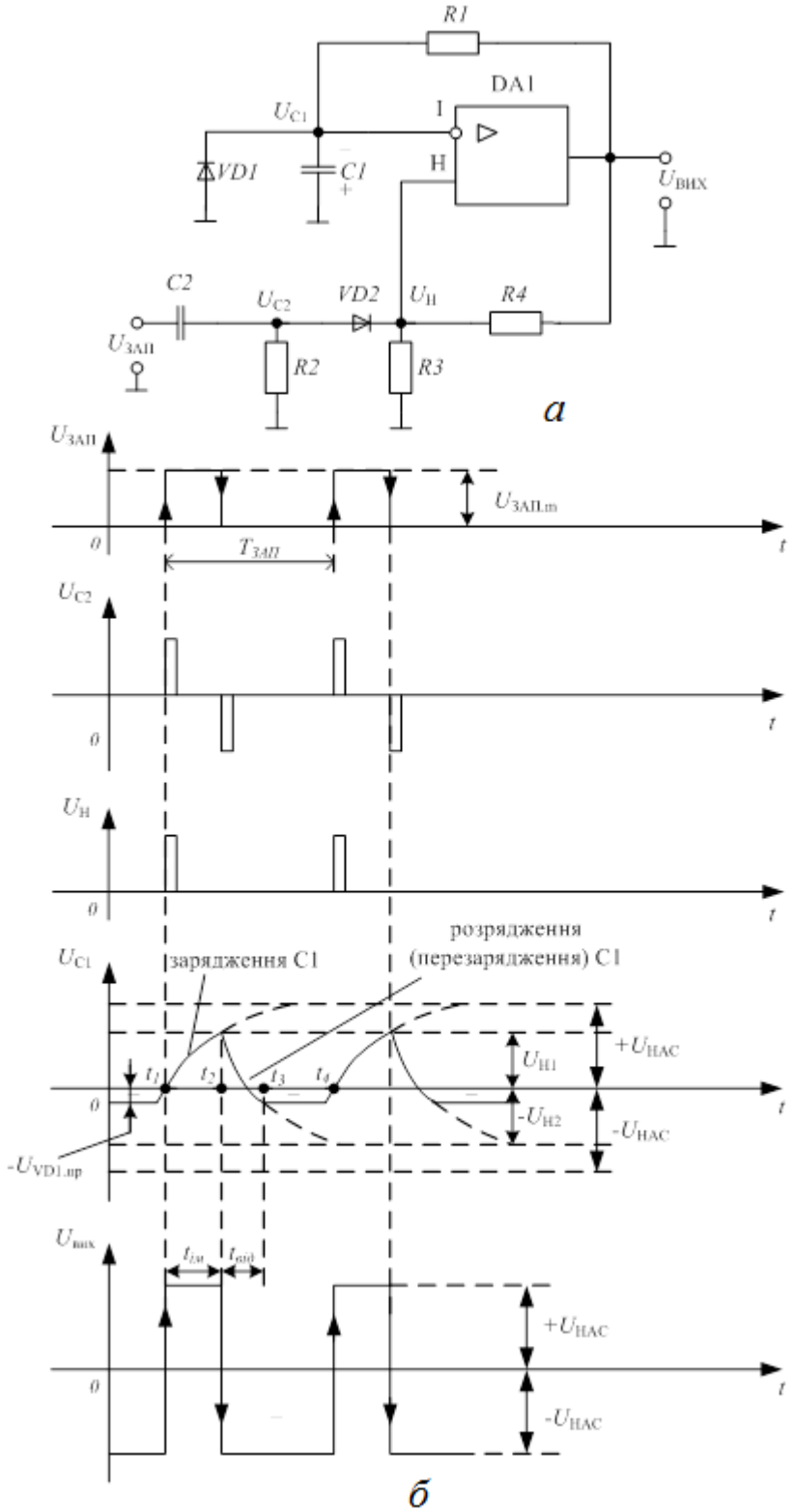


Рис. 9.5. МВ, що чекає, на ІМС ОП (ОВ):
а – схема; *б* – часові діаграми роботи

Таким чином, у відповідь на подачу вхідного короткого імпульсу, що запускає, на виході МВ формується одиночний імпульс заданої тривалості $t_{ім} = t_2 - t_1$.

Час перезарядження ємності $C1$ від величини $+U_{H1}$ до $-U_{VD1.ПР}$ називається часом відновлення $t_{від} = t_3 - t_2$.

Ланцюжок $C2$, $R2$ (рис. 9.5, *а*) є диференціюючим. Діод VD2 виконує функцію вентиля, пропускає тільки додатні імпульси.

Період зовнішніх імпульсів, що запускають, $T_{ЗАП}$ повинен бути більше $\left(t_{ім} + t_{від}\right)$: $T_{ЗАП} \geq \left(t_{ім} + t_{від}\right)$.

Виведення виразів, що визначають тривалість вихідного імпульсу $t_{ім}$ і часу відновлення $t_{від}$ МВ, що чекають

Під час виведення виразів для визначення $t_{ім}$ та $t_{від}$ скористаємося відомостями з теорії електричних кіл, які наведено вище (рис. 9.3).

Визначення $t_{ім}$

У момент часу $t = t_1$ (початок формування вихідного імпульсу) вихідна напруга

$$U_{ВИХ} = E = +U_{НАС}; U_{C1}(0) = U_{C1}(t_1) = -U_{VD1.ПР} \approx 0; \tau_{інт} = R1 \cdot C1.$$

У момент закінчення формування вихідного імпульсу $\left(t = t_2\right)$

$$U_{C1}(t_2) = \frac{+U_{НАС} \cdot R4}{R3 + R4}.$$

Якщо в рівняння (9.1) замість t підставити $t = t_2 - t_1 = t_{ім}$, то це рівняння матиме вигляд

$$U_{C1}(t_{ім}) = U_{H1} = U_{НАС} - (U_{НАС} - 0) \cdot e^{-t_{ім}/\tau_{інт}}. \qquad (9.17)$$

Підставивши в (9.17) значення U_{H1} з (9.16), отримаємо

$$\frac{U_{НАС} \cdot R3}{R3 + R4} = U_{НАС} - (U_{НАС} - 0) \cdot e^{-t_{ім}/\tau_{інт}}. \qquad (9.18)$$

Розділивши ліву і праву частини (9.18) на $U_{\text{НАС}}$, запишемо

$$\frac{R3}{R3+R4}=1-e^{-t_{iм}/\tau_{інт}};$$

$$e^{-t_{iм}/\tau_{інт}}=1-\frac{R3}{R3+R4}=\frac{R4}{R3+R4};$$

$$e^{t_{iм}/\tau_{інт}}=\frac{R3+R4}{R4}=1+\frac{R3}{R4}. \qquad (9.19)$$

Логарифмуючи ліву і праву частини (9.19), отримаємо вираз для визначення тривалості імпульсу

$$t_{iм}=\tau_{інт}\cdot\ln(1+\frac{R3}{R4})=R1\cdot C1\cdot\ln(1+\frac{R3}{R4}).$$

Визначення $t_{від}$

У момент часу $t=t_2$ (початок часу відновлення)

$$U_{ВИХ}=E=-U_{НАС};U_{C1}(0)=U_{H1}=\frac{U_{НАС}\cdot R3}{R3+R4};\tau_{інт}=R1\cdot C1.$$

Наприкінці часу відновлення $\left(t=t_3\right)$ напруга на ємності $U_{C1}(t_3)=-U_{VD1.ПР}\approx 0$.

Якщо в рівняння (9.1) замість t підставити $t=t_3-t_2=t_{від}$, то це рівняння матиме вигляд

$$U_{C1}(t_{від})=0=-U_{НАС}-\left[-U_{НАС}-\frac{U_{НАС}\cdot R3}{R3+R4}\right]\cdot e^{-t_{від}/\tau_{інт}}. \qquad (9.20)$$

Розділивши ліву і праву частини (9.20) на $U_{\text{НАС}}$, запишемо

$$0=-1+\left[1+\frac{R3}{R3+R4}\right]\cdot e^{-t_{від}/\tau_{інт}};$$

$$1=\left(\frac{2R3+R4}{R3+R4}\right)\cdot e^{-t_{від}/\tau_{інт}};$$

$$e^{t_{від}/\tau_{інт}} = \left(\frac{2R3 + R4}{R3 + R4}\right); \qquad (9.21)$$

Логарифмуючи ліву і праву частини (9.21), отримаємо вираз для визначення часу відновлення

$$t_{від} = R1 \cdot C1 \cdot \ln\left(\frac{2R3 + R4}{R3 + R4}\right).$$

Регулювання тривалості імпульсу ОВ $t_{iм}$ може здійснюватися такими способами:

– зміненням $R1$ чи $C1$ (останнє звичайно не застосовується, тому що конденсатор зі змінною ємністю має великі габарити і масу), при цьому змінюється швидкість зарядження конденсатора $C1$;
– зміною співвідношення $R3/R4$, при цьому змінюється напруга спрацьовування компаратора U_{H1}, а разом з ним і час, під час якого напруга на конденсаторі наростає до величини U_{H1}.

Під час використання ОВ не слід забувати, що схеми з ДЗЗ мають низьку завадостійкість. У вихідному стані напруга на прямому вході ІМС ОП $U_{ПР} = U_{H2}$ повинна бути набагато більше рівня завад. Природно, що й амплітуда вхідного сигналу при цьому повинна бути великою, щоб забезпечити переключення компаратора на початку стадії формування імпульсу.

9.2. Генератори напруги, що змінюється лінійно

9.2.1. Загальні відомості про генератори напруги, що змінюється лінійно

Генератори напруги, що змінюється лінійно (ГНЗЛ), формують на виході напругу, форма якої нагадує зуби пили (рис. 9.6). Тому ці генератори часто називають генераторами пилкоподібної напруги (ГПН). Фронт і зріз вихідного сигналу ГНЗЛ (ГПН) змінюється за законом, близьким до лінійного.

Для створення лінійної (чи близької до лінійної) залежності напруги від часу зазвичай використовують зарядження (чи розрядження) конденсатора постійним струмом. Найпростішу схему ГНЗЛ наведено на рис. 9.7, а, часову діаграму – на рис. 9.7, б.

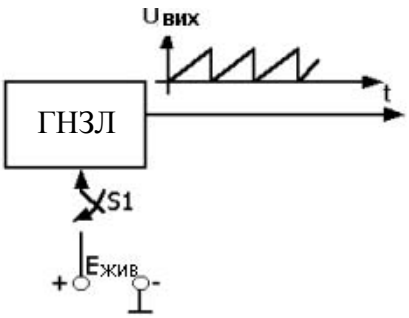


Рис. 9.6. Сигнал на виході автоколивального ГНЗЛ

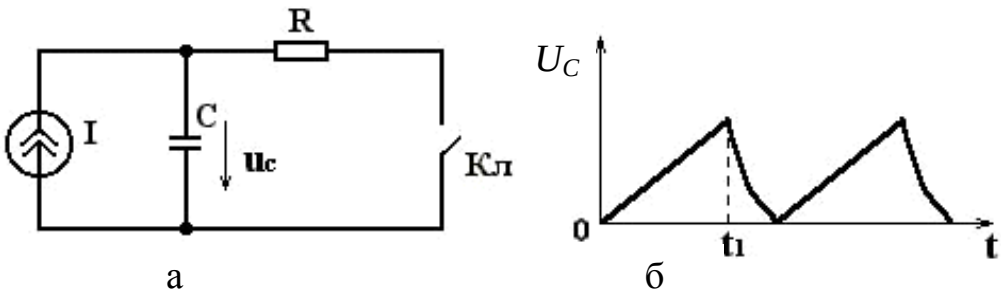


Рис. 9.7. Найпростіша схема для формування напруги, що змінюється лінійно

Під час розімкнутого ключа *Кл* конденсатор *C* заряджається від джерела постійного струму I і напруга на ньому наростає лінійно:

$$U_C = \frac{1}{C}\int_0^t I dt + U_C(0) = \frac{I\,t}{C} + U_C(0),$$

де $t = 0$ – момент початку зарядження.

У момент $t = t_1$ замикається ключ *Кл* і конденсатор експоненціально розряджається через ключ і резистор *R*, який введено у схему для обмеження розрядного струму. Після розрядження конденсатора до напруги $U_C(0) = 0$ ключ *Кл* може бути розімкнутим, тоді почнеться знову процес формування напруги, що лінійно наростає.

Відомі різні варіанти реалізації схеми, яку наведено на рис. 9.7, що відрізняються способами побудови джерела струму I та ключового елемента [13; 22].

9.2.2. Генератор напруги, що змінюється лінійно, на біполярному транзисторі

На рис. 9.8 наведено схему і часові діаграми роботи найпростішого ГНЗЛ на БТ.

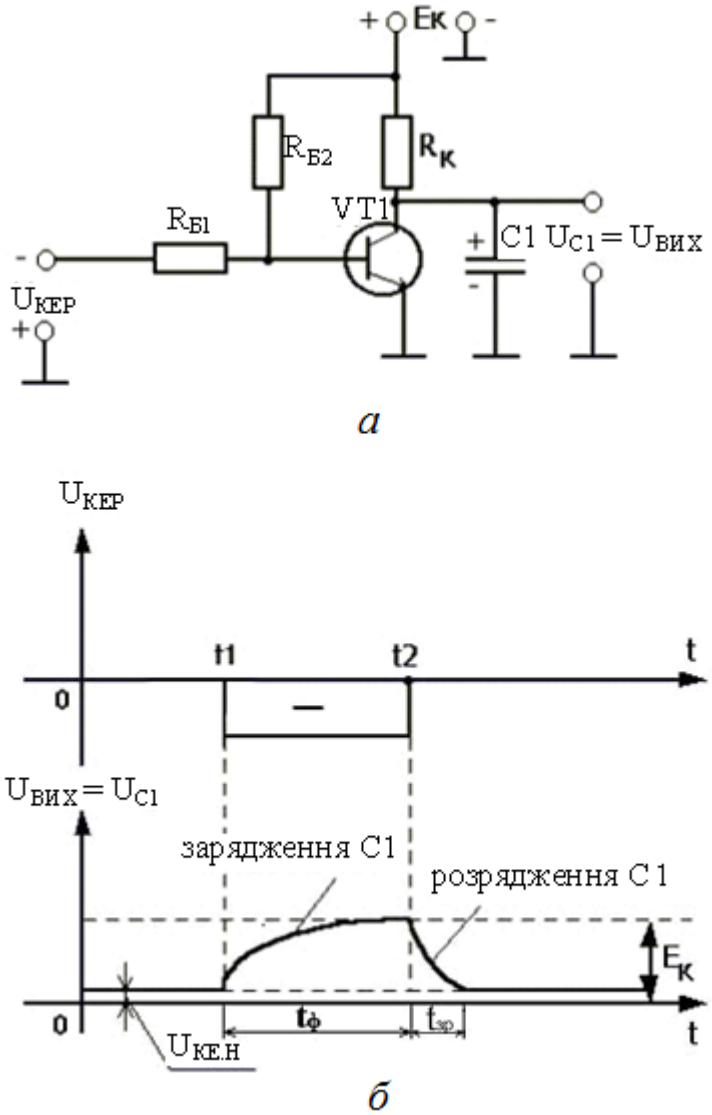


Рис. 9.8. Найпростіший ГНЗЛ із зовнішнім запуском на БТ:
а – схема; *б* – часові діаграми роботи

У початковому стані $U_{КЕР} = 0$. Додатною напругою, що знімається з подільника напруги $+E_К(R_{Б1}, R_{Б2})$, транзистор VT1 відкритий.

Конденсатор *C*1 майже цілком розряджений, а з виходу схеми знімається невелика напруга $U_{C1} = U_{ВИХ} = U_{КЕ.Н}$.

У момент часу $t = t_1$ на вхід схеми подається від'ємний імпульс, що закриває транзистор VT1. Конденсатор *C*1 заряджається за ланцюжком: $+E_К; R_К; C1; GND$ (земля).

У момент часу $t = t_2$ вхідний імпульс закінчується, знову $U_{КЕР} = 0$ і VT1 – відкривається. Конденсатор *C*1 розряджається через відкритий транзистор до напруги $U_{КЕ.Н}$, за величиною близькою до нуля.

З виходу знімається експоненціальний імпульс, що лише в першому наближенні можна вважати лінійним. Тривалість фронту цього імпульсу значно більша тривалості зрізу $\left(t_ф >> t_{зр}\right)$, тому що стала зарядження *C*1 значно більша сталої розрядження $\left(\tau_{зар} >> \tau_{розр}\right)$.

Більші техніко-економічні переваги мають схеми ГНЗЛ, які побудовано на ІМС. Серед них широке поширення отримали схеми на ІМС ОП.

ГНЗЛ на ІМС ОП поділяються на два види:

– із зовнішнім запуском;
– автоколивальні.

9.2.3. Генератори напруги, що змінюється лінійно з зовнішнім запуском

Схема ГНЗЛ на ІМС ОП із зовнішнім запуском (рис. 9.9, *а*) містить АК і активний інтегратор (АІ).

Зовнішні імпульси, що запускають, подаються на вхід АК, який не інвертує, та який виконано на ІМС ОП (DA1). На вході АК, що інвертує, постійно присутня додатна (еталонна) напруга $+E_{ET} = const$.

Коли імпульс, що запускає, відсутній, то $U_{AK} = -U_{НАС}$. Під час надходження на вхід компаратора керувального імпульсу з амплітудою $U_{КЕР.m} > U_{ET}$ напруга на виході АК стрибком переключається і приймає значення $U_{AK} = +U_{НАС}$.

Таким чином, на вхід АІ, який виконано на ІМС ОП (DA2), надходять різнополярні імпульси, що знімаються з виходу АК.

Коли $U_{AK} = +U_{НАС}$, то діод VD1 – відкритий, а VD2 – закритий і інтегрувальний ланцюг утворюють резистор *R*1 і конденсатор *C*1, який включено у ланцюг ВЗЗ мікросхеми DA2.

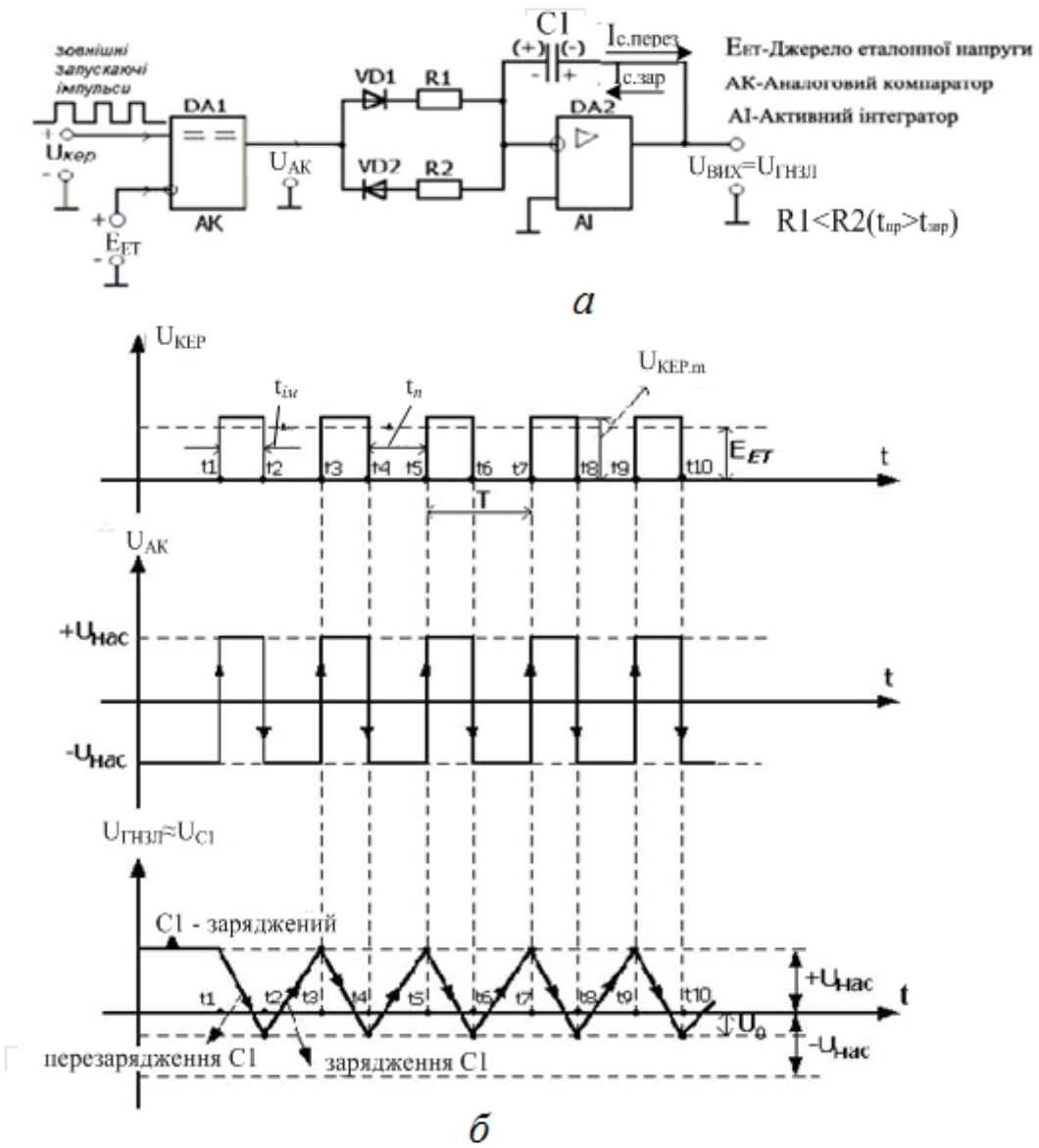


Рис. 9.9. ГНЗЛ, який чекає: *а* – схема; *б* – часові діаграми роботи

Якщо $U_{AK} = -U_{НАС}$, то VD1 – закритий, VD2 – відкритий і до інтегрувального ланцюга входять резистор *R*2 і конденсатор *C*1.

Відомо, що під час подачі на вхід AI стрибка постійної напруги, його вихідний сигнал змінюється за законом, близьким до лінійного:

$$U_{ВИХ} = -\frac{1}{RC}\int_0^t U_{ВХ}dt + U_{ВИХ}(0) = -\frac{U_{ВХ}\cdot t}{RC} + U_{ВИХ}(0),$$

де $RC = \tau_{інт}$ – стала часу AI; $U_{ВХ}$ – значення постійної вхідної напруги; $U_{ВИХ}(0)$ – початкове значення постійного вихідного сигналу в момент подачі стрибка на вході.

Виведення основних розрахункових співвідношень

У початковому стані $U_{КЕР} = 0; U_{АК} = -U_{НАС}; U_{ВИХ} = U_{ГНЗЛ} = +U_{НАС}$, конденсатор $C1$ заряджений за ланцюжком:

$$U_{ВИХ} = +U_{НАС};\ C1; R2; VD2; GND.$$

Якщо $U_{КЕР} \neq 0; t = t_1; U_{КЕР} > 0$ (на вході – імпульс), то $U_{АК} = +U_{НАС}$. Конденсатор $C1$ перезаряджається (розряджається) за ланцюжком: $+U_{НАС}; VD1; R1; C1; GND.$ Вихідна напруга змінюється за лінійним законом:

$$U_{ГНЗЛ} = -\frac{1}{R1 \cdot C1}\int_0^t U_{НАС} dt + U_{ВИХ}(0),$$

де $U_{ВИХ}(0) = +U_{НАС}$. Тоді

$$U_{ГНЗЛ} = -\frac{U_{НАС} \cdot t_{iм}}{R1 \cdot C1} + U_{НАС} = U_0, \qquad (9.22)$$

де U_0 – напруга, до якої ємність $C1$ перезарядиться за час вхідного імпульсу $t_{iм}$ (рис. 9.9, *б*).

Якщо $U_{КЕР} = 0 (t = t_2)$, то $U_{АК} = -U_{НАС}$. Конденсатор $C1$ заряджається за ланцюжком: $U_{ВИХ}; C1; R2; VD2; GND.$

Вихідна напруга змінюється за лінійним законом:

$$U_{ГНЗЛ} = \frac{1}{R2 \cdot C1}\int_0^t U_{НАС} dt + U_{ВИХ}(0),$$

де $U_{ВИХ}(0) = U_0$. Тоді

$$U_{ГНЗЛ} = \frac{U_{НАС} \cdot t_n}{R2 \cdot C1} + U_0. \qquad (9.23)$$

Умова нормальної роботи схеми

Для нормального функціонування цієї схеми необхідно, щоб зміна напруги на конденсаторі (вихідної напруги) за час вхідного керувального імпульсу $\left(\Delta U_{С.розр}\right)$ дорівнювала зміні напруги на конденсаторі (вихідної напруги) за час паузи вхідного сигналу $\left(\Delta U_{С.зар}\right)$.

$$\Delta U_{С.розр}\left(\Delta t = t_{iм}\right) = \Delta U_{С.зар}\left(\Delta t = t_n\right). \qquad (9.24)$$

Якщо ввести поняття крутизни (швидкості зміни) вихідного сигналу

$$S = \frac{dU_{ГНЗЛ}}{dt},$$

то вираз (9.24) можна записати у вигляді

$$\left.\begin{aligned} -t_{ім} \cdot S_{спад} &= t_n \cdot S_{нар}; \\ -t_{ім}\left(-\frac{U_{НАС}}{R1 \cdot C1}\right) &= t_n \cdot \frac{U_{НАС}}{R2 \cdot C1}. \end{aligned}\right\}$$

Звідкіля отримаємо умову нормального функціонування схеми

$$\frac{t_{ім}}{t_n} = \frac{R1}{R2}. \qquad (9.25)$$

Два основних варіанти співвідношення параметрів схеми і вхідних керувальних імпульсів

1. Якщо забезпечити виконання співвідношень

$$t_{ім} = R1 \cdot C1; t_n = R2 \cdot C1,$$

то з виразу (9.22) одержимо

$$U_{ГНЗЛ} = -\frac{U_{НАС} \cdot R1 \cdot C1}{R1 \cdot C1} + U_{НАС} = U_0 = 0.$$

Підставивши $t_n = R2 \cdot C1$ і $U_0 = 0$ у (9.32), одержимо

$$U_{ГНЗЛ} = \frac{U_{НАС} \cdot R2 \cdot C1}{R2 \cdot C1} + 0 = U_{НАС}.$$

Форму зміни вихідного сигналу в цьому випадку наведено на рис. 9.10.

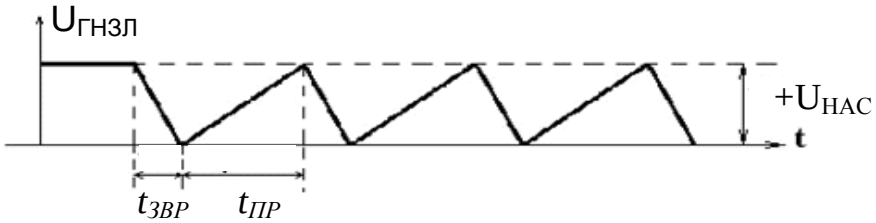


Рис. 9.10. Форма зміни вихідного сигналу

На рис. 9.10 прийнято позначення:

$t_{пр}$ – тривалість наростаючої ділянки пили (прямого ходу);

$t_{звр}$ – тривалість спадаючої ділянки пили (зворотного ходу).

Якщо $t_{пр} = t_n$, а $t_{звр} = t_{ім}$, то $R2 > R1$, тому що $t_{пр}(t_n) > t_{звр}(t_{ім})$.

2. Якщо забезпечити виконання співвідношень

$$t_{iм} = 2R1 \cdot C1; t_n = 2R2 \cdot C1,$$

то з виразу (9.22) отримаємо

$$U_{ГНЗЛ} = -\frac{U_{НАС} \cdot 2R1 \cdot C1}{R1 \cdot C1} + U_{НАС} = -U_{НАС} = U_0.$$

Підставивши $t_n = 2R2 \cdot C1$ і $U_0 = -U_{НАС}$ у (9.23), отримаємо

$$U_{ГНЗЛ} = \frac{U_{НАС} \cdot 2R2 \cdot C1}{R2 \cdot C1} - U_{НАС} = U_{НАС}.$$

Форму зміни вихідного сигналу в цьому випадку наведено на рис. 9.11.

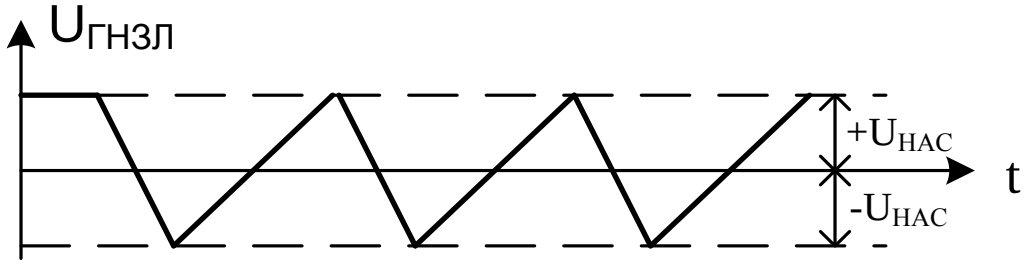


Рис. 9.11. Форма зміни вихідного сигналу

Генератори із зовнішнім запуском і стабілітронами у зворотному зв'язку

З огляду на можливу нестабільність крутизни і тривалості $t_{iм}$ і t_n, орієнтуватися на виконання умови (9.25) у схемі (рис. 9.9, *а*) не реально. У практичних схемах максимальне і мінімальне значення напруги $U_{ГНЗЛ}$ обмежуються. У схемі на рис. 9.12, *а* для обмеження $U_{ГНЗЛ}$ введено стабілітрони *VD*3 і *VD*4.

Як показано раніше, напруга між входами ОП інтегратора $\Delta U \approx 0$. Якщо $0 < U_{ГНЗЛ} < U_+$, на стабілітроні *VD*4 діє пряма напруга $(U_{VD4} > 0)$, а стабілітрон *VD*3 зміщено у зворотному напрямку і через ланцюг стабілітронів проходить малий струм $I_0 \approx 0$. Таким чином, стабілітрони в цьому випадку практично не впливають на процес зарядження конденсатора. У разі досягнення $U_{ГНЗЛ} = U_+ = |U_{СТ.VD3}|$ ($U_{СТ.VD3}$ – напруга стабілізації *VD*3, яка працює в режимі електричного пробою), зарядження конденсатора *C*1 припиняється і струм $I_{зз} = U'/R2$ переходить з конденсатора на ланцюжок

стабілітронів. Таким чином, напругу $U_{ГНЗЛ}$ зверху обмежено значенням U_{+}. Аналогічно знизу напругу $U_{ГНЗЛ}$ обмежено значенням $U_{-} = |U_{СТ.VD4}|$, де $U_{СТ.VD4}$ – напруга стабілізації *VD*4.

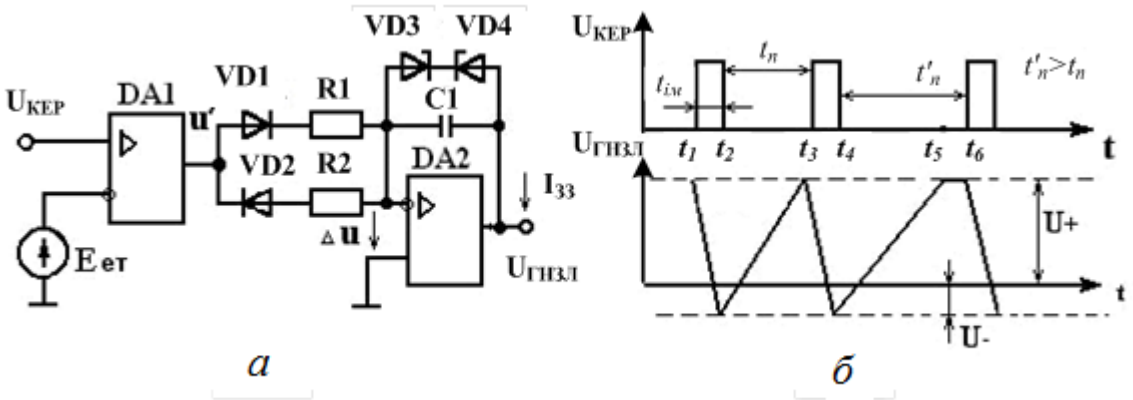


Рис. 9.12. ГНЗЛ із зовнішнім запуском і стабілітронами в ланцюзі ВЗЗ:
а – схема; *б* – часові діаграми роботи

На рис. 9.12, *б* показано роботу обмежувача на стабілітронах у момент t_5. Інтервал паузи $t_4 ... t_6$ задано досить великим $(t'_n > t_n)$, тому в момент t_5 напруга ГНЗЛ досягає значення U_{+} і до моменту $t = t_6$ утримується на цьому рівні. З приходом чергового імпульсу $U_{КЕР}$ починається процес формування спаду $U_{ГНЗЛ}$.

9.2.4. Автоколивальний генератор напруги, що змінюється лінійно

Крім ГНЗЛ із зовнішнім керуванням зазвичай застосовуються ГНЗЛ, що працюють в автоколивальному режимі (режимі автогенератора), тобто без керувального сигналу (рис. 9.13).

Ця схема відрізняється від ГНЗЛ, який розглянуто вище (рис. 9.9), наявністю ланцюга ЗЗ, що зв'язує прямий вхід компаратора з виходами компаратора та інтегратора.

Напруга ЗЗ $U_{ЗЗ}$ порівнюється з еталонною напругою $E_{ЕТ}$, що подається на вхід АК, який інвертує. Спрацьовування компаратора відбувається, коли $U_{ЗЗ} \approx E_{ЕТ}$ (рис. 9.13, *б*). У цьому разі на виході АК з'являється стрибок напруги, рівний $2U_{НАС}$, що приводить до стрибка напруги на прямому вході АК

$$U_{зз} = \frac{2U_{НАС} \cdot R3}{R3 + R4}.$$

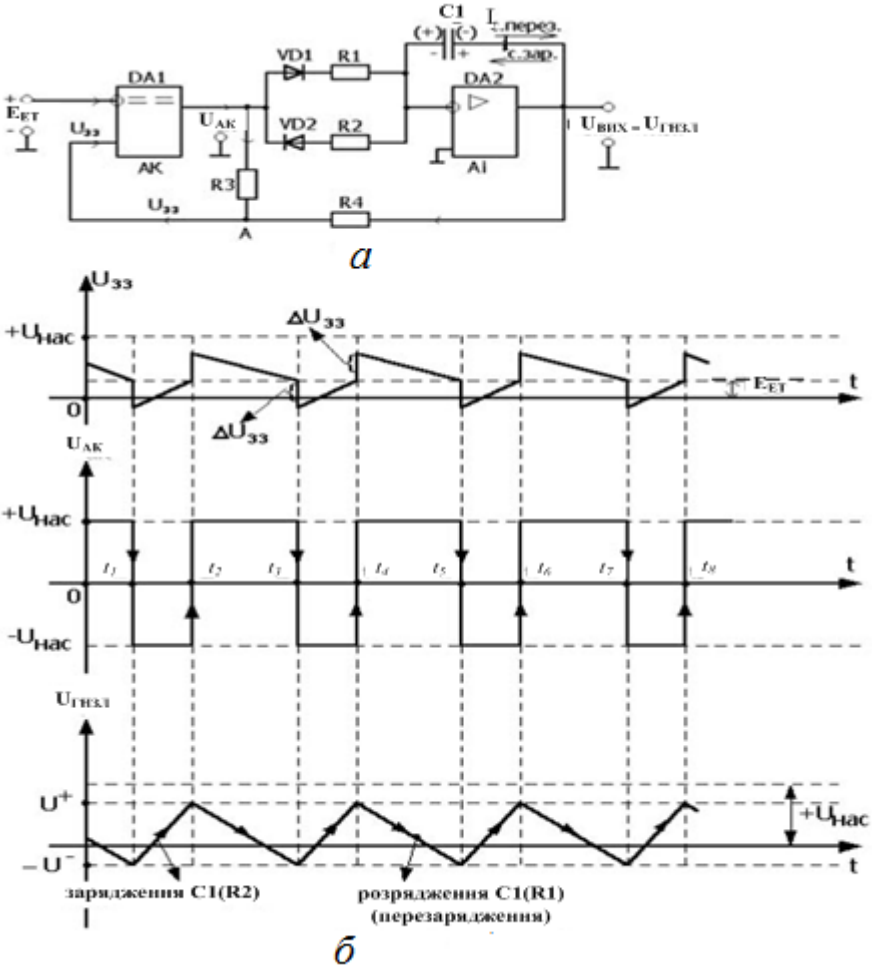


Рис. 9.13. Автоколивальний ГНЗЛ: *а* – схема;
б – часові діаграми роботи

Оскільки напруга $U_{зз}$ залежить від двох сигналів: $U_{АК}$ і $U_{ВИХ} = U_{ГНЗЛ}$, то її значення може бути визначено за методом суперпозиції (накладення)

$$U_{зз} = \frac{U_{АК} \cdot R4}{R3 + R4} + \frac{U_{ГНЗЛ} \cdot R3}{R3 + R4}. \qquad (9.26)$$

Виведення основних розрахункових співвідношень

Схему та часові діаграми роботи наведено на рис. 9.13. У момент часу $t = t_2$ наприкінці зарядження $C1$ до переключення компаратора $U_{AK} = -U_{НАС}$, а $U_{ГНЗЛ} = U^+$. З огляду на те, що в момент переключення $U_{зз} \approx E_{ET}$, а також скориставшись виразом (9.26) запишемо

$$U_{зз}(t_2) = -\frac{U_{НАС} \cdot R4}{R3 + R4} + U^+ \cdot \frac{R3}{R3 + R4} = E_{ET}. \qquad (9.27)$$

У момент часу $t = t_3$ наприкінці перезарядження $C1$ до переключення компаратора $U_{AK} = +U_{НАС}, U_{ГНЗЛ} = -U^-$. З огляду на те, що в момент переключення $U_{зз} \approx E_{ET}$, а також скориставшись виразом (9.26) запишемо

$$U_{зз}(t_3) = \frac{U_{НАС} \cdot R4}{R3 + R4} - U^- \cdot \frac{R3}{R3 + R4} = E_{ET}. \qquad (9.28)$$

Вплив параметрів схеми на форму вихідного сигналу

Припустимо, що необхідно сформувати вихідну напругу за формою, яку представлено на рис. 9.14. Напруга на виході такого ГНЗЛ змінюється від $U^- = 0$ до $U^+ = +U_{НАС}$.

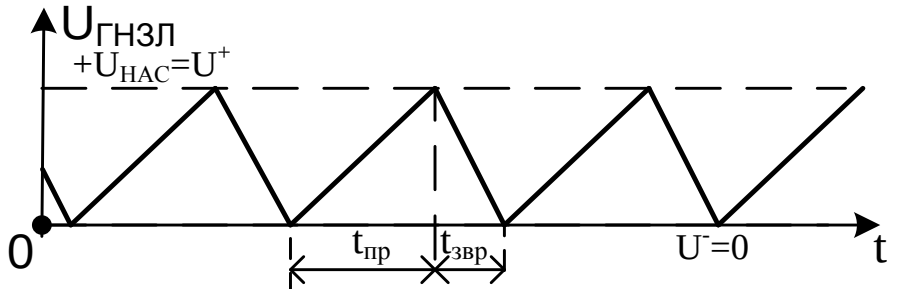


Рис. 9.14. Напруга на виході ГНЗЛ, у якого $U^- = 0$, а $U^+ = +U_{нас}$

Якщо у вираз (9.28) підставити $U^- = 0$, то отримаємо

$$\frac{U_{НАС} \cdot R4}{R3 + R4} = E_{ET}. \qquad (9.29)$$

Якщо у вираз (9.27) підставити E_{ET} з (9.29), то отримаємо

$$\frac{U_{НАС} \cdot R4}{R3 + R4} = -\frac{U_{НАС} \cdot R4}{R3 + R4} + \frac{U^+ \cdot R3}{R3 + R4},$$

звідки

$$U^+ = \frac{2U_{НАС} \cdot R4}{R3}.$$

Якщо *R3=2R4*, то $U^{+} = U_{НАС}$, а $U^{-} = 0$, тобто вихідна напруга має вигляд, який представлено на рис. 9.14.

Зв'язок параметрів: $t_{пр}$, $t_{зв}$ автоколивального генератора напруги, що змінюється лінійно, зі значеннями резисторів *R*1, *R*2

Аналогічно ГНЗЛ, який чекає, та який розглянуто вище, величина зміни вихідної напруги в процесі розрядження конденсатора в автоколивальному ГНЗЛ (рис. 9.13) повинна дорівнювати зміні $U_{ГНЗЛ}$ у процесі зарядження *C*1

$$-S_{спаду} \cdot t_{зв} = S_{нар} \cdot t_{пр} \ . \qquad (9.30)$$

Під час розрядження *C*1 на вхід АІ подається напруга $+U_{НАС}$. Тоді

$$U_{ГНЗЛ} = -\frac{1}{R1 \cdot C1}\int_0^t U_{НАС} dt + U^{+} .$$

Крутизна на падаючій ділянці

$$S_{спаду} = \frac{dU_{ГНЗЛ}}{dt} = -\frac{U_{НАС}}{R1 \cdot C1} \ . \qquad (9.31)$$

Під час зарядження *C*1 на вхід АІ надходить напруга: $-U_{НАС}$.

Тоді $U_{ГНЗЛ} = -\frac{1}{R2 \cdot C1}\int_0^t (-U_{НАС}) dt - U^{-}$.

Крутизна на наростаючій ділянці

$$S_{нар} = \frac{dU_{ГНЗЛ}}{dt} = \frac{U_{НАС}}{R2 \cdot C1} \ . \qquad (9.32)$$

Підставивши (9.30), (9.31) у (9.32), отримаємо

$$-\left(-\frac{U_{НАС}}{R1 \cdot C1}\right) \cdot t_{ЗВР} = \frac{U_{НАС}}{R2 \cdot C1} \cdot t_{ПР} ,$$

звідки

$$\frac{t_{ПР}}{t_{ЗВР}} = \frac{R2}{R1} \ .$$

9.2.5. Застосування генераторів напруги, що змінюється лінійно

Схему, яку наведено на рис. 9.12, можна використати також і як автоколивальний МВ. У цьому випадку вихідна напруга знімається з виходу компаратора.

ГНЗЛ широко застосовується в техніці. На їхній основі будуються системи розгортки електронно-променевих трубок. ГНЗЛ використовуються в широтно-імпульсних тиристорних перетворювачах і т. ін. Дуже велику роль у сучасній техніці відіграють перетворювачі різних фізичних величин в електричні сигнали, наприклад, перетворювачі напруги в часовий інтервал, у кількість імпульсів, у зсув за фазою.

Як приклад подібних пристроїв розглянемо імпульсний пристрій, структурну схему якого наведено на рис. 9.15, *а*; а часові діаграми роботи наведено на рис. 9.15, *б*. Пристрій складається з ГНЗЛ, який зв'язано з входом компаратора АК, який інвертує. На другий вхід АК подається вхідний (перетворюваний) сигнал U_{BX}. Компаратор через діод VD1 зв'язано з першим виходом схеми $\left(R_{H1}\right)$ і з керувальним ланцюгом ключа *Кл*, що підключає МВ до другого виходу (R_{H2}).

Компаратор АК фіксує рівність $U_{ГНЗЛ}(t) = U_{BX}(t)$. У момент t_2 (рис. 9.15, *б*) $U_{ГНЗЛ} = S_H(t_2 - t_1) = U_{BX}$, де $(t_2 - t_1) = t_{iм}, S_H$ – крутість наростаючої ділянки $U_{ГНЗЛ}$, звідси

$$t_{iм} = U_{BX} / S_H .$$

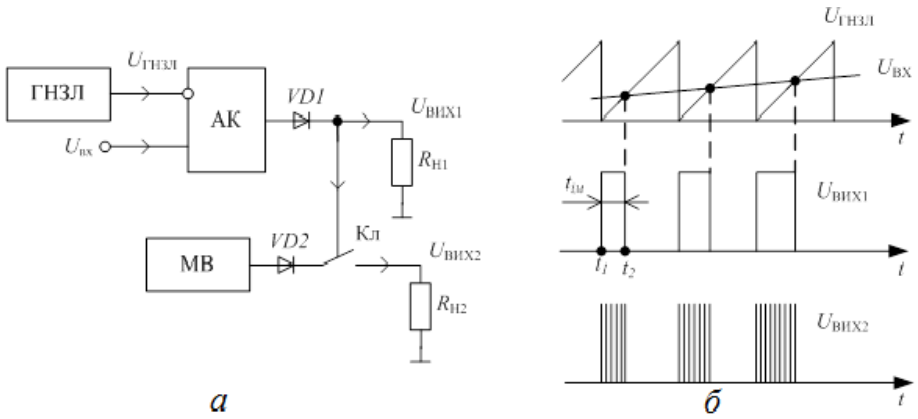


Рис. 9.15. Перетворювач напруги в ширину та кількість імпульсів:
а – структурна схема; *б* – часові діаграми роботи

Під час переключення компаратора на його виході формуються прямокутні імпульси, тривалість яких прямо пропорційна поточному

значенню U_{BX} (9.55). За $U_{BИX1} > 0$ замикається ключ *Кл* і в навантаження R_{H2} надходить пачка імпульсів з виходу МВ, кількість яких прямо пропорційне тривалості $t_{iм}$ і, отже, напрузі U_{BX}. Таким чином, пристрій є перетворювачем напруги в ширину та кількість імпульсів.

Контрольні запитання та завдання

1. Дайте визначення МВ.
2. Опишіть принцип роботи АМВ і МВ, що чекає, на ІМС ОП.
3. Яким чином можна регулювати параметри автоколивального МВ на ІМС ОП?
4. У чому особливість роботи МВ, що чекає, на ІМС ОП?
5. Як зміниться схема автоколивального МВ на ІМС ОП, якщо шпаруватість Q=2?
6. Наведіть вирази для визначення тривалості імпульсу та паузи автоколивального МВ.
7. Назвіть способи зміни тривалості імпульсу ОВ.
8. Запишіть формулу для обчислення вихідної напруги ГНЗЛ на ІМС ОП із зовнішнім запуском.
9. Поясніть умову нормального функціонування ГНЗЛ, що чекає, та автоколивального ГНЗЛ.
10. Поясніть часові діаграми роботи ГНЗЛ на біполярному транзисторі.
11. Як параметри схеми ГНЗЛ впливають на форму вихідної напруги?
12. Поясніть роботу ГНЗЛ із стабілітронами у ланцюзі ВЗЗ.
13. Наведіть схему перетворювача напруги в ширину та кількість імпульсів, та поясніть її роботу.
14. Наведіть вирази для визначення тривалості вихідного імпульсу та часу відновлення МВ, що чекає.
15. Які вимоги пред’являються до періоду зовнішніх імпульсів запуску МВ, що чекає?
16. Які вузли входять до складу ГНЗЛ на ІМС ОП?
17. Поясніть принцип формування пилкоподібної напруги.
18. Поясніть роботу ГНЗЛ, що чекає, та автоколивального ГНЗЛ?

10. МАТЕМАТИЧНИЙ АПАРАТ ЦИФРОВОЇ ЕЛЕКТРОНІКИ

10.1. Основні поняття та задачі цифрової електроніки

Однією з задач інтегрованих інформаційних систем є передача, перетворення й оброблення інформації. Головна ланка подібних систем – джерело інформації, від якого надходять повідомлення про контрольований об'єкт (інформація). Остання передається у вигляді повідомлень, що подаються послідовністю чисел у тій або іншій системі числення. Такий процес відображення інформації називається кодуванням, а повідомлення, подані тим або іншим кодом, називаються дискретними повідомленнями.

Оскільки основним елементом сучасних інформаційних систем є комп'ютер (мікропроцесор, МК, персональна ЕОМ), то оброблення інформації ведеться у цифровому вигляді і дискретні повідомлення звичайно подаються двійковим кодом (ДВК). Код – це правила, відповідно до яких дискретне повідомлення подається у вигляді чисел у визначеній системі числення. У цифровій електроніці крім ДВК використовуються десяткові, вісімкові і шістнадцяткові коди.

Назва коду визначається системою числення, яка використовувалась для представлення повідомлень. Докладно основні системи числення, що застосовуються в цифровій електроніці і мікропроцесорній техніці, розглядаються в [2; 4; 18]. Нижче зупинимося на декількох основних термінах, що будуть використовуватися нами надалі.

Система числення (СЧ) – спосіб запису чисел за допомогою визначених знаків, частіше усього арабських цифр, але іноді і латинських літер, наприклад, шістнадцяткова система числення.

Основа СЧ – визначається кількістю символів, які використовуються у системі числення. Наприклад, двійкова система числення має основу два, десяткова – десять і т.д.

Розрядність чисел. Кожне число характеризується кількістю розрядів. Розряд – це місце, що займає цифра (літера) у числі. Крайній правий розряд у числі називають нульовим (початковим, молодшим або молодшим значущим розрядом (МЗР)). Якщо кількість розрядів дорівнює N, то крайній лівий розряд називають $(N-1)$-м (старшим або старшим значущим розрядом (СЗР)).

Вага розряду – дорівнює основі СЧ, зведеній у степінь, рівний номерам розрядів, що нумеруються від нуля до (N – 1). Наприклад, якщо розглянути трирозрядне десяткове число, то ваги його розрядів складають:

– нульового – $10^0 = 1$;
– першого – $10^1 = 10$;
– другого – $10^2 = 100$.

Аналогічно ваги трирозрядного двійкового числа складають:

– нульового – $2^0 = 1$;
– першого – $2^1 = 2$;
– другого – $2^2 = 4$.

Ваги використовуються для визначення десяткового еквівалента чисел. Наприклад, десятковий еквівалент двійкового числа 1 0 1 1 0 дорівнює:

$$1*2^4 + 0*2^3 + 1*2^2 + 1*2^1 + 0*2^0 = 22.$$

Числа, подані в двійковій системі числення (двійковим кодом) повинні містити справа від МЗР латинську літеру *B*, у десятковій системі – *D*, шістнадцятковій – *H*. Якщо літера відсутня, то за замовчунням комп'ютер (мікропроцесор, МК) вважає число поданим у десятковій системі числення.

Для передачі повідомлень використовуються визначені фізичні процеси (сигнали), що однозначно відображають передане повідомлення з заданою точністю. У цифровій (комп'ютерній) електроніці використовуються цифрові сигнали, що набувають один із двох рівнів (значень): низький і високий. Низький рівень сигналу називають нульовим (нулем), а високий – одиничним (одиницею). Таке представлення сигналів має місце в «додатній логіці». Раніше іноді використовувалась «від'ємна логіка», у якої низький рівень сигналу називають одиницею, а високий – нулем.

10.2. Дискретизація аналогових сигналів

10.2.1. Загальні відомості про дискретизацію аналогових сигналів

У інформаційних мікропроцесорних системах зазвичай виникає задача оброблення аналогових повідомлень, які знімаються з аналогових датчиків. Для введення такої інформації в комп'ютер/мікропроцесор/МК, що ведуть оброблення в цифровому вигляді, здійснюється дискретизація (квантування) аналогових сигналів.

Розрізняють три види дискретизації:

– за рівнем;

– за часом;
– за рівнем і часом (комбінована).

Розглянемо кожний з названих видів квантування більш докладно.

10.2.2. Квантування за рівнем

Припустимо, що інформація відображається аналоговою (безперервною) напругою $U(t)$, що повільно змінюється за законом, який подано на рис. 10.1.

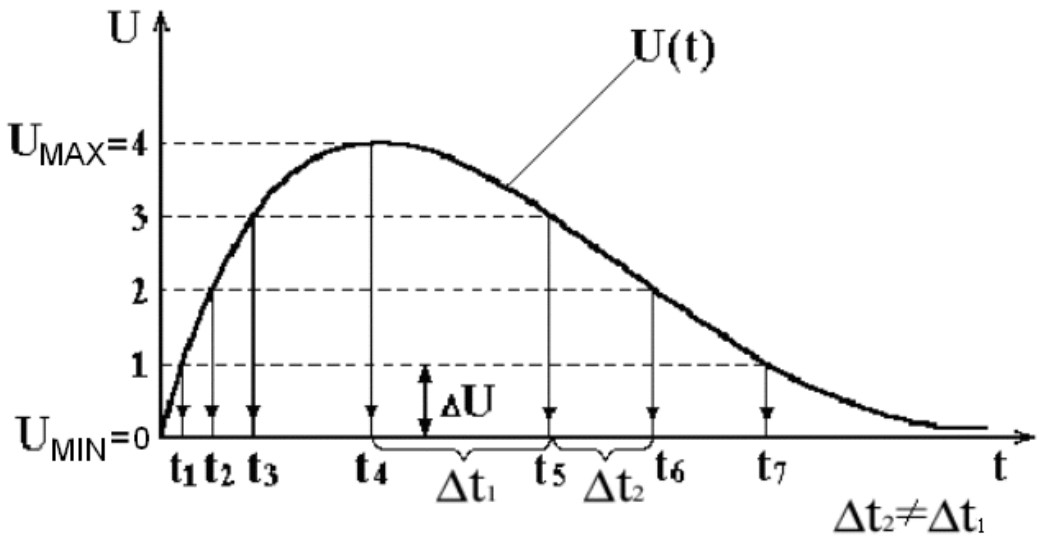


Рис. 10.1. Квантування за рівнем

Миттєві значення цієї напруги лежать у діапазоні ((U_{MIN}=0)...U_{MAX})). Під час виконання операції квантування за рівнем діапазон зміни значень безперервної величини розбивається на низку рівнів N_P, включаючи нульовий. Число N_P визначається з виразу

$$N_P = \frac{(U_{MAX} - U_{MIN})}{\Delta U} + 1,$$

де ΔU – величина кроку квантування за рівнем. Остання є постійною величиною (ΔU = const), і визначається необхідною похибкою дискретизації. У нашому прикладі N_P = 5. Кожний рівень пронумерований у десятковій системі числення. Робота квантувача зводиться до наступного: він визначає моменти часу, коли вхідний аналоговий сигнал досягає чергового дискретного рівня. Ці моменти позначені t_1, t_2, t_3, ... Очевидно, що під час нелінійного вхідного сигналу інтервал між сусідніми часовими відліками є змінною величиною (Δt = var). Прикладом пристроїв, у яких здійснюється квантування за рівнем є релейні (порогові) пристрої.

10.2.3. Квантування за часом

Під час виконання операції квантування за часом (рис. 10.2) аналоговий вхідний сигнал замінюється дискретним, що знімається з виходу квантувача в дискретні моменти часу t_1, t_2, t_3, ...

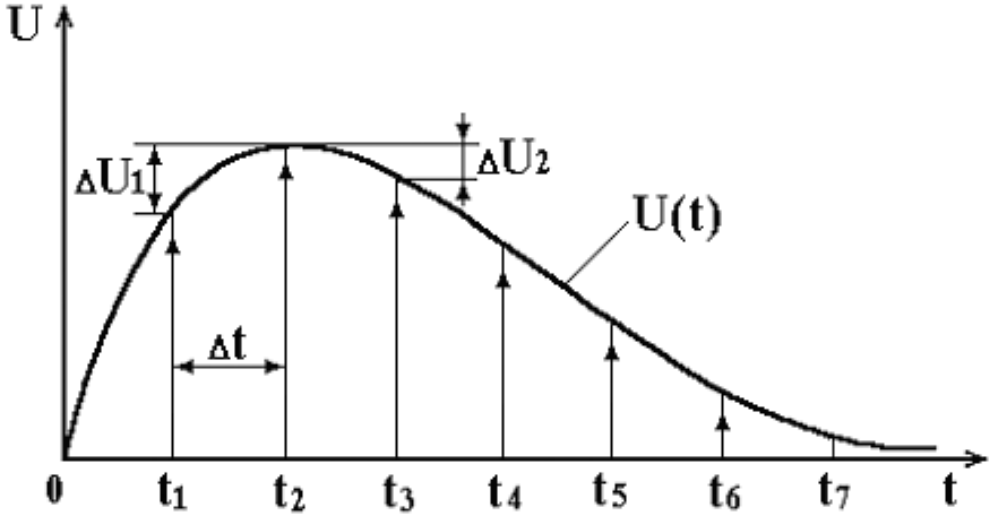


Рис. 10.2. Квантування за часом

Інтервал між сусідніми моментами часу $\Delta t = t_1 - t_0 = t_2 - t_1 = ... = \text{const}$. Очевидно, що різниця сусідніх значень вхідного сигналу під час нелінійного закону зміни вхідної напруги є змінною величиною ($\Delta U = \text{var}$).

Прикладом пристроїв, у яких здійснюється квантування за часом є імпульсні системи автоматичного керування.

10.2.4. Квантування за рівнем і за часом

Робота такого перетворювача (рис. 10.3) зводиться до того, що з безперервного вхідного сигналу періодично проводяться вибірки миттєвих значень. Часовий інтервал між сусідніми вибірками $\Delta t = \text{const}$. Кожна вибірка округляється перетворювачем до найближчого рівня квантування, отриманого від дискретизації за рівнем. Інтервал між сусідніми рівнями $\Delta U = \text{const}$. Значення рівня представляється в десятковій або двійковій системі числення (десятковим або двійковим кодом).

Код рівня в свою чергу представляється цифровим сигналом. Вихідний сигнал має східчасту форму і з визначеним ступенем точності відповідає перетворюваній аналоговій напрузі. За таким принципом працюють електронні АЦП [14; 17; 34].

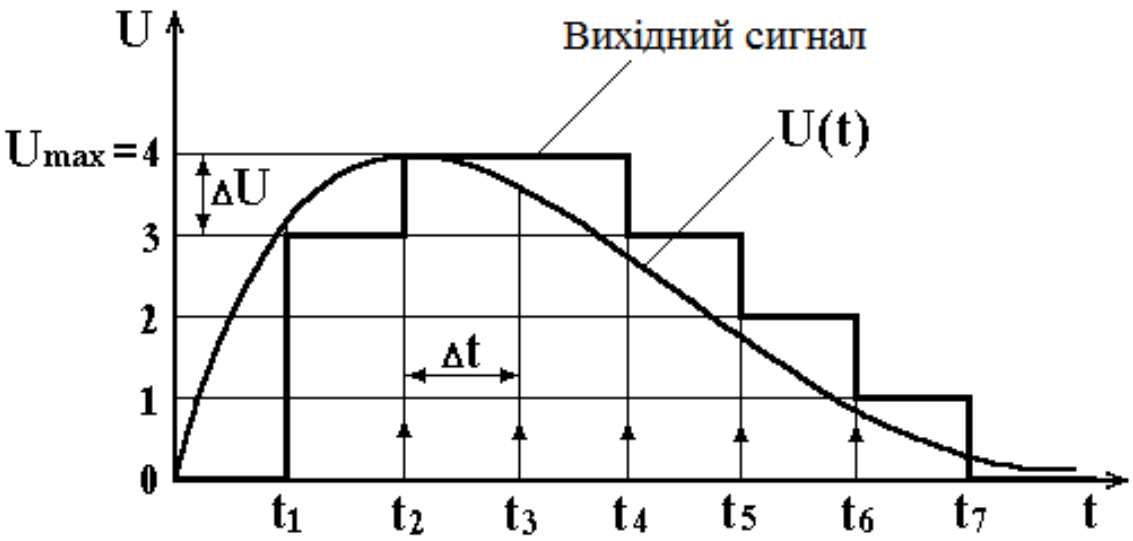


Рис. 10.3. Квантування за рівнем і за часом

Розрахунок похибки АЦП

Абсолютна похибка, що з'являється під час квантування за рівнем

$$\delta_{\text{АБС}} = \frac{\Delta U}{2},$$

а відносна похибка

$$\delta_{\text{ВІДН}} = \frac{50}{N_{\text{Д}} - 1}\%, \qquad (10.1)$$

де $N_{\text{Д}}$ – кількість дискретних значень вихідної величини (рівнів квантування). У формулі (10.1) від $N_{\text{Д}}$ віднімається одиниця, тому що одним з дискретних значень (рівнів) є нульове (рис. 10.3).

Необхідна кількість рівнів дискретизації визначається з виразу

$$N_{\text{Р}} = \frac{50}{\delta_{\text{ВІДН}}} + 1.$$

Вибір величини кроку квантування за часом

Величина кроку квантування за часом Δt, що визначає необхідну швидкодію АЦП, розраховується відповідно до теореми взяття відліків (теореми Котельникова) [4; 12]:

$$\Delta t = \frac{1}{2 f_{\text{MAX}}},$$

де f_{MAX} – частота вищої гармоніки частотного спектру вхідного аналогового сигналу.

Інакше кажучи, під час переходу до дискретної величини для гармоніки вхідного сигналу, що має мінімальний період (максимальну частоту) необхідно взяти не менш двох відліків.

Будь-який АЦП є інерційним пристроєм, що має кінцевий час перетворення $t_{ПРТ}$, який повинен задовольняти необхідному значенню Δt.

Під час проектування комп'ютеризованих систем зазвичай виникає зворотна задача: перетворення цифрового сигналу в аналоговий (безперервний). Для цього застосовують ЦАП.

10.3. Застосування алгебри логіки (булевої алгебри) під час аналізу і синтезу цифрових електронних пристроїв

10.3.1. Визначення перемикальних функцій

У цифровій електроніці є задачі логічного змісту, особливістю яких є те, що їхні умови і рішення можуть приймати одне з двох можливих значень. Одне виражає настання тієї або іншої події, а інше – ненастання її. Настання події позначають одиницею (логічною одиницею), а ненастання – нулем (логічним нулем). Пристрої, які призначені для вирішення логічних задач називають логічними електронними пристроями (ЛЕП).

Математичним апаратом, що застосовується під час аналізу і синтезу ЛЕП є алгебра логіки, розроблена в середині XIX сторіччя англійським математиком Дж. Булем, і тому зазвичай називають Булевою алгеброю (БА).

БА оперує з двійковими змінними, які набувають одне з двох значень: логічний нуль або логічну одиницю.

Функція двійкових змінних, що також дорівнює одному з двох значень (нулю або одиниці) – називається перемикальною (логічною) функцією (ПФ).

Логічні функції позначаються прописними латинськими літерами F або Y, а двійкові змінні – A, B, C, D, E, ..., або малою літерою ікс з індексом, наприклад, $x_1, x_2, x_3, \ldots$

10.3.2. Способи опису перемикальних функцій

ПФ може бути описана (задана):

– словесно;
– алгебраїчним (булевим) виразом;
– таблицею істинності;
– діаграмою Вейча (картою Карно).

Нижче наведено приклад опису ПФ «Кон'юнкція»:

1) словесно – функція двох змінних приймає значення логічної одиниці, якщо обидві змінні також дорівнюють одиниці, у іншому випадку, вона дорівнює нулю;
2) булевим виразом: $F = A \wedge B$;
3) таблицею істинності (табл. 10.1).

Таблиця 10.1. Таблиця істинності

Номер набору	*B*	*A*	*F*
0	0	0	0
1	0	1	0
2	1	0	0
3	1	1	1

Таблиця істинності включає набори (комбінації) логічних змінних, що повинні бути упорядковані за зростанням або зменшенням їхніх десяткових еквівалентів, а також значення функції на кожному наборі. Якщо відповідний набір розглядати як двійкове число, то номер набору дорівнює десятковому еквіваленту двійкового числа, якщо набори упорядковані за зростанням їхніх десяткових еквівалентів. Якщо число змінних дорівнює N, то кількість наборів $N = 2^N$. Номера наборів змінюються (нумеруються) від нуля до $(2^N - 1)$. Загальна кількість ПФ M:

$$M = 2^{2^N},$$

де N – число змінних.

Зображення ПФ діаграмою Вейча (картою Карно) буде розглянуто нижче під час вивчення питання мінімізації ПФ.

10.3.3. Перемикальні функції однієї змінної

Якщо $N = 1$, то кількість наборів $N = 2^1 = 2$, а кількість ПФ $M = 2^{2^1} = 4$ (табл. 10.2).

Функція F_0 називається константою нуля, тому що на усіх наборах приймає нульове значення ($F_0 = 0$). Функція F_3 – константа одиниці, тому що завжди дорівнює одиниці ($F_3 = 1$). Функція $F_2 = A$ і називається повторенням, а $F_1 = \overline{A}$ – інверсією (запереченням – не A).

Таблиця 10.2. ПФ однієї змінної

Номер набору	A	F_0	F_1	F_2	F_3
0	0	0	1	0	1
1	1	0	0	1	1

10.3.4. Перемикальні функції двох змінних

Якщо $N = 2$, то кількість наборів $N = 2^2 = 4$, а кількість ПФ $M=2^{2^2}=16$ (табл. 10.3).

Таблиця 10.3. ПФ двох змінних

Номер набору	B	A	F_0	F_1	F_2	F_3	F_4	F_5	F_6	F_7	F_8	F_9	F_{10}	F_{11}	F_{12}	F_{13}	F_{14}	F_{15}
0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
1	0	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
2	1	0	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
3	1	1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

Відзначимо з цих шістнадцяти функцій двох змінних ті, що найбільш часто використовуються:

- F_0 – константа нуля;
- F_{15} – константа одиниці;
- $F_8 = A \wedge B = A \cdot B$ – кон'юнкція (логічне множення (логічне «І»));
- $F_{14} = A \vee B = A + B$ – диз'юнкція (логічне додавання (логічне «АБО»));
- $F_6 = \overline{A \veebar B} = \overline{A \oplus B}$ – виключне або (сума за модулем два, нерівнозначність, нееквівалентність);
- $F_9 = A \veebar B = A \oplus B$ – рівнозначність (еквівалентність);
- $F_1 = \overline{A \vee B}$ – АБО – НЕ;
- $F_7 = \overline{A \wedge B}$ – І – НЕ.

10.3.5. Базисні логічні функції

Будь-яку логічну функцію можна подати сукупністю елементарних логічних функцій: диз'юнкцією, кон'юнкцією, інверсією або їхньою суперпозицією. Набір елементарних функцій АБО, І, НЕ називають функціонально повним набором або базисним набором (базисом).

Є декілька базисних (функціонально повних) наборів ЛЕ, на яких можна реалізовувати будь-яку ПФ:

– І, АБО, НЕ;
– І–НЕ;
– АБО–НЕ.

10.3.6. Принцип двоїстості булевої алгебри

Якщо у виразі $F_8 = A \wedge B$ кон'юнкцію замінити на диз'юнкцію і проінвертувати обидві змінні, то результат виявиться інверсією старого значення функції $\overline{F_8} = \overline{A} \vee \overline{B}$. Аналогічно, якщо у виразі $F_{14} = A \vee B$ диз'юнкцію замінити на кон'юнкцію і проінвертувати обидві змінні, то результат виявиться інверсією старого значення функції $\overline{F_{14}} = \overline{A} \wedge \overline{B}$.

Указані властивості логічних функцій відбивають *принцип двоїстості булевої алгебри.* [3; 6; 13].

Основні тотожності булевої алгебри

$$A + 0 = A; \quad A + 1 = 1; \quad A + A = A;$$
$$A + \overline{A} = 1; \quad A \cdot 0 = 0; \quad A \cdot 1 = A;$$
$$A \cdot A = A; \quad A \cdot \overline{A} = 0; \quad \overline{\overline{A}} = A.$$

10.3.7. Основні закони та теореми булевої алгебри

Закони:

Перемісний (властивість комутативності):

$A + B = B + A$; $A \cdot B = B \cdot A$.

Сполучний (властивість асоціативності):

$(A + B) + C = A + (B + C)$; $(A \cdot B) \cdot C = A \cdot (B \cdot C)$.

Розподільний (властивість дистрибутивності):

$A \cdot (B + C) = A \cdot B + A \cdot C$; $A + B \cdot C = (A + B) \cdot (A + C)$.

Теореми:

Поглинання: $A + A \cdot B = A$; $A \cdot (A + B) = A$.

Склеювання: $A \cdot B + A \cdot \overline{B} = A$; $(A + B) \cdot (A + \overline{B}) = A$.

Заперечення: $\overline{A + B} = \overline{A} \cdot \overline{B}$; $\overline{A \cdot B} = \overline{A} + \overline{B}$ (форма 1);

$A \cdot B = \overline{\overline{A} + \overline{B}}$; $A + B = \overline{\overline{A} \cdot \overline{B}}$ (форма 2).

Останні вирази випливають з принципу двоїстості булевої алгебри і називаються також *теоремою де Моргана*.

<u>Теорема без назви</u>: Є ще одна теорема без назви, яку можна навести у наступному вигляді:

$A+\overline{A}\cdot B=A+B$; $(A+\overline{B})\cdot B=A\cdot B$;

$B+\overline{B}\cdot A=B+A$; $(B+\overline{A})\cdot A=B\cdot A$.

Два корисних вирази:

$A\cdot\overline{B}+\overline{A}\cdot B=\overline{A\cdot B}\cdot(A+B)$;

$A\cdot\overline{B}+\overline{A}\cdot C=\overline{A\cdot B}\cdot(A+C)$.

10.3.8. Досконала диз'юнктивна нормальна форма запису булевих виразів

Булеві вирази простих логічних функцій можна записати за їх словесним описом. У загальному випадку для одержання аналітичної форми використовують таблиці істинності.

Припустимо, логічну функцію трьох змінних задано таблицею істинності (табл. 10.4).

Таблиця 10.4. Таблиця істинності трьох змінних

Номер набору	*C*	*B*	*A*	*F*
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	0
4	1	0	0	1
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

Ця функція має чотири конституенти одиниці К1, К4, К5 і К6 (конституента одиниці – це одиничне значення ПФ на одному з наборів). Усього для ПФ трьох змінних може бути вісім конституент, якщо функція приймає одиничне значення на усіх наборах.

Для нашого прикладу

$$K_1=\overline{C}\cdot\overline{B}\cdot A;\ K_4=C\cdot\overline{B}\cdot\overline{A};\ K_5=C\cdot\overline{B}\cdot A;\ K_6=C\cdot B\cdot\overline{A}.$$

Булевий вираз ПФ у досконалій диз`юнктивній нормальній формі (ДДНФ) є сумою конституент одиниць

$$F=\overline{C}\cdot\overline{B}\cdot A+C\cdot\overline{B}\cdot\overline{A}+C\cdot\overline{B}\cdot A+C\cdot B\cdot\overline{A}. \qquad (10.2)$$

Оскільки конституенти одиниць записуються у вигляді кон'юнкцій, то ДДНФ є сумою кон'юнкцій, кожна з яких містить усі змінні в прямому або

інверсному вигляді не більш одного разу. Очевидно, що логічна функція має єдиний булевий вираз у ДДНФ, що випливає з методики його одержання.

ДДНФ зветься диз'юнктивною (включає суму кон'юнкцій), досконалою (усі кон'юнкції містять кожну змінну у прямому або інверсному вигляді) та нормальною (дворівневою) – її реалізація потребує ЛЕ двох видів: кон'юнкторів і диз'юнкторів, при цьому вважається, що вхідні змінні задаються у прямому та інверсному вигляді.

Диз'юнктивна нормальна форма

Якщо у виразі (10.2) усі кон'юнкції або деякі з них не містять усіх змінних у прямому або інверсному вигляді, а також деякі кон'юнкції взагалі відсутні, то така форма представлення булевого виразу називається диз'юнктивною нормальною формою (ДНФ).

Перемикальна функція може описуватися декількома булевими виразами в ДНФ, частина з яких є мінімальною (містить мінімум кон'юнкцій і мінімум змінних, які входять у них).

10.3.9. Досконала кон'юктивна нормальна форма запису булевих виразів

Булевий вираз ПФ у ДКНФ є добутком конституента нуля, що записуються у вигляді диз'юнкцій. Кожна з них містить усі змінні в прямому або інверсному вигляді не більш одного разу. Для ПФ, яку подано табл. 10.4, булевий вираз в ДКНФ має вигляд

$$F = (C + B + A) \cdot (C + \overline{B} + A) \cdot (C + \overline{B} + \overline{A}) \cdot (\overline{C} + \overline{B} + \overline{A}). \qquad (10.3)$$

ДКНФ зветься кон'юнктивною (включає добуток диз'юнкцій), досконалою (усі диз'юнкції містять кожну змінну у прямому або інверсному вигляді) та нормальною (дворівневою) – її реалізація потребує ЛЕ двох видів: кон'юнкторів і диз'юнкторів, при цьому вважається, що вхідні змінні задаються у прямому та інверсному вигляді.

Логічна функція має єдиний булевий вираз у ДКНФ.

Кон'юктивна нормальна форма

Якщо у виразі (10.3) усі диз'юнкції або окремі з них не містять усіх змінних у прямому або інверсному вигляді, а також деякі диз'юнкції взагалі відсутні, то така форма представлення булевого виразу називається кон'юнктивною нормальною формою (КНФ).

Перемикальна функція може описуватися декількома булевими виразами в КНФ, частина з яких є мінімальною (містить мінімум диз'юнкцій і мінімум змінних, які входять у кожну із них).

10.3.10. Мінімізація логічних функцій

Мінімізацією називають процедуру спрощення (логічних) ПФ, спрямовану на те, щоб булевий вираз ПФ містив мінімальну кількість членів із мінімальною кількістю змінних.

Способи мінімізації:

– алгебраїчний;

– за допомогою діаграм Вейча (карт Карно).

Алгебраїчний спосіб мінімізації ПФ

У деяких простих випадках можна здійснити мінімізацію булевого виразу ПФ, використовуючи тотожності і теореми булевої алгебри (див. п. 10.3.7, 10.3.8).

Приклад 10.1. Початковий булевий вираз:

$$F = C \cdot B \cdot \overline{A} + C \cdot \overline{B} \cdot A + C \cdot \overline{B} \cdot \overline{A} + \overline{C} \cdot \overline{B} \cdot A.$$

Використовуючи теорему склеювання (див.10.3.8), отримаємо булевий вираз

$$F = C \cdot \overline{A} + \overline{B} \cdot A,$$

який еквівалентний початковому, але значно простіше його.

Приклад 10.2. Початковий булевий вираз:

$$F = C \cdot B \cdot \overline{A} + C \cdot \overline{B} \cdot A + \overline{C} \cdot B \cdot A + C \cdot B \cdot A.$$

Використовуючи тотожність $A = A + A$ і теорему склеювання (див. п. 10.3.8), отримаємо більш простий вираз

$$F = C \cdot B + C \cdot A + B \cdot A.$$

Такі елементарні прийоми мінімізації вдається використовувати, якщо початковий булевий вираз містить малу кількість членів з невеликою кількістю змінних.

Більш наочною і зручною є мінімізація з використанням діаграм Вейча (карт Карно).

Мінімізація ПФ із використанням діаграм Вейча

Діаграми Вейча (карти Карно) [6; 13; 19] побудовані так, що їхні сусідні клітини відображають члени початкової ПФ, які відрізняються значенням однієї змінної: один член містить цю змінну в прямій формі, а інший – у інверсній. Завдяки цьому виникає наочне уявлення про різноманітні варіанти склеювання суміжних членів.

Початковим продуктом для застосування діаграм Вейча є представлення ПФ таблицею істинності (див. п. 10.3.9), в якій можливі набори змінних упорядковано за зростанням або за зменшенням їхніх

десяткових еквівалентів. Вигляд діаграм Вейча залежить від кількості змінних ПФ – N і від того, як упорядковані набори змінних у таблиці. Якщо набори упорядковані за зростанням їхніх десяткових еквівалентів, то діаграми Вейча для N = 2, 3, 4 мають вигляд, який наведено на рис. 10.4.

Кількість клітин діаграми дорівнює кількості наборів змінних

$$N_{КЛ} = N_{НАБ} = 2^N.$$

Наприклад, якщо $N = 2$, то $N_{КЛ} = 2^2 = 4$; $N = 3$, $N_{КЛ} = 8$; $N = 4$, $N_{КЛ} = 16$.

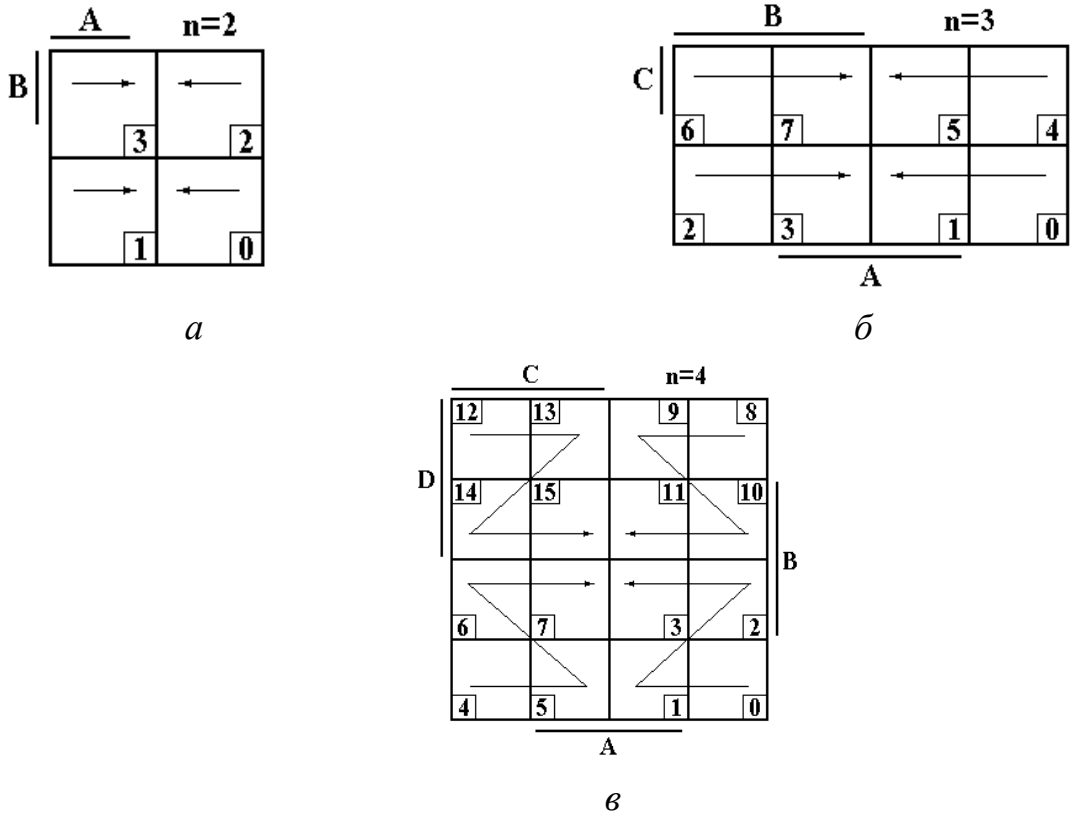


Рис. 10.4. Діаграми Вейча для:
а – двозмінних; *б* – трьохзмінних; *в* – чотирьохзмінних ПФ

Кожна клітина відповідає окремому набору змінних і має номер, однаковий із номером набору.

Рядки і стовпці діаграми, що помічено рискою з написом імені змінної, визначають набори, у які ці змінні входять у прямій формі (набувають одиничне значення). Набори, що відповідають іншим рядкам і стовпцям, містять ті ж змінні в інверсній формі (набувають нульове значення). Наприклад, для N = 3 (рис. 10.4, *б*) двом лівим стовпцям відповідає значення змінної B у прямій формі (B), а двом правим – у інверсній ($\overline{B}$).

У клітини записуються значення ПФ на відповідному наборі (нульове або одиничне). Якщо на якомусь наборі функція не визначена, то в клітині діаграми ставиться риска.

ПФ вважається невизначеною, якщо:

– відповідний набір змінних у реальному логічному пристрої неможливий;
– значення функції на даному наборі байдуже.

Після заповнення діаграми можна приступити безпосередньо до мінімізації, що роблять за одиницями або нулями.

У першому випадку результатом мінімізації буде булевий вираз у ДНФ, а в другому – у КНФ, див. 10.3.9, 10.3.10.

Загальне правило мінімізації

1. Суміжні одиниці (нулі) діаграми умовно охоплюють (накривають) прямокутними контурами. Кожний контур може містити 1, 2, 4, 8, 16, ... одиниць (нулів).

2. Одним контуром (накриттям) необхідно об’єднати максимальну кількість суміжних клітин, що містять одиниці (нулі).

3. Необхідно, щоб кожна основна одиниця (нуль) накривалася хоча б один раз.

4. Та сама одиниця (нуль) може охоплюватися декілька разів різними контурами.

5. Верхній і нижній рядки діаграми вважаються суміжними – їх можна вважати такими, якщо умовно згорнути діаграму в горизонтальний циліндр.

6. Лівий і правий стовпці також вважаються суміжними – діаграму можна умовно згорнути у вертикальний циліндр.

7. Кутові клітини також вважаються суміжними – діаграму можна умовно згорнути в тор.

8. У клітини, що містять прочерки (на даних наборах ПФ невизначена), можна записувати додаткові одиниці (нулі), що сприяє одержанню більш простого кінцевого булевого виразу. У цьому разі варто пам’ятати, що хоча б один раз необхідно накрити лише основні одиниці (нулі). Додаткові одиниці (нулі) можуть збільшувати сумарну кількість одиниць (нулів), що входять у накриття, а отже, зменшувати кількість змінних у результуючих кон`юнкціях (диз’юнкціях).

9. Результатом мінімізації є булевий вираз у ДНФ у разі мінімізації за одиницями) або КНФ (у разі мінімізації за нулями). Кількість кон`юнкцій у ДНФ (диз’юнкцій у КНФ) відповідає кількості контурів (накриттів).

10. У кожну кон’юнкцію (диз’юнкцію) увійдуть тільки ті змінні, значення яких у межах контуру не змінюється (змінна входить у накриття тільки в прямій або інверсній формі).

У разі *мінімізації за одиницями* у результуючі кон’юнкції змінні входять у прямій формі, якщо відповідні їм рядки і стовпці діаграми помічені рискою. Змінні, пов’язані з рядками і стовпцями не поміченими рискою, входять у кон’юнкції в інверсній формі.

У разі *мінімізації за нулями* у результуючі диз’юнкції змінні входять у прямій формі, якщо відповідні їм рядки і стовпці не помічені рискою, у протилежному випадку диз’юнкції містять змінні в інверсному вигляді.

Метою мінімізації є одержання мінімальної ДНФ або КНФ, що містить мінімум членів, які мають мінімальну кількість змінних. Для цього необхідно меншою кількістю контурів охопити хоча б один раз кожну основну одиницю (нуль). У цьому разі необхідно намагатися, щоб у кожне накриття входило як найбільше суміжних одиниць (нулів).

На рис. 10.4 показано діаграми Вейча для чисел логічних змінних N =2, 3, 4. Для $N > 4$ діаграми містяться у [2, 12].

Мінімізація ПФ за допомогою карт Карно

У картах Карно кожний рядок і стовпець позначаються значенням конкретної змінної або комбінацією змінних [18]. На рис. 10.5 показано приклад карти Карно для ПФ чотирьох змінних.

Карти Карно зручно використовувати, якщо ПФ задано у вигляді булевого виразу у ДДНФ (див. п. 10.3.9).

Наприклад,

$$F = \underset{1}{D \cdot \overline{C} \cdot \overline{B} \cdot \overline{A}} + \underset{2}{\overline{D} \cdot C \cdot \overline{B} \cdot A} + \underset{3}{\overline{D} \cdot \overline{C} \cdot \overline{B} \cdot A} + \underset{4}{\overline{D} \cdot \overline{C} \cdot B \cdot A} + \underset{5}{\overline{D} \cdot C \cdot B \cdot A} + \underset{6}{D \cdot \overline{C} \cdot \overline{B} \cdot A} \quad (10.4)$$

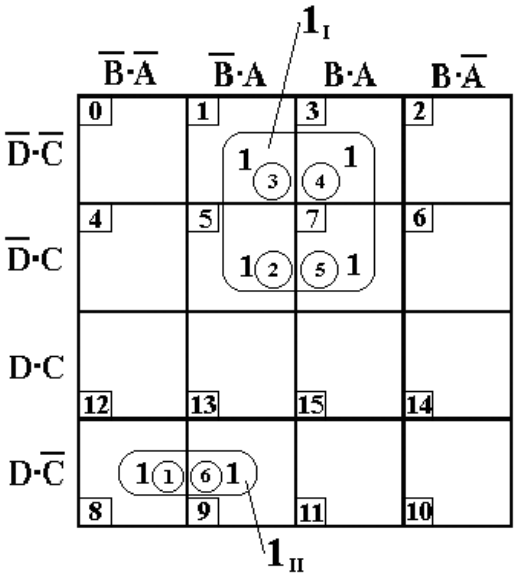


Рис. 10.5. Приклад карти Карно для ПФ чотирьох змінних

Правила мінімізації за допомогою карт Карно загалом аналогічні правилам, викладеним під час розгляду діаграм Вейча. Відмінність складається в заповненні карти Карно одиницями. Якщо діаграма Вейча заповнюється одиницями відповідно до номерів наборів, на яких початкова ПФ приймає одиничне значення, то в карті Карно одиниці ставлять у клітини, що лежать на перетині рядків і стовпців карти, помічених комбінаціями змінних, які під час їхнього перемножування дають запис відповідної конституенти одиниці (кон'юнкції). На рис. 10.5 показано приклад заповнення карти Карно за виразом (10.4), що містить шість конституент одиниць.

Булевий вираз мінімізованої ПФ має вигляд

$$F = \overset{1_I}{\overline{D}\cdot A} + \overbrace{D\cdot\overline{C}\cdot\overline{B}}^{1_{II}}.$$

Інші приклади використання діаграм Вейча і карт Карно показано в [6; 13].

Приклад мінімізації ПФ за допомогою діаграм Вейча

Для контролю за можливою деформацією металевої конструкції через її перегрів у різноманітних критичних точках встановлено чотири термодатчики, які позначено як: $ТД_1$, $ТД_2$, $ТД_3$, $ТД_4$.

Експериментальні дослідження конструкції показали, що деформація можлива в наступних випадках:

1) спрацювали $ТД_4$, $ТД_3$ і не спрацювали $ТД_2$ і $ТД_1$;

2) спрацювали $ТД_4$, $ТД_3$, $ТД_2$ і $ТД_1$;

3) спрацював $ТД_2$ і не спрацювали $ТД_4$, $ТД_3$ і $ТД_1$;

4) спрацювали ТД$_3$, ТД$_2$ і ТД$_1$ і не спрацював ТД$_4$.

У випадках, коли:

1) спрацювали ТД$_4$, ТД$_3$, ТД$_2$ і не спрацював ТД$_1$;
2) спрацювали ТД$_2$, ТД$_1$ і не спрацювали ТД$_4$, ТД$_3$

деформація конструкції не виникала. За умовою експлуатації конструкції інші сполучення датчиків, що спрацювали і що не спрацювали, неможливі.

Необхідно спроектувати цифровий логічний пристрій, що вмикає сигнал тривоги, якщо відбувається спрацьовування термодатчиків у небезпечному сполученні.

Позначимо цифрові сигнали на виході термодатчиків логічними змінними: ТД$_4 \rightarrow D$; ТД$_3 \rightarrow C$; ТД$_2 \rightarrow B$; ТД$_1 \rightarrow A$, а логічну функцію, яку повинен реалізувати пристрій контролю – F.

Складемо таблицю істинності, що відображає необхідну логічну функцію (табл. 10.5).

Відповідну діаграму Вейча наведено на рис. 10.6.

Проведемо мінімізацію за одиницями. Для цього в клітини, що містять риски ставимо додаткові одиниці. Основні одиниці накриваємо трьома контурами: 1-й контур утворюють клітини першого й останнього рядків, 2-й – клітини 2 стовпця і 3-й – 4-го стовпця.

Підсумковий булевий вираз мінімізованої ПФ має вигляд

$$F = \overbrace{\overline{B}}^{1_{I}} + \overbrace{C \cdot A}^{1_{II}} + \overbrace{\overline{C} \cdot \overline{A}}^{1_{III}}.$$

Цей вираз має бути реалізовано цифровим логічним пристроєм, що вмикає сигнал тривоги.

Розглянуту функцію можна мінімізувати і за нульовими значеннями (нулями). Для цього дописуємо у клітини з номерами 1, 6, 9 і 11 нулі і накриваємо два основних нулі двома прямокутниками, що містять два і чотири елементи (нулі). Перший прямокутник охоплює клітини з номерами 6, 14, другий – 1, 3, 11 і 9.

Підсумковий булевий вираз мінімізованої ПФ має вигляд

$$F = \overbrace{(\overline{C} + A + \overline{B})}^{0_{I}} \cdot \overbrace{(\overline{A} + C)}^{0_{II}}.$$

Обидва вирази еквівалентні і застосовувати можна той з них, який простіше реалізується на конкретному наборі ЛЕ (базисі).

Таблиця 10.5. Таблиця істинності для чотирьох змінних

	($ТД_4$)	($ТД_3$)	($ТД_2$)	($ТД_1$)	Значення функції	
Номер набору	*D*	*C*	*B*	*A*	*F*	
0	0	0	0	0	–	
1	0	0	0	1	–	
2	0	0	1	0	1	3)
3	0	0	1	1	0	6)
4	0	1	0	0	–	
5	0	1	0	1	–	
6	0	1	1	0	–	
7	0	1	1	1	1	4)
8	1	0	0	0	–	
9	1	0	0	1	–	
10	1	0	1	0	–	
11	1	0	1	1	–	
12	1	1	0	0	1	1)
13	1	1	0	1	–	
14	1	1	1	0	0	5)
15	1	1	1	1	1	2)

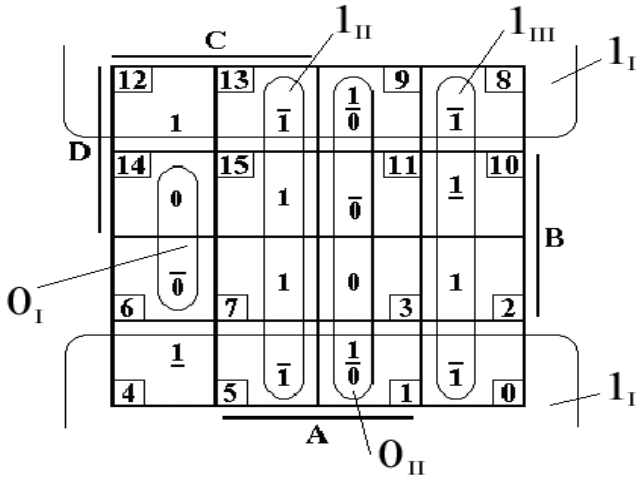


Рис. 10.6. Діаграма Вейча, що відповідає табл. 10.5

Контрольні запитання та завдання

1. Назвіть основні задачі комп'ютерної електроніки.
2. Дайте визначення поняттям: система числення, основа системи числення, розрядність чисел, вага розряду.
3. Назвіть та поясніть види дискретизації (квантування) аналогових сигналів.
4. Як розраховуються абсолютна та відносна похибки АЦП від квантування за рівнем?
5. Як розраховується час квантування за часом?
6. Дайте визначення поняттю «перемикальна функція».
7. Що таке мінімізація логічних функцій, які бувають види мінімізації?
8. Який принцип побудови діаграм Вейча (карт Карно)?
9. Наведіть умови, за яких ПФ вважається невизначеною.
10. Назвіть ціль мінімізації.
11. Яка основна відмінність карт Карно від діаграм Вейча?
12. Назвіть способи опису ПФ.
13. Який набір елементарних функцій називають базисним?
14. Назвіть принцип двоїстості булевої алгебри.
15. Назвіть основні тотожності та теореми булевої алгебри.
16. Дайте визначення ДНФ, ДДНФ, кон'юктивної нормальної форми, досконалої кон'юктивної нормальної форми запису булевих виразів.

11. РЕАЛІЗАЦІЯ ЛОГІЧНИХ ФУНКЦІЙ

11.1. Основні типи логічних елементів

Для апаратної реалізації булевих виразів використовується певний набір ЛЕ, що випускаються у вигляді ІМС. Є спеціалізовані ІМС, які розроблено методами інтегральної технології спеціально для одержання необхідної логічної залежності. Спеціалізовані ІМС не потребують ніяких паяних з'єднань в середині і мають високу надійність. Проте розроблення подібних мікросхем економічно виправдана лише у разі великого обсягу випуску. Прикладом може служити масовий випуск спеціалізованих великих інтегральних схем (ВІС) для електронних годинників, мікро-калькуляторів і т. ін.

Крім спеціалізованих ВІС є універсальний набір ЛЕ у вигляді ІМС, що забезпечує реалізацію елементарних логічних функцій. Термін «логічний» звичайно використовують стосовно процедури прийняття рішення. У такому випадку можна сказати, що ЛЕ – це така схема, що, ґрунтуючись на вхідних сигналах, може вирішувати, що їй відповісти на виході – «так» або «ні».

До цього набору можна віднести: інвертор, кон'юнктор, диз'юнктор, повторювач, І–НЕ, АБО–НЕ, виключне АБО, додавання за модулем два (непарність), додавання за модулем два з інверсією (парність), еквівалентність, нееквівалентність, І–АБО–НЕ, заборона і т. ін.

Інвертор (логічний елемент НЕ)

Інвертор реалізує логічну функцію

$$F = \overline{A}.$$

Нижче показано його позначення на електричних схемах (рис. 11.1, а) і принципова схема (рис. 11.1, б).

Кон'юнктор (логічний елемент І)

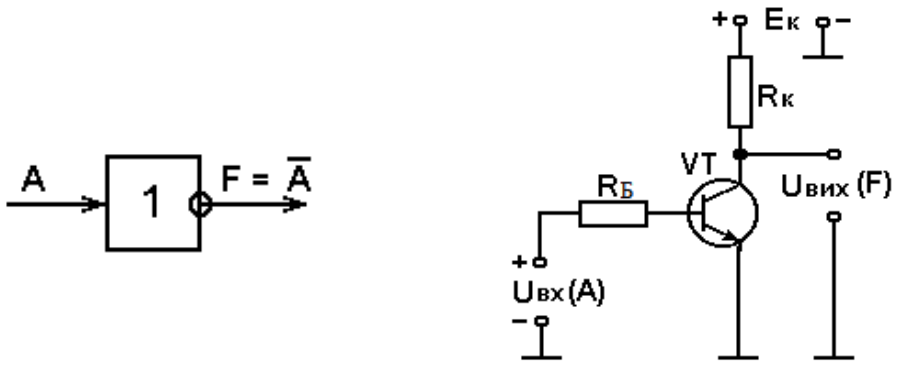
Кон'юнктор реалізує логічну функцію

$$F = A \wedge B = A \cdot B.$$

Нижче показано його позначення на електричних схемах (рис. 11.2, *а*), принципову схему (рис. 11.2, *б*) і таблицю істинності (табл. 11.1).

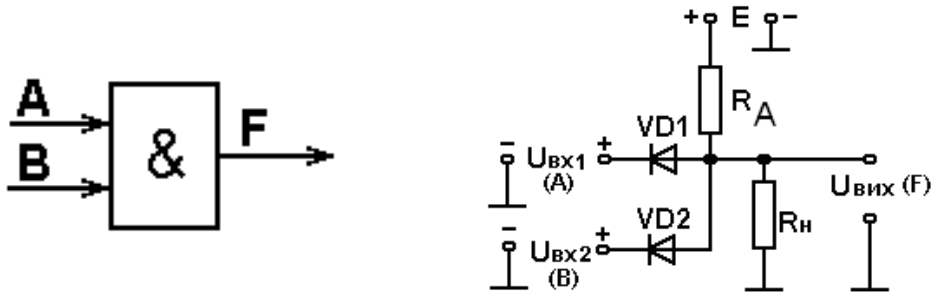
Схема кон'юнктора на рис. 11.2 відповідає «так» (на виході з'являється високий рівень напруги) тільки в тому випадку, коли на обидва її входи подано сигнали «так» (обидві вхідні напруги мають високий рівень).

На рис. 11.3 показано схему дослідження ЛЕ І.



а *б*

Рис. 11.1. Логічний елемент НЕ:
а – позначення на електричних схемах; *б* – принципова схема



а *б*

Рис. 11.2. Логічний елемент І:
а – позначення на електричних схемах; *б* – принципова схема

Таблиця 11.1. Таблиця істинності ЛЕ І

Номер набору	*B*	*A*	*F*
0	0	0	0
1	0	1	0
2	1	0	0
3	1	1	1

Входи ЛЕ підключено до ключів SA1 і SA2. Індикатором виходу служить світлодіод. Якщо на входах *A* або *B* з’являються сигнали НИЗЬКОГО логічного рівня (земля), то світлодіод не випромінює. Цю ситуацію відображає перший, другий та третій рядки табл. 11.2.

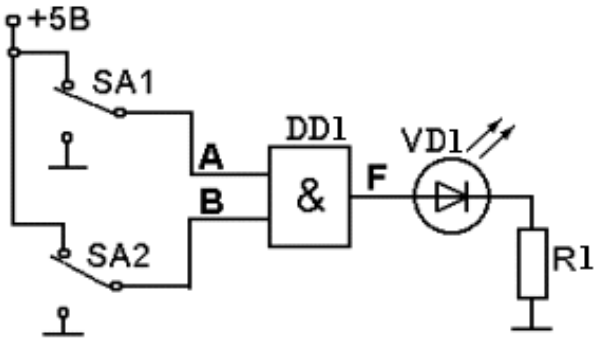


Рис. 11.3. Схема дослідження ЛЕ І

Крім значень рівнів напруг і позначки наявності випромінювання вхідні і вихідні сигнали в табл. 11.2 позначено двійковими цифрами: 0 і 1. Відповідно до рядків 1, 2 та 3, якщо хоча б на один вхід подано як двійковий нуль, то на виході ЛЕ також виникає двійковий нуль.

Таблиця 11.2. Результати дослідження ЛЕ І

	Входи				Вихід	
	A		*B*		*F*	
	Рівень напруги	Двійковий сигнал	Рівень напруги	Двійковий сигнал	Випромі – нювання	Двійковий сигнал
Рядок 1	низький	0	низький	0	немає	0
Рядок 2	низький	0	високий	1	немає	0
Рядок 3	високий	1	низький	0	немає	0
Рядок 4	високий	1	високий	1	є	1

Двійкова одиниця на виході елемента І з’являється тільки в тому випадку, коли на обидва входи *A* та *B* подано двійкові одиниці.

Двійковій одиниці, або напрузі ВИСОКОГО рівня, у точках *A*, *B* або *F* відповідає потенціал близький до +5 В відносно землі. Двійковий нуль, або напруга НИЗЬКОГО рівня, у точках *A*, *B* або *F* відповідає потенціалу землі (точніше, близька до потенціалу землі, тобто до нуля). Ми застосовуємо тут так звану «додатну логіку», оскільки для одержання двійкової одиниці використовується додатна напруга +5 В. Під час роботи з цифровими електронними пристроями ми частіше всього будемо мати справу з «додатною логікою».

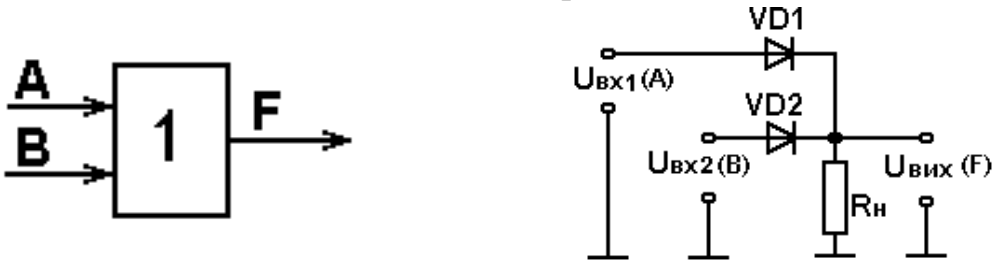
Диз’юнктор (логічний елемент АБО)

Диз’юнктор реалізує логічну функцію

$$F = A \vee B = A + B.$$

Нижче показано його позначення на електричних схемах (рис. 11.4, *а*), принципову схему (рис. 11.4, *б*) і таблицю істинності (табл. 11.3).

Особливість ЛЕ АБО складається в тому, що на його виході з’являється сигнал низького рівня тільки тоді, коли на усі його входи подаються також сигнали низького логічного рівня.



а *б*

Рис. 11.4. Логічний елемент АБО:
а – позначення на електричних схемах; *б* – принципова схема

Таблиця 11.3. Таблиця істинності ЛЕ АБО

Номер набору	*B*	*A*	*F*
0	0	0	0
1	0	1	1
2	1	0	1
3	1	1	1

Повторювач

Повторювач реалізує логічну функцію

$$F = A.$$

Його позначення на електричних схемах подано на рис. 11.5.

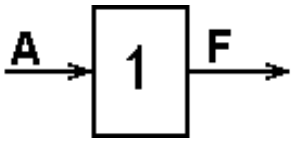


Рис. 11.5. Позначення повторювача на електричних схемах

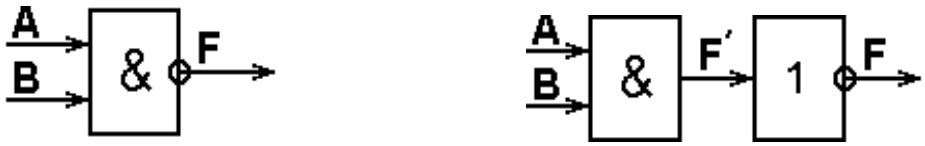
Повторювач не виконує ніяких логічних перетворень і використовується для підвищення навантажувальної спроможності окремих виходів ІМС або як елемент затримки, яка дорівнює часу поширення сигналу через нього.

Логічний елемент І–НЕ

Елемент І–НЕ реалізує логічну функцію

$$F = \overline{A \wedge B} = \overline{A \cdot B}.$$

Нижче показано його позначення на електричних схемах (рис. 11.6, *а*), функціональну схему (рис. 11.6, *б*) і таблицю істинності (табл. 11.4).



а *б*

Рис. 11.6. Логічний елемент І–НЕ:
а – позначення на електричних схемах; *б* – функціональна схема

Таблиця 11.4. Таблиця істинності ЛЕ І–НЕ

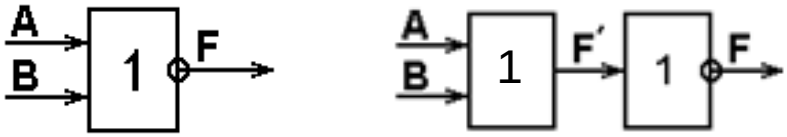
Номер набору	*B*	*A*	*F*
0	0	0	1
1	0	1	1
2	1	0	1
3	1	1	0

Логічний елемент АБО–НЕ

Логічний елемент АБО–НЕ реалізує логічну функцію

$$F = \overline{A + B} = \overline{A \vee B}.$$

На рис. 11.7 показано його позначення на електричних схемах (рис. 11.7, *а*), функціональну схему (рис. 11.7, *б*) і таблицю істинності (табл. 11.5).



а *б*

Рис. 11.7. Логічний елемент АБО–НЕ: *а* – позначення на електричних схемах; *б* – функціональна схема

Таблиця 11.5. Таблиця істинності ЛЕ АБО–НЕ

Номер набору	*B*	*A*	*F*
0	0	0	1
1	0	1	0
2	1	0	0
3	1	1	0

Виключне АБО

Логічний елемент «Виключне АБО» реалізує логічну функцію

$$F = A \veebar B.$$

Нижче показано його позначення на електричних схемах (рис. 11.8) і таблицю істинності (табл. 11.6).

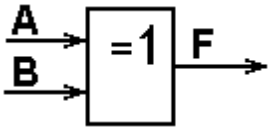


Рис. 11.8. Позначення ЛЕ «Виключне АБО» на електричних схемах

Таблиця 11.6. Таблиця істинності ЛЕ «Виключне АБО»

Номер набору	*B*	*A*	*F*
0	0	0	0
1	0	1	1
2	1	0	1
3	1	1	0

Елемент називається «Виключне АБО» тому, що його таблиця істинності збігається з таблицею істинності елемента АБО (табл. 11.3) першими трьома рядками. У четвертому рядку елемента АБО $F = 1$, а елемента «Виключне АБО» – нуль.

Додавання за модулем два (непарність)

Елемент реалізує логічну функцію

$$F = A \oplus B \oplus C.$$

Нижче показано його позначення на електричних схемах (рис. 11.9) і таблицю істинності (табл. 11.7).

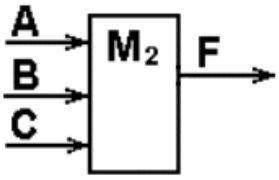


Рис. 11.9. Позначення на електричних схемах ЛЕ
«Додавання за модулем два (непарність)»

Елемент підсумовує значення змінних за модулем два (символ ⊕ (псевдоплюс) означає суму за модулем два (∑mod2): 0 + 0 = 0; 1 + 1 = 0; 1 + 0 = 1; 0 + 1 = 1). Якщо у результаті підсумовування кількість одиниць непарна, то функція дорівнює одиниці, в протилежному випадку – *F* = 0.

Додавання за модулем два із запереченням (парність)

Елемент реалізує логічну функцію:

$$F=\overline{A \oplus B \oplus C}.$$

Таблиця 11.7. Таблиця істинності ЛЕ
«Додавання за модулем два (непарність)»

Номер набору	*C*	*B*	*A*	*F*
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	0
4	1	0	0	1
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

Нижче показано його позначення на електричних схемах (рис. 11.10) і таблицю істинності (табл. 11.8).

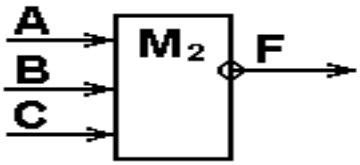


Рис. 11.10. Позначення на електричних схемах ЛЕ «Додавання за модулем два із запереченням (парність)»

Елемент формує суму за модулем два, яка потім інвертується на

виході. Якщо під час підсумовування кількість одиниць парна, то функція дорівнює одиниці, у протилежному випадку – $F = 0$.

Еквівалентність

Логічний елемент реалізує логічну функцію

$$F = \overline{A} \cdot \overline{B} \cdot \overline{C} + A \cdot B \cdot C.$$

Нижче показано його позначення на електричних схемах (рис. 11.11) і таблицю істинності (табл. 11.9).

Таблиця 11.8. Таблиця істинності ЛЕ «Додавання за модулем два із запереченням (парність)»

Номер набору	*C*	*B*	*A*	*F*
0	0	0	0	1
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

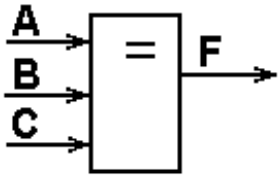


Рис. 11.11. Позначення на електричних схемах ЛЕ «Еквівалентність»

Таблиця 11.9. Таблиця істинності ЛЕ «Еквівалентність»

Номер набору	*C*	*B*	*A*	*F*
0	0	0	0	1
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

Функція дорівнює одиниці, коли усі змінні однакові (дорівнюють одиниці або нулю). У протилежному випадку – $F = 0$.

Нееквівалентність

Логічний елемент реалізує логічну функцію

$$F = \overline{\overline{A} \cdot \overline{B} \cdot \overline{C} + A \cdot B \cdot C}.$$

Нижче показано його позначення на електричних схемах (рис. 11.12) і таблицю істинності (табл. 11.10).

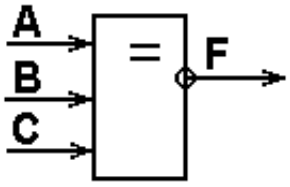


Рис. 11.12. Позначення на електричних схемах ЛЕ «Нееквівалентність»

Функція дорівнює одиниці, коли змінні не однакові. В протилежному випадку – $F = 0$.

Якщо число логічних змінних дорівнює двом, то ЛЕ «Нееквівалентність» збігається з елементами «Додавання за модулем два» і «Виключне АБО» (табл. 11.6, 11.7).

Таблиця 11.10. Таблиця істинності ЛЕ «Нееквівалентність»

Номер набору	*C*	*B*	*A*	*F*
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	1
4	1	0	0	1
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

Логічний елемент І–АБО–НЕ

Елемент реалізує більш складну логічну функцію, булевий вираз якої, наприклад, має вигляд

$$F = \overline{A \cdot B + C \cdot D}.$$

Нижче показано його позначення на електричних схемах (рис. 11.13) і таблицю істинності (табл. 11.11).

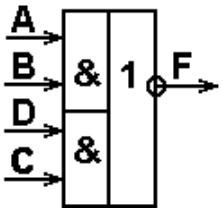


Рис. 11.13. Позначення на електричних схемах ЛЕ «І–АБО–НЕ»

Таблиця 11.11. Таблиця істинності ЛЕ «І–АБО–НЕ»

Номер набору	*D*	*C*	*B*	*A*	*F*
0	0	0	0	0	1
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	0
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	0

Заборона

Логічний елемент реалізує логічну функцію

$$F = A \cdot \overline{B}.$$

Нижче показано його позначення на електричних схемах (рис. 11.14) і таблицю істинності (табл. 11.12).

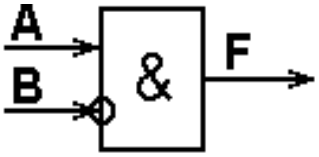


Рис. 11.14. Позначення на електричних схемах ЛЕ «Заборона»

На виході такого елемента логічна одиниця буде лише в тому випадку, якщо на основному вході – логічна одиниця (A = 1), а на вході B, що забороняє, – нуль (B = 0).

Таблиця 11.12. Таблиця істинності ЛЕ «Заборона»

Номер набору	*B*	*A*	*F*
0	0	0	0
1	0	1	1
2	1	0	0
3	1	1	0

У позначенні елемента на електричних схемах вхід, що забороняє, позначено як інверсний – кругом. Сигналом на цьому вході, що забороняє, буде логічна одиниця, а сигналом, що дозволяє, – нуль (B = 0).

Логічні елементи з відкритим колектором

Під час побудови цифрових пристроїв часто виникає необхідність об’єднання виходів декількох ЛЕ з метою переходу на спільний вихідний ланцюг. Цю задачу можна вирішити, наприклад, за допомогою елемента АБО (рис. 11.15).

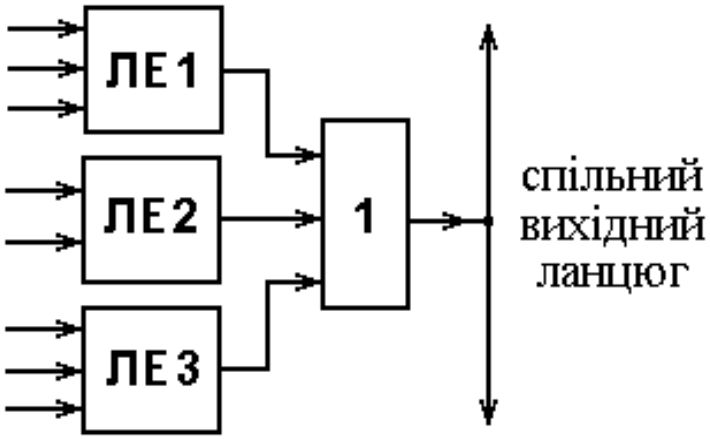


Рис. 11.15. Схема об’єднання виходів декількох ЛЕ на спільний вихідний ланцюг

У цьому разі доводиться миритися з додатковими схемними витратами і збільшенням сумарної затримки проходження цифрових сигналів через пристрій.

Інший спосіб вирішення описаної вище задачі засновано на застосуванні ЛЕ з відкритим колектором (стоком). У полі функціонального позначення цих елементів є спеціальний символ ◇, що вказує на те, що колектор (стік) вихідного транзистора відкритий (обірваний, «висить у повітрі»).

На рис. 11.16 показано об’єднання виходів декількох ЛЕ із відкритим колектором на спільний вихід.

Для нульових сигналів на виході ЛЕ1...ЛЕ3 (відповідний транзистор відкритий) подана схема виконує функцію «монтажне АБО»: якщо логічний нуль з’являється на виході хоча б одного ЛЕ, вихідний сигнал також буде дорівнювати нулю.

Для одиничних сигналів на виходах ЛЕ1...ЛЕ3 (відповідний транзистор закритий) схема виконує функцію «монтажне І»: вихідний сигнал схеми дорівнює одиниці лише у разі одночасної появи логічних одиниць на виходах усіх ЛЕ.

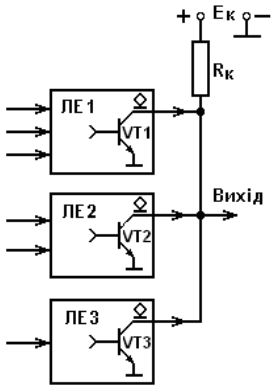


Рис. 11.16. Схема об’єднання виходів декількох ЛЕ із відкритим колектором на спільний вихід

Елементи з відкритим колектором (стоком) мають більш високу навантажувальну здатність, ніж звичайні ЛЕ, тому можуть використовуватися для підключення навантажень типу тиристорів, реле, індикаторів (світлодіодів) і т. ін. (рис. 11.17).

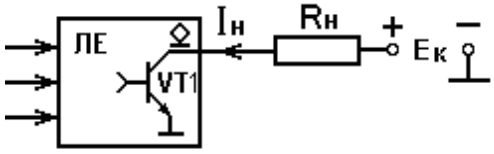


Рис. 11.17. Схема підключення до виходу ЛЕ із відкритим колектором зовнішнього навантаження *R*н

У цьому разі необхідно забезпечити виконання умови:

$$I_H \leq I^0_{\text{ВИХ}},$$

де I_H – струм навантаження; $I_{\text{ВИХ}}^0$ – значення максимального струму, що може проходити через відкритий вихідний транзистор ЛЕ (на виході логічний нуль).

На рис. 11.18 наведено приклад підключення до ЛЕ з відкритим колектором світлодіода VD1.

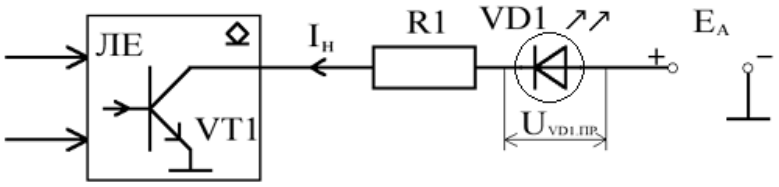


Рис. 11.18. Схема підключення світлодіода до ЛЕ з відкритим колектором

Коли на виході ЛЕ з'являється логічний нуль (вихідний транзистор VT1 відкритий), світлодіод буде підключено до джерела струму E_A у прямому напрямку. Коли через світлодіод VD1 проходить прямий струм, він засвічується. Струм I_H дорівнює струму засвічування світлодіода, який, наприклад, складає: $I_{ЗАСВ.VD1} \leq 20$ мА. Падіння напруги на відкритому діоді $U_{VD1.ПР}$ складає, наприклад: (1,7...2) В. Резистор $R1$ обмежує величину прямого струму і обчислюється за формулою:

$$R1=\frac{E_A - U_{VD1.ПР}}{I_{ЗАСВ.VD1}}.$$

Наприклад, E_A= 5 В, $U_{VD1.ПР}$ = 2 В, $I_{ЗАСВ.\ VD1}$ = 20 мА.

Тоді $R1=\frac{5\ -\ 2}{20\cdot 10^{-3}}=150$ Ом.

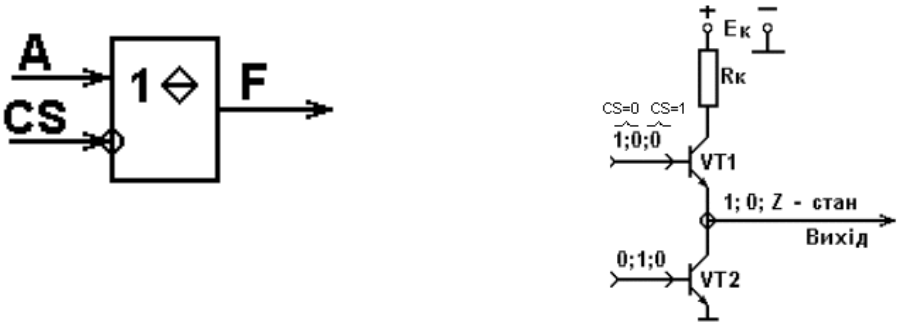
Логічні елементи з трьома станами вихідного сигналу

Один із найбільш широко використовуваних способів підключення ЛЕ на спільний вихід засновано на застосуванні в їхніх вихідних ланцюгах електричних буферних схем, які можуть під дією керувальних сигналів або підключати до навантаження вихідний логічний сигнал, що приймає значення 0 або 1, або відключати вихід від навантаження (переводити його в так званий третій (високоімпедансний, *Z*-стан)).

Нижче показано позначення на електричних схемах ЛЕ (повторювача) з трьома станами вихідного сигналу (рис. 11.19, *а*) і принципову схему його вихідного каскаду, що забезпечує три стани вихідного сигналу: логічний нуль; логічну одиницю і третій (*Z*)-стан.

У полі функціонального позначення ЛЕ з трьома станами є спеціальний символ ⏀.

Крім основних входів, на які подаються вхідні логічні змінні, подібні елементи мають керувальний вхід: «Вибір кристала» – *CS*, активним сигналом на якому, як правило, є логічний нуль (рис. 11.19, *а*).



а *б*

Рис. 11.19. Логічний елемент з трьома станами вихідного сигналу:
а – позначення на електричних схемах; *б* – принципова схема

Три стани вихідних сигналів забезпечуються керувальними сигналами на базах вихідних транзисторів VT1 і VT2 (рис. 11.19, *б*):

– одиничний стан – *CS* = 0, на базі VT1 – одиниця (транзистор – відкритий); на базі VT2 – нуль (транзистор – закритий), і з виходу знімається логічна одиниця;
– нульовий стан – *CS* = 0, на базі VT1 – нуль (транзистор закритий); на базі VT2 – одиниця (транзистор – відкритий), і з виходу знімається логічний нуль;
– *Z*-стан – *CS* = 1, на базах VT1 і VT2 – логічні нулі (обидва транзистори закриті) і вихід обірваний від спільної шини (знаходиться у високоімпедансному (*Z*)-стані).

Елементи з трьома станами широко використовуються у мікропроцесорній техніці для підключення виходів різноманітних пристроїв мікропроцесорної системи до спільної шини, як правило, до шини даних.

11.2. Реалізація логічних функцій у різних базисах

Є декілька базисних (функціонально повних) наборів ЛЕ, на яких можна реалізовувати будь-яку ПФ:

– І, АБО, НЕ;
– І–НЕ;
– АБО–НЕ.

Для реалізації ПФ, яку подано булевим виразом у ДНФ або КНФ, достатньо трьох ЛЕ: І, АБО, НЕ, тому цей набір вважається функціонально повним або базисним (базисом).

На практиці більш широко використовуються базиси І–НЕ або АБО–НЕ. Це пов'язано з тим, що зменшення номенклатури елементів до одного типу спрощує проектування пристрою і його ремонт. Крім того, наявність у цих елементах інвертора (підсилювача) підвищує його навантажувальну здатність (підсилює сигнал).

Використовуючи тотожності і теореми булевої алгебри можна перетворити вирази ПФ, записані у вигляді комбінації функцій І, АБО та НЕ, до вигляду, що може бути реалізований елементами базису І–НЕ та АБО–НЕ.

Сказане відбиває табл. 11.13, а на рис. 11.20 показано схемну реалізацію функцій НЕ, І та АБО в базисах І–НЕ (рис. 11.20, а, б, в) і АБО–НЕ (рис. 11.20, г, д, е).

Таблиця 11.13. Реалізація логічних функцій НЕ, І та АБО базисах І–НЕ та АБО–НЕ

Базис	Логічні операції		
	НЕ	І	АБО
І -НЕ	$F_1 = \overline{A} = \overline{A \cdot A}$	$F_2 = A \cdot B = \overline{\overline{A \cdot B}}$	$F_3 = A + B = \overline{\overline{A} \cdot \overline{B}}$
АБО - НЕ	$F_4 = \overline{A} = \overline{A + A}$	$F_5 = A \cdot B = \overline{\overline{A} + \overline{B}}$	$F_6 = A + B = \overline{\overline{A + B}}$

Функцію І–НЕ називають функцією Шеффера (штрихом Шеффера), позначаючи її у вигляді $F = A \mid B$, а функцію АБО–НЕ – функцією Пірса (стрілкою Пірса), позначаючи її у вигляді $A \downarrow B$. Базис І–НЕ називають базисом Шеффера, а базис АБО–НЕ – базисом Пірса.

Реалізація елемента «Еквівалентність» (виключне АБО–НЕ)

На виході такого елемента повинна бути логічна одиниця, якщо на входах одночасно присутні однакові логічні змінні (одиниці або нулі). Булевий вираз логічної функції, що відповідає аналізованому елементу, має вигляд

$$F = \overline{A} \cdot \overline{B} + A \cdot B. \qquad (11.1)$$

Очевидно, що даний вираз легко реалізується елементами базису І, АБО, НЕ.

Використовуючи теорему де Моргана і тотожності булевої алгебри, перетворимо вираз (11.1) до вигляду, що дозволяє реалізувати функцію «Еквівалентність» у базисі І–НЕ (11.2) і АБО–НЕ (11.3):

$$F=\overline{\overline{A\cdot B}\cdot\overline{\overline{A}\cdot\overline{B}}}\,, \qquad (11.2)$$

$$F=\overline{\overline{\overline{A}+\overline{B}}+\overline{A+B}}\,. \qquad (11.3)$$

Нижче показано функціональні схеми елемента «Еквівалентність» на ЛЕ базисів І, АБО, НЕ (рис. 11.21, *а*); І–НЕ (рис. 11.21, *б*) і АБО–НЕ (рис. 11.21, *в*).

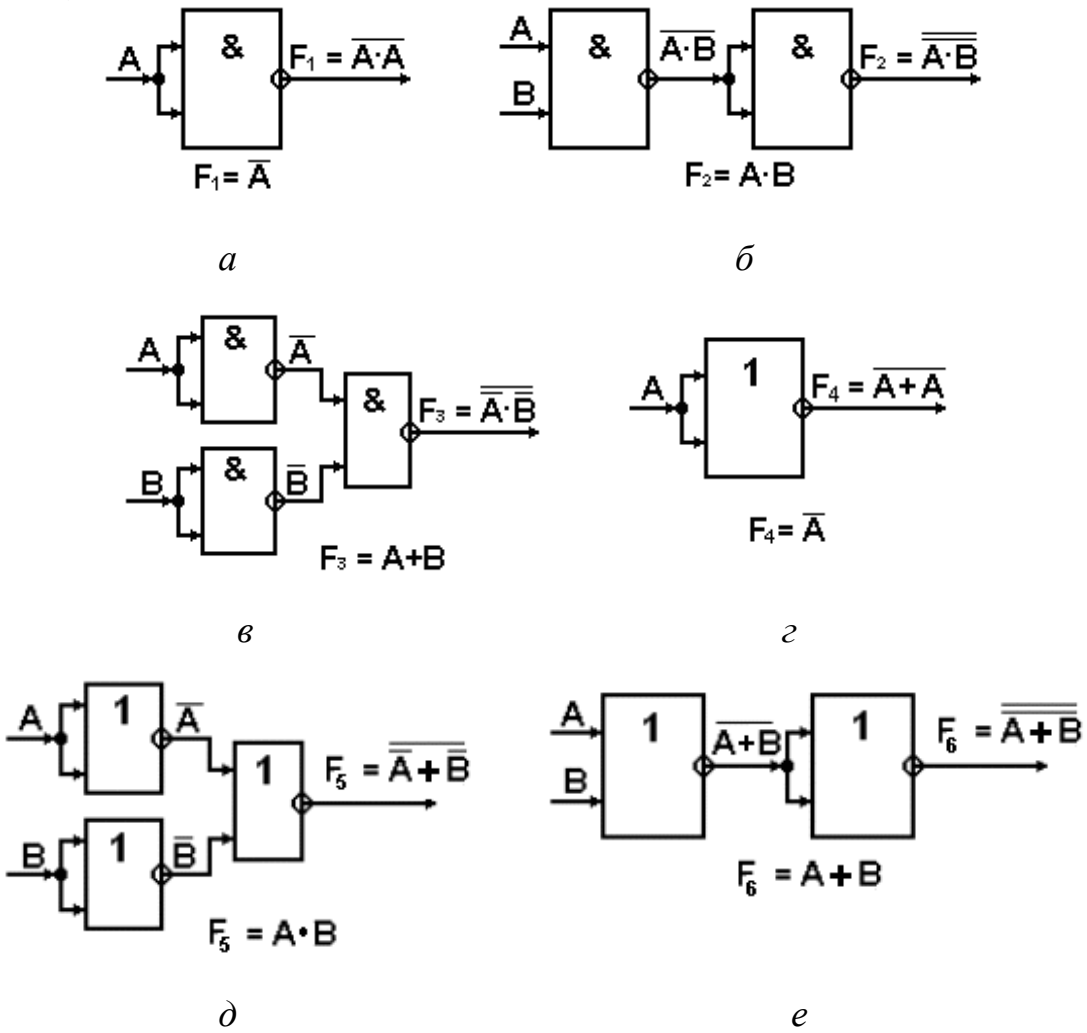


Рис. 11.20. Схемна реалізація функцій НЕ, І, АБО в базисах І–НЕ та АБО–НЕ

Реалізація елемента «Нееквівалентність» (виключне АБО, сума за модулем два)

На виході такого елемента повинна бути логічна одиниця, якщо на входах присутні нерівнозначні логічні змінні: $F = 1$, якщо $A = 1$, $B = 0$ або $A = 0$, $B = 1$.

Булевий вираз логічної функції аналізованого елемента має вигляд

$$F=A\cdot\overline{B}+\overline{A}\cdot B. \qquad (11.4)$$

Цей вираз може бути легко реалізовано елементами базису І, АБО, НЕ. Застосовуючи теорему де Моргана і тотожності булевої алгебри, перетворимо вираз (11.4) до вигляду, що дозволяє реалізувати функцію «Нееквівалентність» у базисі І–НЕ (11.5) і АБО–НЕ (11.6).

$$F=\overline{\overline{A\cdot\overline{B}}\cdot\overline{\overline{A}\cdot B}} \qquad (11.5)$$

$$F=\overline{\overline{\overline{A}+B}+\overline{A+\overline{B}}} \qquad (11.6)$$

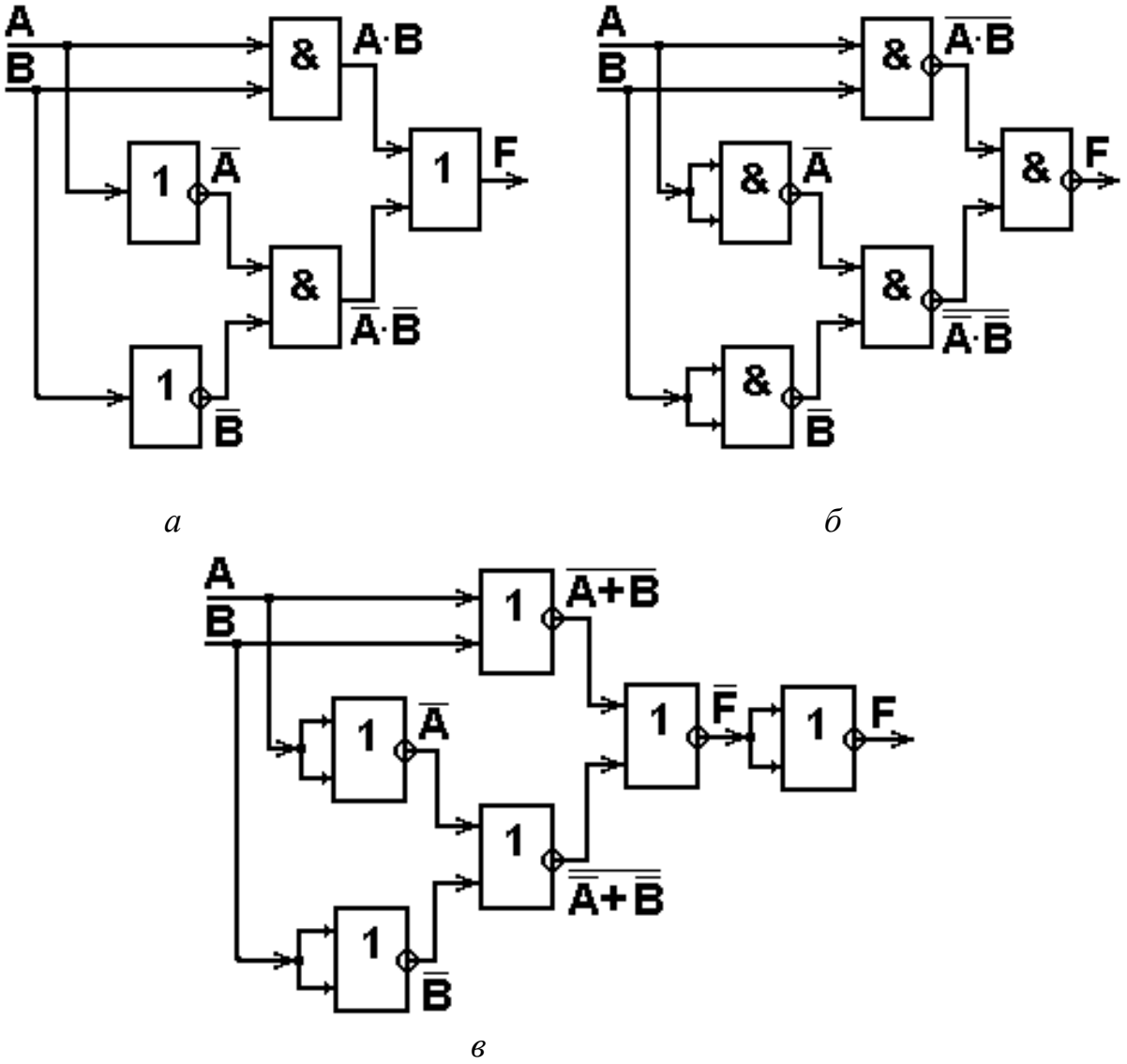


Рис. 11.21. Функціональні схеми елемента «Еквівалентність» на:
а – ЛЕ базису І, АБО, НЕ; *б* – ЛЕ базису І–НЕ; *в* – ЛЕ базису АБО–НЕ

Нижче показано функціональні схеми елемента «Нееквівалентність» на ЛЕ базису І, АБО, НЕ (рис. 11.22, *а*); І–НЕ (рис. 11.22, *б*) і АБО–НЕ (рис. 11.22, *в*).

Елемент «Нееквівалентність» інакше називають суматором за модулем два: сума двійкових цифр дає одиницю, якщо одна з них одиниця, а інша – нуль; у протилежному випадку, якщо обидві цифри нуль або одиниця, то сума дорівнює нулю.

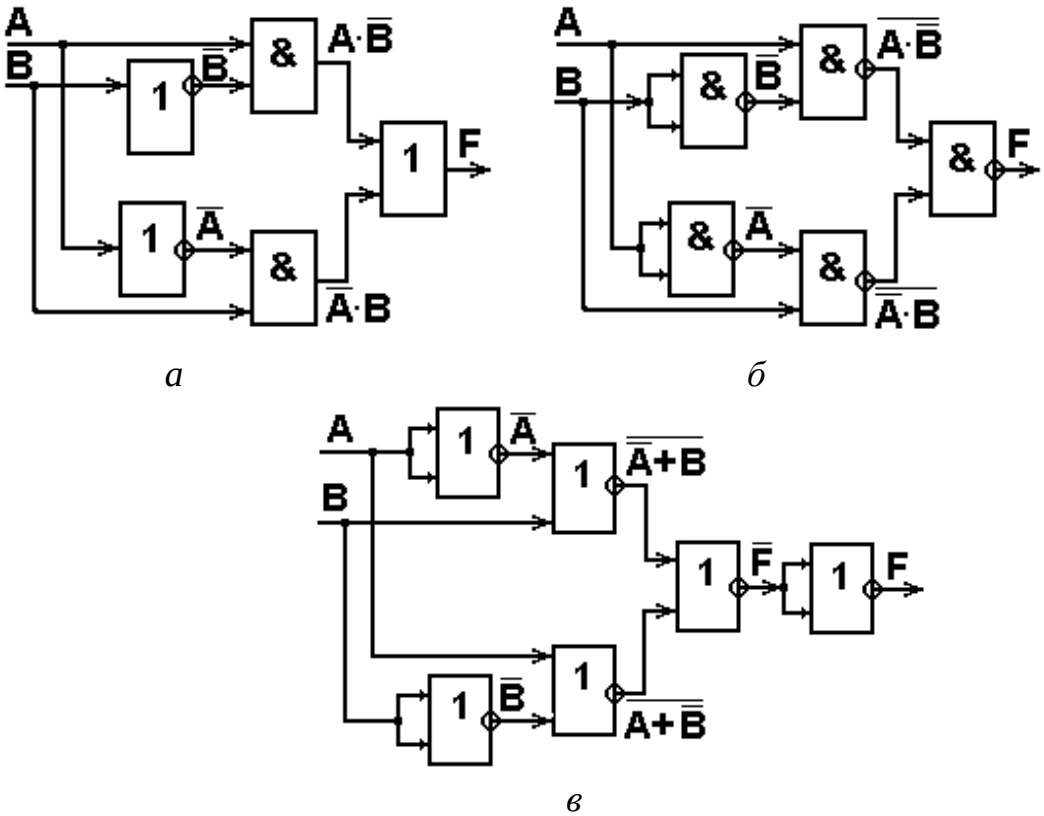


Рис. 11.22. Функціональні схеми елемента «Нееквівалентність» на:
а – ЛЕ базису І, АБО, НЕ; *б* – ЛЕ базису І–НЕ; *в* – ЛЕ базису АБО–НЕ

Реалізація елемента «Заборона»

На виході такого елемента повинна бути логічна одиниця, якщо на основному вході присутня логічна одиниця, а на вході, що забороняє, – логічний нуль.

Булевий вираз логічної функції аналізованого елемента має вигляд

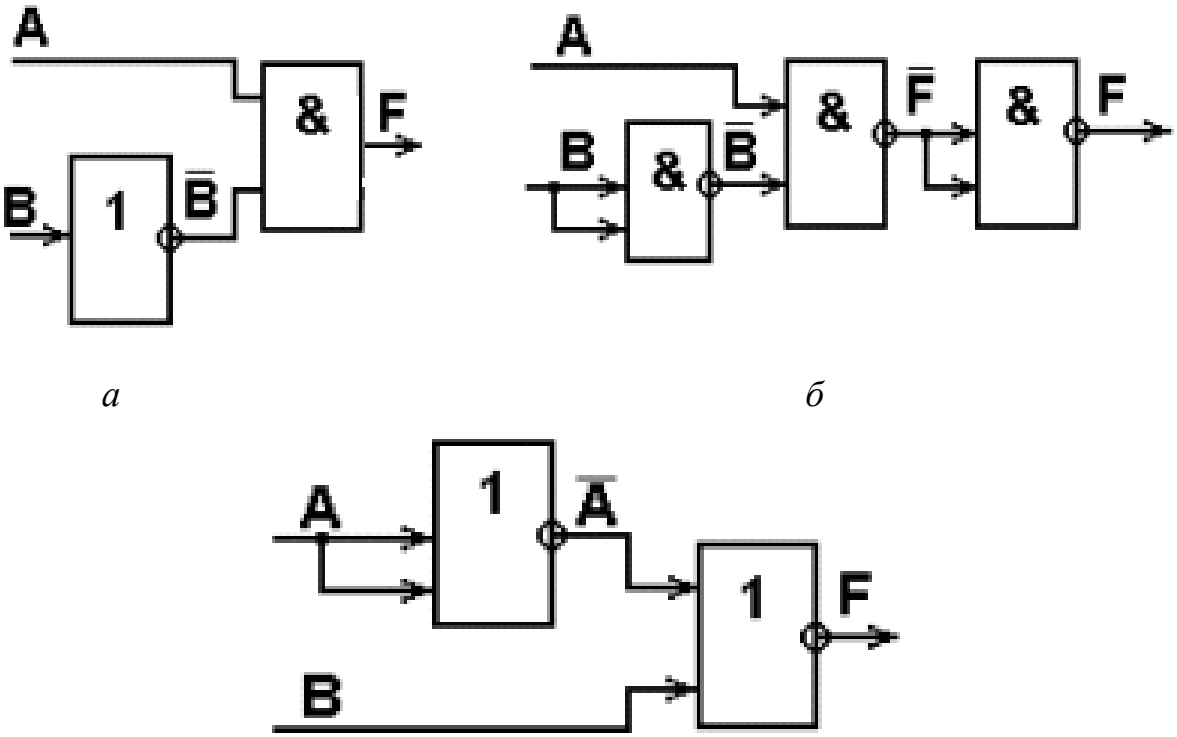
$$F = A \cdot \overline{B}. \qquad (11.7)$$

Вираз (11.7) може бути легко реалізовано в базисі І, АБО, НЕ. Застосовуючи теорему де Моргана і тотожності булевої алгебри, перетворимо вираз (11.7) до вигляду, що дозволяє реалізувати функцію «Заборона» у базисі І–НЕ (11.8) і АБО–НЕ (11.9).

$$F=\overline{\overline{A}\cdot\overline{B}} \qquad (11.8)$$

$$F=\overline{\overline{A}+B} \qquad (11.9)$$

На рис. 11.23 показано функціональні схеми елемента «Заборона» на ЛЕ базису І, АБО, НЕ (рис. 11.23, *а*); І–НЕ (рис. 11.23, *б*) і АБО–НЕ (рис. 11.23, *в*).



а *б*

в

Рис. 11.23. Функціональні схеми елемента «Заборона» на:
а – ЛЕ базису І, АБО, НЕ; *б* – ЛЕ базису І–НЕ; *в* – ЛЕ базису АБО–НЕ

Реалізація багатолітерних логічних функцій на елементах з невеликою кількістю входів

Іноді на практиці виникає задача реалізувати логічну функцію великого числа логічних змінних (багатолітерну функцію) на елементах з невеликою кількістю входів. Як приклад на рис. 11.24 показано функціональну схему, що реалізує на двовходових елементах І–НЕ логічну функцію

$$F = A\cdot B\cdot C\cdot D\cdot E\cdot F\cdot G\cdot H.$$

11.3. Технології виготовлення логічних елементів

Для побудови цифрових пристроїв широке застосування знаходять інтегральні ЛЕ на основі ТТЛ-, ТТЛШ-, ЕЗЛ- і КМОН-технологій. Будь-яка

мікросхема, що реалізує складну логічну функцію, частіше всього складається з елементів І–НЕ або АБО–НЕ.

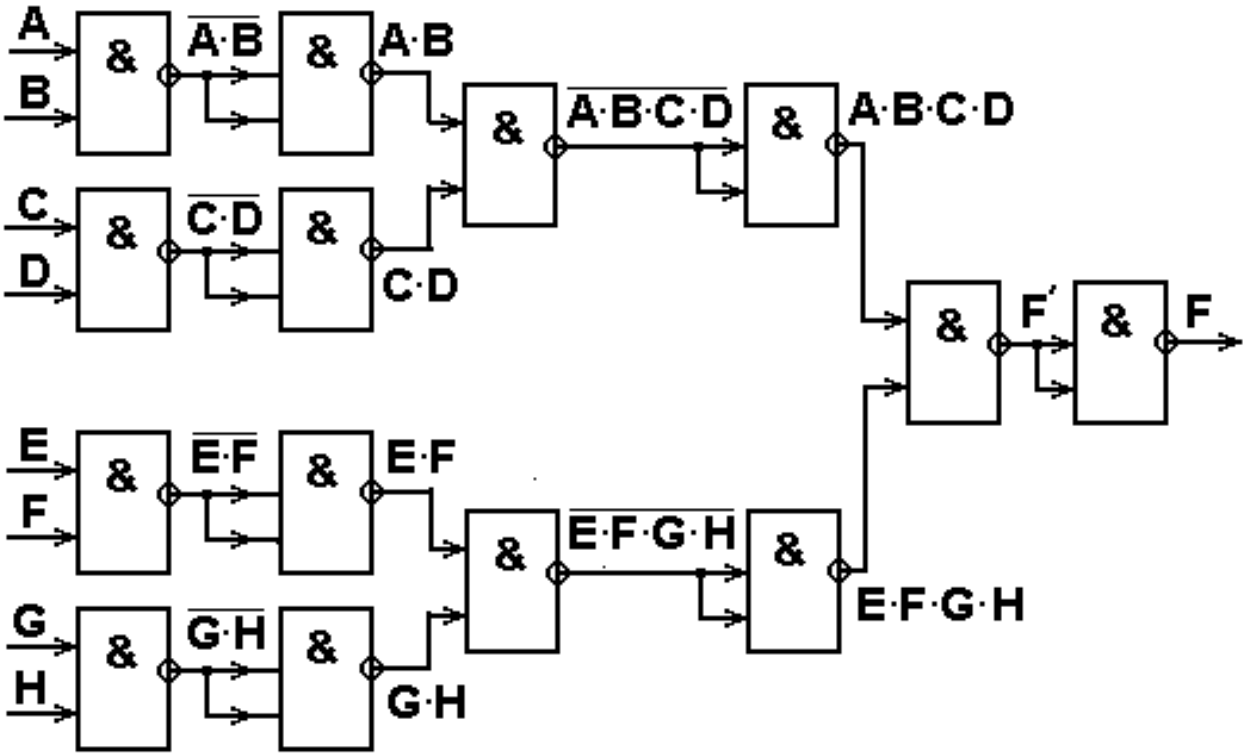


Рис. 11.24. Приклад реалізації на ЛЕ І–НЕ
функції $F = A \cdot B \cdot C \cdot D \cdot E \cdot F \cdot G \cdot H$

Базовий ТТЛ (ТТЛШ) – елемент І–НЕ

Найпростіший ТТЛ – елемент, назва якого розшифровується як транзисторно-транзисторна логіка, складається з кон'юнктора, виконаного на багатоемітерному транзисторі $VT_Б$ і транзисторного інвертора VT1 (рис. 11.25).

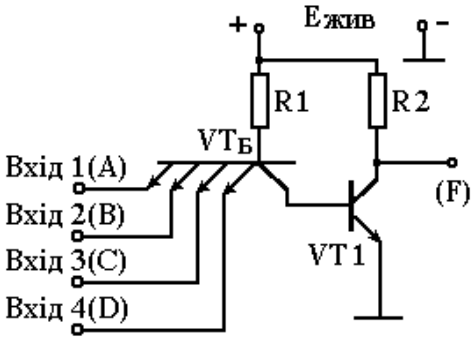


Рис. 11.25. Схема найпростішого ТТЛ-елемента

Під час високих рівнів напруги на усіх входах схеми усі переходи емітер–база багатоемітерного транзистора $VT_Б$ зміщуються у зворотному напрямку (закриті), а перехід база–колектор за рахунок напруги $+E_{ЖИВ}$ – у

прямому (інверсне включення транзистора). Струм колекторного переходу транзистора $VT_Б$, що проходить через перехід база–емітер транзистора VT1, вводить останній у режим насичення. У цьому разі з виходу знімається низький рівень напруги (логічний нуль).

Якщо хоча б на один вхід схеми надійде сигнал логічного нуля (низький рівень напруги), $VT_Б$ відкривається і на базу VT1 подається низький рівень напруги. Останній закривається і з виходу знімається високий рівень сигналу (логічна одиниця).

Таким чином, елемент реалізує функцію І–НЕ ($F = \overline{A \cdot B \cdot C \cdot D}$). Вихідний опір розглянутого елемента залежить від стану транзистора VT1. Коли він відкритий опір близький до нуля, а коли закритий, $R_{ВИХ} \approx R_К = R2$.

Для зменшення енергоспоживання і збільшення навантажувальної здатності ТТЛ – елементи містять додаткові транзистори (рис. 11.26).

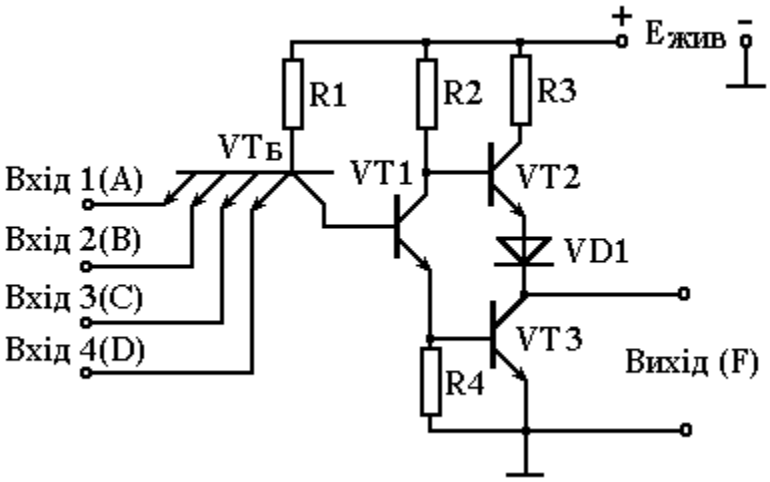


Рис. 11.26. Схема ТТЛ-елемента із складним інвертором

Подібна схема називається ТТЛ-елементом із складним інвертором, виконаним на трьох транзисторах VT1, VT2 і VT3. Якщо на усіх входах елемента присутня логічна одиниця, то емітерний перехід $VT_Б$ закритий, а колекторний – відкритий. Струм бази $VT_Б$ через перехід $БК_{VTБ}$ надходить у базу VT1. У результаті VT1 входить у режим насичення. Додатним потенціалом, який знімається з резистора *R*4, транзистор VT3 відкривається і з виходу схеми знімається логічний нуль. Завдяки наявності діода VD1 транзистор VT2 при цьому надійно закритий.

Діод забезпечує додаткове додатне збільшення напруги на емітері VT2. Використання таких діодів – один із типових прийомів інтегральної технології, що дозволяє забезпечити надійне закриття вимкнених транзисторів. Наявність закритого VT2 у колекторному ланцюзі відкритого

VT3 практично виключає споживання струму вихідним ланцюгом складного інвертора в стані спокою (без навантаження). Навантаження, увімкнене між $+E_{ЖИВ}$ і колектором VT3 може викликати достатньо великий струм ($I_{К.VT3} = I_Н$).

Якщо хоча б на один вхід схеми (рис. 11.26) надійде логічний нуль, то транзистор $VT_Б$ насичується, на його колекторі (базі VT1) з'являється низький рівень напруги і транзистор VT1 закривається. Потенціал його емітера прямує до нуля, а потенціал колектора – до напруги $+E_{ЖИВ}$. Транзистор VT3 закривається, VT2 – відкривається. З виходу знімається високий рівень напруги (логічна одиниця).

Каскад на транзисторі VT2 працює в активному режимі як емітерний повторювач (значення резистора *R*3 мале (десятки Ом) і може не враховуватись).

Вихідний опір емітерного повторювача дуже малий, тому навантажувальна здатність другої схеми (рис. 11.26) порівняно з першою (рис. 11.25) значно збільшується.

Споживання струму у вихідному ланцюзі ненавантаженого складного інвертора в цьому стані також мале, тому що VT3 – закритий. Якщо між виходом (колектором VT3) і корпусом увімкнути опір навантаження, то споживаний схемою струм збільшується ($I_Н = I_{EVT2}$).

Відсутність власного споживання струму вихідним ланцюгом складного інвертора робить аналізований елемент достатньо економічним.

Водночас, ця схема має суттєвий недолік. Під час формування логічної одиниці на виході струм закритого транзистора VT3 $I_{К03}$ проходить через резистор *R*4 (рис. 11.26), що створює на ньому падіння напруги, спрямоване на відкривання транзистора. Щоб знизити цю напругу значення резистора *R*4 береться не дуже великим (сотні Ом).

Мале значення *R*4 шунтує перехід база–емітер VT3 у разі його відкривання. Наприклад, у разі напруги $U_{БЕН\ VT3}$ = 0,6 В через резистор *R*4 =1 кОм проходить струм 0,6 мА. Отже, VT3 почне відкриватися тільки після того, як струм через резистор *R*4 зростає до 0,6 мА. Це призводить до розтягування у часі перехідної області передавальної характеристики аналізованого елемента

Крім того, наявність *R*4 впливає на стабільність параметрів ТТЛ-елемента в робочому діапазоні температур. Цей резистор має додатний температурний коефіцієнт опору (ТКО). Під час зростання температури значення *R*4 збільшується, його дія, що шунтує, зменшується, струм бази

VT3 збільшується, транзистор VT3 насичується сильніше, що може збільшити час його вимикання, тобто погіршує швидкодію.

Під час зниження температури значення *R*4 падає, його дія, що шунтує, зростає, що приводить до збільшення часу включення (розтягуванню у часі перехідної області передавальної характеристики мікросхеми).

Для усунення відзначених недоліків замість резистора *R*4 у схему ТТЛ-елемента включено нелінійний чотириполюсник (рис. 11.27), виконаний на транзисторі VT4.

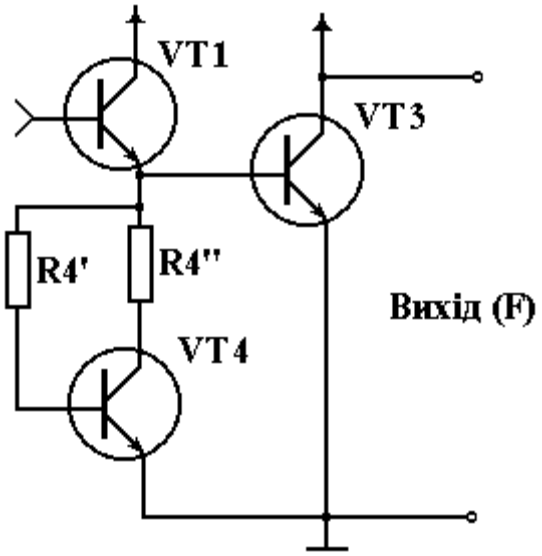


Рис. 11.27. Включення у схему ТТЛ-елемента нелінійного чотириполюсника на транзисторі VT4

Це дозволяє зменшити тривалість перехідної області передавальної характеристики ТТЛ-елемента і підвищити стабільність його параметрів.

Розглянута схема зі складним інвертором також реалізує функцію І–НЕ.

ТТЛ-схеми в наш час достатньо широко застосовуються в модифікованому ТТЛШ-виконанні і містять транзистори і діоди Шотткі.

Нижче показано приклад двовходового логічного ТТЛШ-елемента І–НЕ (рис. 11.28), що має низку додаткових елементів, відсутніх у розглянутих вище ТТЛ-схемах (рис. 11.25…11.27).

По-перше, для підвищення навантажувальної здатності замість транзистора VT2 (рис. 11.26) у схему введено складений транзистор (VT2′, VT2″). По-друге, для захисту елемента від випадково поданих від’ємних вхідних сигналів у нього включено діоди VD1, VD2. По-третє, схема містить транзистор VT5, за допомогою якого здійснюється перемикання виходу схеми в третій, високоімпедансний, *Z*-стан (рис. 11.19).

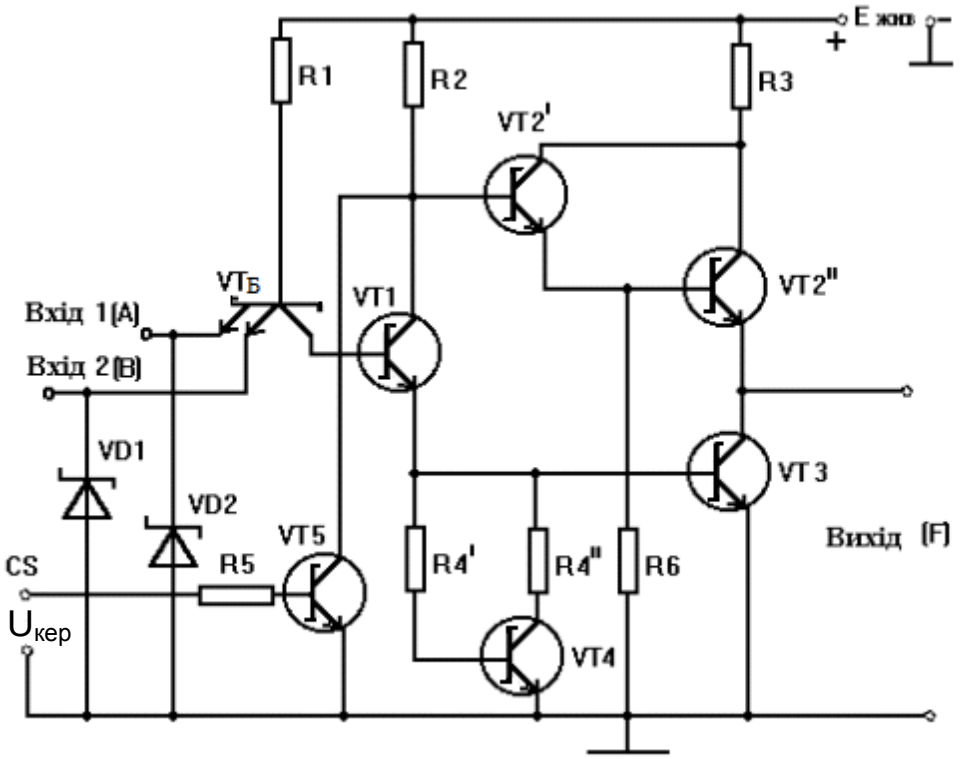


Рис. 11.28. Схема двовходового ТТЛШ-елемента І–НЕ

Додатний потенціал на базі транзистора VT5 відкриває його, підключаючи тим самим колектор транзистора VT1 на землю. Це призводить до того, що транзистори VT2′, VT2″ і VT3 залишаються закритими незалежно від стану вхідних керувальних сигналів. У цьому разі вихід *F* відключається як від шини живлення, так і від землі, тобто ніби повисає в повітрі. Функціональне позначення такого ЛЕ показано на рис. 11.29.

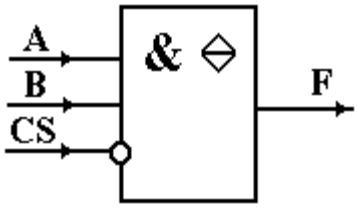


Рис. 11.29. Функціональне позначення ЛЕ
І з третім станом

Можливість переходу ТТЛ (ТТЛШ)-схем у третій стан дозволяє використовувати їх під час роботи на одну системну шину, наприклад, у мікропроцесорних пристроях. У цьому разі до спільної шини даних може бути залучено цілу низку різноманітних пристроїв, обладнаних вихідними ланцюгами з трьома станами. В кожний момент часу зі спільною шиною сполучено тільки один пристрій, а виходи інших знаходяться в третьому (*Z*)-стані, тобто відключені від шини.

Базовий ЕЗЛ-елемент АБО/АБО–НЕ

У цьому елементі логічні операції виконуються емітерно-зв'язаними транзисторами, чим і обумовлено назву типу логіки. Елемент має два виходи, на одному з яких фіксується результат операції над вхідними цифровими сигналами – АБО, а на іншому – операції АБО–НЕ.

У цій схемі до «землі» приєднано плюсову шину джерела живлення, тому вихідні сигнали мають від'ємну полярність.

Розроблені на основі ЕЗЛ-схем ІМС характеризуються досить високими швидкодією та навантажувальною здатністю, низькою завадостійкістю і достатньо великою споживаною потужністю, але сьогодні використовуються не дуже часто.

Базовий КМОН-елемент АБО–НЕ

Логічні схеми на комплементарних (що доповнюють один одного) МОН (МДН)-елементах містять послідовно включені МОН-транзистори різних типів провідності, які керуються одним сигналом (рис. 11.30).

Коли один з послідовно включених транзисторів відкривається, інший – закривається. Тому такий каскад практично не споживає потужності в статичному режимі.

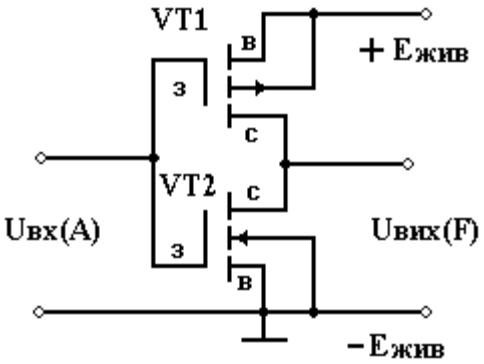


Рис. 11.30. Схема КМОН-логічного елемента

КМОН-елемент (рис. 11.30) є подільником напруги $+E_{ЖИВ}$. Нижнє плече подільника складає транзистор VT2, що називається комутуючим або керувальним. Верхнє плече утворює транзистор VT1, який називається таким, що навантажує. Якщо на вхід подається високий рівень напруги (логічна одиниця), то відкривається транзистор VT2 і закривається VT1. Велика частина напруги живлення виділяється на транзисторі VT1, що навантажує, а з виходу знімається низький рівень напруги (логічний нуль).

Якщо на вхід надходить низький рівень сигналу (логічний нуль), то відкривається VT1 і закривається VT2. З виходу знімається високий рівень

напруги, а відкритий транзистор VT1 виконує функцію стокового резистора R_C для транзистора VT2.

Розглянута схема виконує функцію інвертора: $F = \overline{A}$.

Нижче показано схему ЛЕ АБО–НЕ з трьома входами на КМОН-елементах (рис. 11.31).

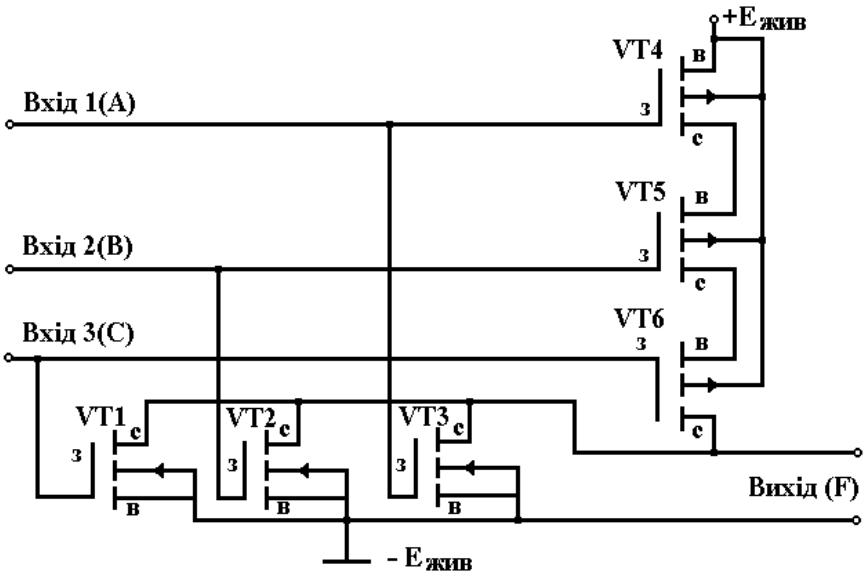


Рис. 11.31. Схема ЛЕ АБО–НЕ на КМОН-елементах

Якщо на будь-який з входів, наприклад, *C*, подається високий рівень (логічна одиниця), то відкривається транзистор VT1 і шунтує паралельно включені з ним транзистори VT2 і VT3. Опір нижнього плеча подільника, що складається з трьох паралельно включених керувальних транзисторів VT1, VT2 і VT3, зменшується.

Одночасно закривається транзистор VT6 і опір верхнього плеча подільника, що складається з трьох послідовно включених транзисторів VT4, VT5 і VT6, що навантажують, стає дуже значним. Велика частина напруги живлення $+E_{ЖИВ}$ виділяється на транзисторах, що навантажують, а з виходу знімається низький рівень сигналу (логічний нуль).

Тільки коли на усіх входах *A*, *B* і *C* присутній низький рівень сигналу (логічний нуль), тоді керувальні транзистори закриті, а ті, що навантажують, – відкриті. Падіння напруги на транзисторах, що навантажують, мале і вони виконують функцію стокового резистора R_C для паралельно включених закритих транзисторів VT1...VT3. З виходу знімається високий рівень напруги (логічна одиниця).

Таким чином, аналізований елемент (рис. 11.31) виконує логічну функцію АБО–НЕ

$$F = \overline{A + B + C}.$$

Логічні КМОН-елементи мають низку суттєвих переваг. По-перше, у статичному стані в ланцюзі джерела $E_{ЖИВ}$ знаходиться закритий транзистор, тому споживана елементом енергія від джерела живлення дуже мала. Споживання енергії відбувається тільки у разі перемикання елемента. По-друге, вхідний опір польового транзистора дуже великий, тому кожний наступний елемент практично не навантажує попередній. По-третє, під час виконання за інтегральною технологією польовий транзистор займає на основі мікросхеми меншу площу ніж біполярний. Недоліком елемента є трошки менша швидкодія ніж у ТТЛШ- і ЕЗЛ-елементів.

Під час перевезення і монтажу КМОН-схем, потрібно дотримуватися визначених запобіжних заходів. Зокрема, монтажник і усі монтажні інструменти повинні бути заземлені, щоб запобігти можливості пробою ізоляції між затвором і каналом.

11.4. Параметри і характеристики цифрових інтегральних мікросхем

Цифрова інтегральна мікросхема (ЦІМС) як функціональний вузол характеризується набором сигналів, що можна розділити на: інформаційні ($X_1, X_2, ... , X_N$ – вхідні, $Y_1, Y_2, ..., Y_M$ – вихідні) і керувальні ($V_1, V_2, ... , V_K$).

Кожна конкретна ЦІМС відповідно до свого функціонального призначенням виконує визначені операції над вхідними сигналами (змінними), а вихідні сигнали є результатом цих операцій $Y_M = F\ (X_1, X_2, ... ,X_N)$. Операторами F можуть бути як найпростіші логічні перетворення, наприклад І, АБО, НЕ і т. ін., так і складні багатофункціональні перетворення, що мають місце, наприклад, у мікропроцесорах, ВІС-пам’яті і т. ін.

Сигнали керування визначають вид операції, режим роботи ІМС, забезпечують встановлення початкового стану, синхронізують вхідні і вихідні сигнали, задають адреси і т. ін.

Від функціональної складності ІМС залежить система її електричних параметрів, які у загальному випадку можуть мати десятки найменувань, причому більшість з параметрів характерні тільки для ІМС якогось одного класу. Тому нижче роздивимося ті параметри і характеристики, які характеризують більшість мікросхем.

Надалі під час вивчення окремих пристроїв цей перелік у міру необхідності буде розширено.

Коефіцієнт об’єднання по входу ($К_{ОБ}$)

Коефіцієнт об’єднання по входу дорівнює кількості входів ЛЕ. На входи надходять логічні змінні, над якими даний елемент виконує логічну

операцію. $К_{ОБ}$ обмежує найбільшу кількість змінних функції, що реалізує даний ЛЕ. У разі недостатньої кількості входів замість одного необхідно використовувати декілька елементів (підрозд. 11.2).

Коефіцієнт розгалуження по виходу ($К_{РОЗ}$)

Коефіцієнт розгалуження по виходу чисельно дорівнює кількості входів аналогічних елементів, котрими можна одночасно навантажити вихід даного елемента без спотворення передачі інформації. Цей коефіцієнт характеризує навантажувальну здатність елемента і визначається виконанням його вихідного каскаду. Для різноманітних елементів складає від декількох одиниць до декількох десятків.

Статичні характеристики

До статичних характеристик належать: вхідна ВАХ, що визначає залежність вхідного струму від вхідної напруги; вихідна ВАХ, що показує зв'язок між вихідними напругою і струмом та передатна, що визначає залежність вихідної напруги від вхідної.

На рис. 11.32 наведено типову передатну характеристику інвертора ТТЛ-типу.

З її допомогою можна визначити низку параметрів ЛЕ, наприклад, рівні напруг логічної одиниці (U^1), логічного нуля (U^0), значення порогових напруг, за яких вихідний сигнал переключається з одиничного у нульовий і навпаки – з нульового в одиничний стани, оцінити завадостійкість елемента.

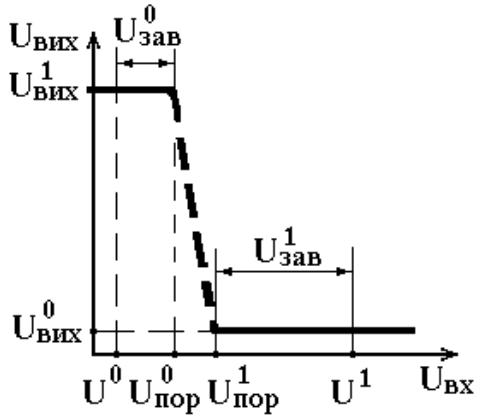


Рис. 11.32. Передатна характеристика інвертора ТТЛ-типу

Завадостійкість

Завадостійкість оцінюється найбільшою напругою статичної завади $U_{ЗАВ}$, що діє на вході, і яка не викликає помилкового переключення елемента з одиниці у нуль ($U_{ЗАВ}{}^0$) або навпаки ($U^1{}_{ЗАВ}$).

Статичними прийнято називати завади, величина яких залишається постійною протягом часу, що значно перевищує тривалість перехідних процесів у схемі. Причиною появи таких завад у більшості випадків є падіння напруги на провідниках, що з'єднують мікросхеми в пристрої. Найбільш небезпечні завади виникають у шинах живлення. Падіння напруги на «спільній» шині, різні для різноманітних ІМС, будуть підсумовуватись з вхідними сигналами і можуть призводити до збоїв. Для вилучення подібних ситуацій необхідно уважно ставитися до розташування провідників, що підводять напругу живлення, і збільшувати по можливості їх переріз.

Завадостійкість можна оцінити за передатною характеристикою елемента (рис. 11.32), визначивши значення $U^0_{ЗАВ}$ і $U^1_{ЗАВ}$.

Динамічні характеристики і параметри

Динамічні характеристики і параметри характеризують швидкодію цифрових елементів.

На рис. 11.33 зображено зміну вихідної напруги ЛЕ у часі у разі перемикання з одиниці в нуль і навпаки.

За цією характеристикою визначається час переходу елемента зі стану одиниці в нуль $t^{1,0}$ і переходу в протилежний стан $t^{0,1}$. Ці інтервали часу вимірюються на рівнях 0,1 і 0,9 від перепаду вихідної наруги під час перемикання $\Delta U = U^1_{ВИХ} - U^0_{ВИХ}$ (при цьому ємність навантаження повинна відповідати заданій).

Часто швидкодія оцінюється часом затримки поширення сигналу під час вмикання $t^{0,1}_{ЗТ.П.}$ і вимикання $t^{1,0}_{ЗТ.П.,}$ а також середнім часом затримки поширення $t_{ЗТ.П.СР}$ (визначається як напівсума затримок під час вмикання і вимикання). Ці параметри вимірюються на рівнях 0,5 від перепадів вхідного і вихідного сигналів (рис. 11.34).

Вид реалізованої логічної функції

Вище було розглянуто основні ЛЕ, що виконують різноманітні функції: І, АБО, НЕ, І–НЕ, АБО–НЕ, виключне АБО, виключне АБО–НЕ; І–АБО–НЕ; повторення (підсилення цифрового сигналу) і т. ін.

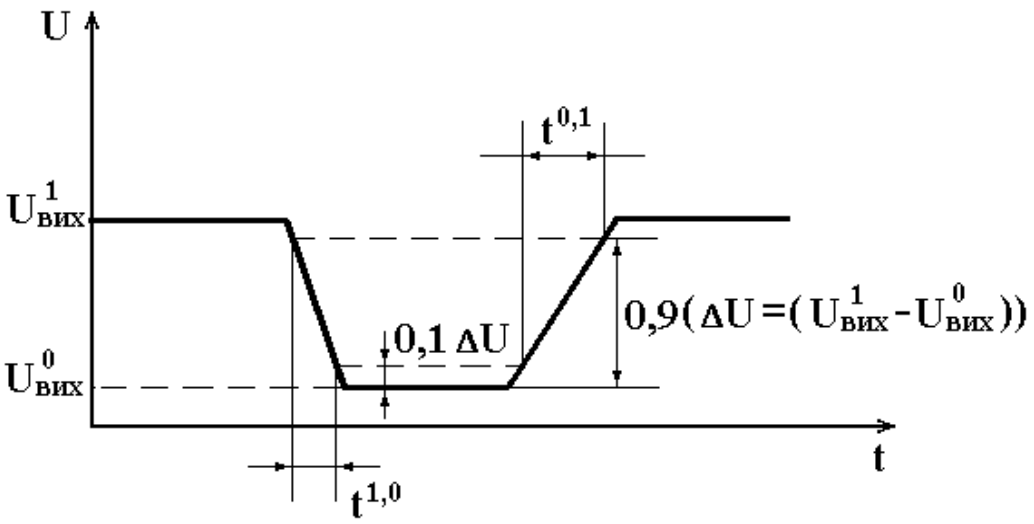


Рис. 11.33. Зміна вихідної напруги ЛЕ у часі у разі його перемикання з одиниці в нуль і навпаки

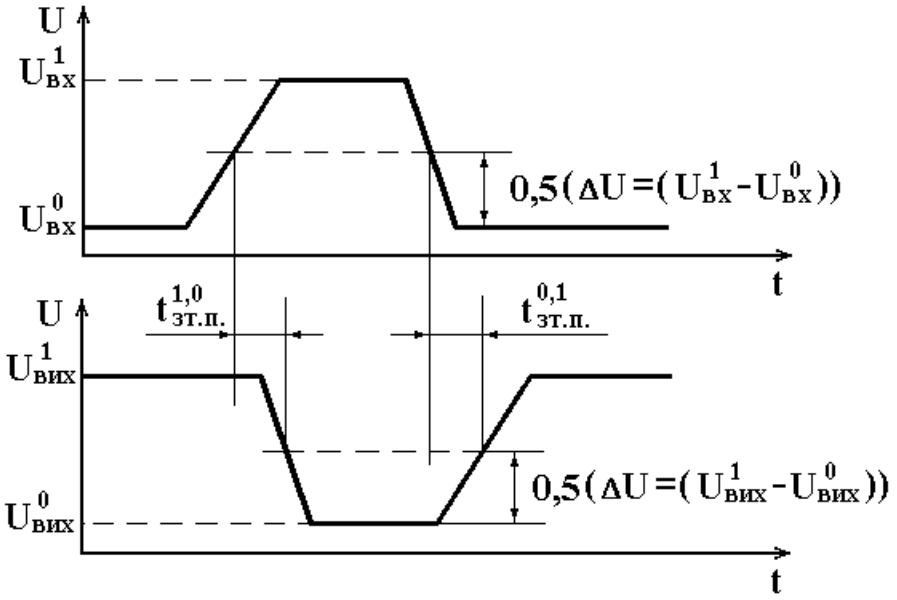


Рис. 11.34. Зміни у часі вхідної та вихідної напруг ЛЕ

Споживані струм і потужність

До основних параметрів мікросхем часто відносять струм, який вони споживають у двох станах: $I^1_{СП}$, $I^0_{СП}$, а також споживану потужність: $P_{СП.}$

Остання є потужністю, яку споживає мікросхема від джерела живлення в заданому режимі. Розрізняють потужності $P^1_{СП}$ і $P^0_{СП}$, споживані ІМС у станах логічних одиниці і нуля, а також середню споживану потужність

$$P_{СП.СР}=0,5\cdot(P^1_{СП}+P^0_{СП}).$$

Вхідні і вихідні струми, напруги

$I^0_{ВХ}$, $I^0_{ВИХ}$ – вхідний та вихідний струми у разі сигналу нуль;

$I^1_{ВХ}$, $I^1_{ВИХ}$ – вхідний та вихідний струми у разі сигналу одиниця;

$U^1_{ВИХ}$ – мінімальна вихідна напруга у разі логічної одиниці на виході;

$U^0_{ВИХ}$ – максимальна вихідна напруга у разі сигналу нуль на виході.

Порогові напруги

Вхідна напруга, за якої відбувається різка зміна вихідної напруги, називається порогом перемикання $U_{ПОР}$. Передатна характеристика реального ЛЕ (рис. 11.32) в перехідній області (штрихова лінія) не має явно вираженого порогу переключення. Зміна вихідної напруги починається у разі значення вхідної напруги $U^0_{ПОР}$, а закінчується за $U^1_{ПОР}$.

Характеристика має зону невизначеності (гістерезису) $\Delta U_Г = U^1_{ПОР} - U^0_{ПОР}$, що викликано, зокрема, переходом транзистора з режиму відсічки в режим насичення і навпаки.

Порогова напруга логічного нуля $U^0_{ПОР}$ – найбільше значення низького рівня вхідної напруги, за якого відбувається перехід з одиничного стану в нульовий (рис. 11.32); $U^1_{ПОР}$ – найменше значення високого рівня вхідної напруги, за якого відбувається перехід з нульового стану в одиничний (рис. 11.32).

Значення $U^0_{ПОР}$ і $U^1_{ПОР}$ відрізняються на декілька десятих долей вольта, тому часто передатну характеристику апроксимують, як зображено на рис. 11.35. Тепер $U_{ПОР} = U^1_{ПОР} = U^0_{ПОР}$.

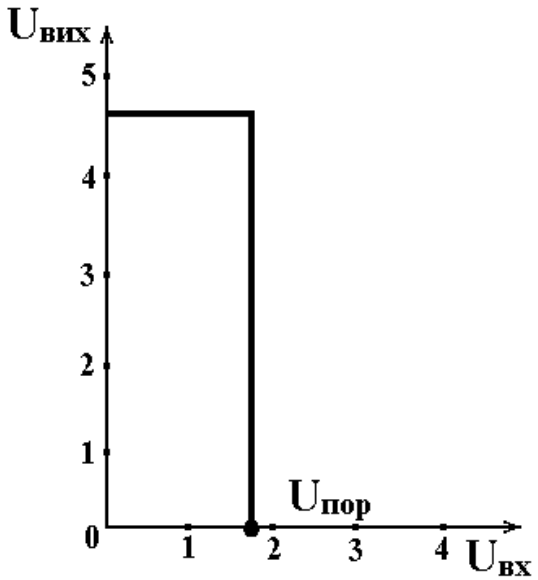


Рис. 11.35. Передатна характеристика ідеального елемента

Допустимі значення основних параметрів

E_{MIN}, E_{MAX} – допустимі значення напруги живлення;

U^0_{MAX}, U^1_{MIN} – допустимі значення рівнів логічних сигналів одиниці і нуля;

$I_{BX.MAX}$, $I^0_{BX.MAX}$, $I^1_{BX.MIN}$ – допустимі вхідний і вихідний струми в стані нуля і одиниці.

Є ще низка параметрів, наприклад, техніко-економічних, що приводяться в технічній документації, яка додається до ІМС, і в довідниках.

11.5. Генератори тактових імпульсів на логічних елементах

11.5.1. Генератор тактових імпульсів на двох інверторах

Є багато різноманітних схем генераторів тактових імпульсів (ГТІ), МВ на ЛЕ, найпростішою з яких є схема на двох елементах І–НЕ (інверторах) (рис. 11.36).

Для стабілізації роботи в схемі використано місцевий (охоплює тільки одну ІМС) ВЗЗ через резистор *R*1.

Необхідний для самозбудження генератора ДЗЗ реалізовано через конденсатор *C*1.

У процесі роботи схеми відбувається постійне перезарядження конденсатора *C*1 через резистор *R*1 (рис. 11.37).

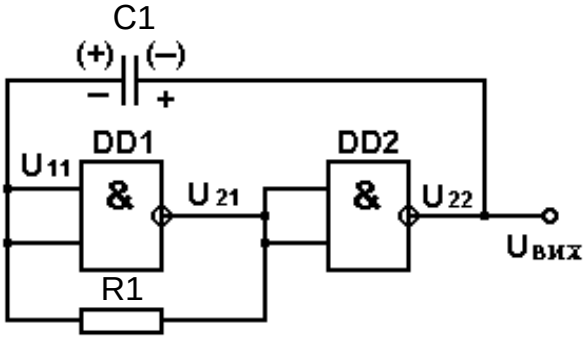


Рис. 11.36. Схема МВ на двох ЛЕ І–НЕ

На часовому інтервалі *T*1 на вході елемента DD1 напруга $U_{11} > U_{ПОР} \approx 1{,}3...1{,}5$ В, де $U_{ПОР}$ – порогова напруга ЛЕ. Тому на виході DD1 підтримується низький рівень напруги U^0_{21}, а на виході DD2 – високий рівень U^1_{22}. Струм перезарядження конденсатора від джерела живлення проходить

за ланцюгом: + $E_{ЖИВ}$; $R_{ВИХ2}$; $C1$; $R1$; $R_{ВИХ1}$; «земля» і експоненціально зменшується зі сталою часу

$$\tau_1 \approx C1 \cdot (R^1_{ВИХ2} + R1) \approx C1 \cdot R1.$$

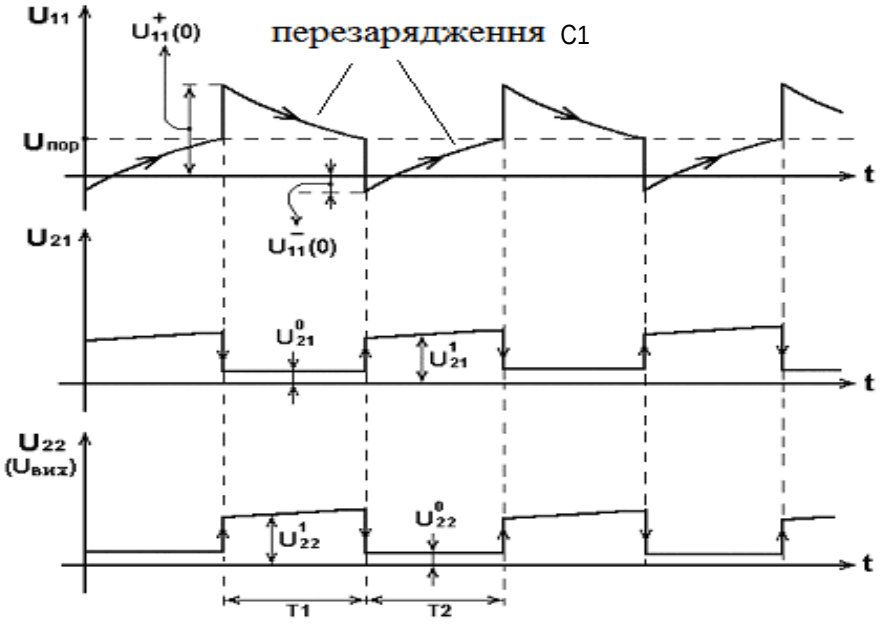


Рис. 11.37. Часові діаграми роботи МВ на двох ЛЕ І–НЕ

У цьому разі напруга на вході DD1 також експоненціально спадає від початкової напруги $U^+_{11}(0)$, асимптотично наближаючись до рівня $U^+_{11}(\infty) = U^0_{22} \approx 0$.

У момент, коли напруга на вході DD1 досягає рівня порога $U_{ПОР}$, інвертор DD1 переходить у підсилювальний режим (похила ділянка передатної характеристики ЛЕ (рис. 11.32)). Напруга U_{21} зростає, і інвертор DD2 також переходить у підсилювальний режим. У схемі починає виконуватися умова виникнення стрибків: баланс амплітуд і баланс фаз (ДЗЗ), що сприяє швидкому (лавиноподібному) переключенню МВ в інший квазістійкий стан рівноваги ($U_{21} = 1$, $U_{22} = 0$).

На виході виникає від'ємний стрибок напруги, що через конденсатор $C1$ прикладається до входу U_{11}, викликаючи там теж стрибок напруги. Оскільки $|\Delta U_{22}| > U_{ПОР}$, то на вході з'являється невелика від'ємна напруга $U^-_{11}(0)$.

На часовому інтервалі $T2$ напруга на вході DD1 $U_{11} < U_{ПОР}$, тому на виході DD1 – високий рівень U^1_{22}, а на виході елемента DD2 – низький $U^0_{22} \approx 0$. Конденсатор $C1$ знову перезаряджається. Струм перезарядження $C1$ проходить в протилежному напрямку за ланцюгом:

+ $E_{ЖИВ}$; $R^1_{ВИХ1}$; $R1$; $C1$; $R^0_{ВИХ2}$; «земля».

У процесі перезарядження струм через резистор $R1$ експоненціально зменшується зі сталою часу

$$\tau_2 \approx C1 \cdot (R1 \| R^0_{ВИХ1}),$$

а напруга на вході DD1 експоненціально зростає від рівня $U^-_{11}(0)$, асимптотично наближаючись до рівня $U_{11}(\infty) = +E_{ЖИВ}$. Коли U_{11} досягає значення $U_{ПОР}$, схема знову переключається.

На виході U_{22} з'являється додатний стрибок напруги, що через конденсатор $C1$ прикладається до входу U_{11}, викликаючи там також стрибок напруги. Далі описані процеси повторюються.

Період генерації імпульсів визначається залежністю [4; 27]

$$T \approx 2.3 \cdot C1 \cdot R1,$$

за умови, що значення опору резистора $R1$ лежить у діапазоні

$$240 \text{ Ом} < R1 < 470 \text{ Ом}.$$

До переваг розглянутого МВ відносяться: простота схеми і стабільність частоти генерації. Під час зміни напруги живлення ІМС ТТЛ-типу в діапазоні (4,5...5,5) В частота змінюється тільки на 2 %. Головний недолік – спотворення вершини вихідних імпульсів, тому що вихід пов'язано з конденсатором, що постійно перезаряджається.

Для усунення цього недоліку в схему вводять ще один елемент І–НЕ (інвертор).

11.5.2. Генератор тактових імпульсів на трьох інверторах

У схемі такого генератора (рис. 11.38) резистор R відключено від виходу DD1 і під`єднано до виходу елемента DD3.

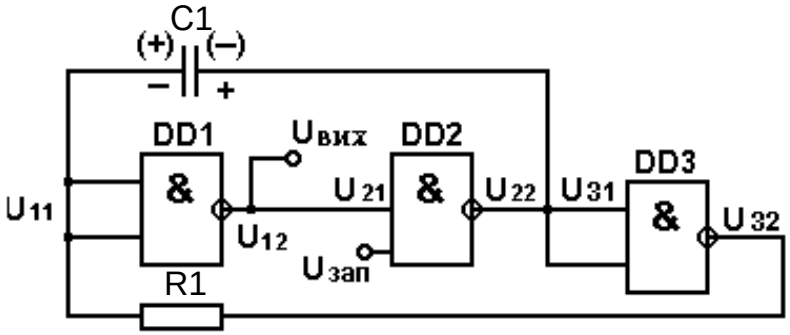


Рис. 11.38. Схема МВ на трьох ЛЕ І–НЕ

Перезаряд конденсатора $C1$ відбувається через резистор $R1$ і

вихідні ланцюги DD2 і DD3. Оскільки елемент DD1 не навантажений ємністю, імпульси на його виході мають добру прямокутність. Принцип роботи схеми аналогічний до попередньої. Часова діаграма роботи показана на рис. 11.39.

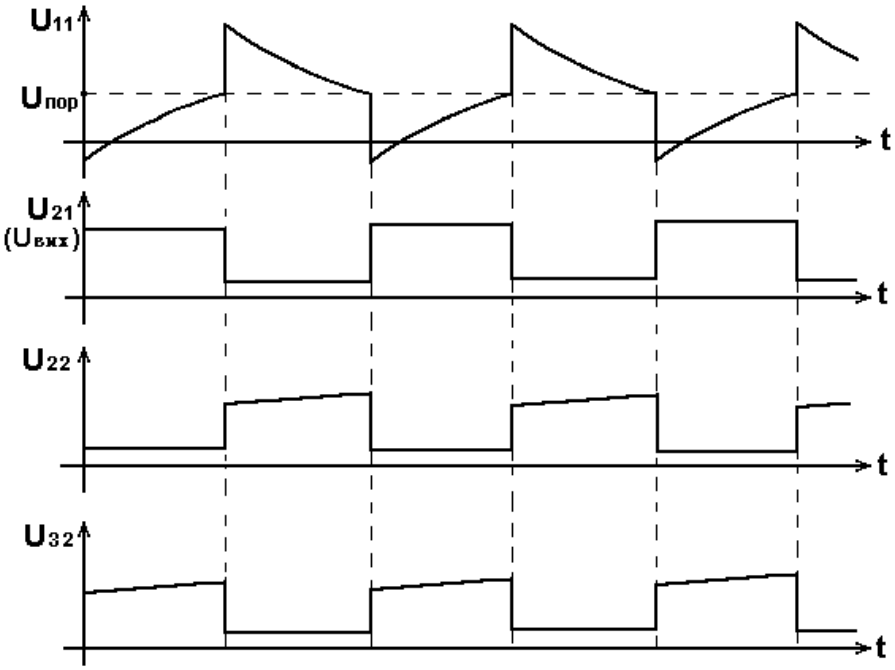


Рис. 11.39. Часові діаграми роботи МВ на трьох ЛЕ І–НЕ

Значення опору резистора *R*1 вибирається за умови [4; 27]

$$240 \text{ Ом} < R1 < 1{,}5 \text{ кОм}.$$

Період генерування імпульсів

$$T \approx 2{,}3\, C1 * R1 .$$

Контрольні запитання та завдання

1. Дайте визначення поняттю «логічний елемент».
2. Що таке інвертор? Яку логічну функцію він реалізує?
3. Яку логічну функцію виконує кон’юнктор?
4. Опишіть логіку роботи диз’юнктора. Яку логічну функцію він реалізує?
5. Яку логічну функцію реалізує повторювач? Для чого використовується повторювач?
6. Які логічні функції реалізують ЛЕ «І–НЕ», «АБО–НЕ»?
7. Чому ЛЕ «виключне АБО» має таку назву? Яку логічну функцію він реалізує?

8. Яка логіка роботи ЛЕ «непарність» та «парність»? Які логічні функції вони реалізують?
9. Які логічні функції реалізують ЛЕ «еквівалентність», «нееквівалентність», «І–АБО–НЕ», «заборона»?
10. Для чого використовуються ЛЕ з відкритим колектором?
11. Який принцип дії ЛЕ з третім станом? Для чого вони використовуються?
12. Назвіть базисні набори ЛЕ.
13. Дайте визначення коефіцієнту об’єднання по входу, коефіцієнту розгалуження по виходу ЛЕ.
14. Назвіть статичні характеристики ЦІМС.
15. Що характеризують динамічні характеристики?
16. Охарактеризуйте найпростіший ТТЛ/ТТЛШ-елемент.
17. Охарактеризуйте базовий ЕЗЛ-елемент АБО/АБО–НЕ.
18. Назвіть основні переваги ЛЕ КМОН-типу.
19. Як теорему де Моргана можна використовувати для реалізації ПФ у базисах І–НЕ та АБО–НЕ?
20. Які види ЗЗ має МВ на двох інверторах?
21. Поясніть часові діаграми роботи МВ на ЛЕ.
22. Назвіть основний недолік МВ на двох ЛЕ.

12. КОМБІНАЦІЙНІ ЦИФРОВІ ПРИСТРОЇ

12.1. Аналіз і синтез комбінаційних цифрових пристроїв

Логічні пристрої, вихідні функції котрих однозначно визначаються комбінацією вхідних логічних змінних в аналізований момент часу, називаються комбінаційними цифровими пристроями (КЦП).

У процесі проектування будь-якого цифрового пристрою виконується низка дій, що можна віднести до задач аналізу й синтезу.

12.1.1. Аналіз комбінаційних цифрових пристроїв

Виконання задач аналізу КЦП припускає наявність готової функціональної схеми пристрою на ЛЕ заданого базису. У процесі аналізу оцінюються деякі характеристики наявної схеми КЦП. Наприклад, можна скласти булевий вираз і таблицю істинності, що визначають перетворення інформації в КЦП; мінімізувати логічну функцію, що виконує аналізована схема; оцінити апаратні витрати на реалізацію схеми; її швидкодію; споживану потужність; розглянути можливість утворення в схемі помилкових небезпечних станів у результаті змагань (гонок) і т. ін.

12.1.2. Синтез комбінаційних цифрових пристроїв

Синтез КЦП передбачає побудову функціональної схеми пристрою, тобто визначення складу необхідних ЛЕ і з’єднань між ними, за яких забезпечується перетворення вхідних цифрових сигналів у вихідні відповідно до заданих умов роботи пристрою. У процесі синтезу необхідно мінімізувати апаратні витрати на реалізацію пристрою. Послідовність синтезу доцільно розбити на низку етапів.

Етап 1. Задання логічної функції, що визначає функціонування синтезованого КЦП. Як відзначалося раніше, це можна зробити словесно, за допомогою таблиць істинності або булевих виразів.

Етап 2. Мінімізація логічної функції, що здійснюється алгебраїчним або графічним методом (за допомогою діаграм Вейча або карт Карно).

Етап 3. Запис булевого виразу мінімізованої ПФ.

Етап 4. Перетворення булевого виразу мінімізованої ПФ для реалізації її у заданому базисі І–НЕ або АБО–НЕ.

Етап 5. Складання функціональної схеми КЦП, тобто зображення потрібних ЛЕ і зв’язків між ними.

Розглянемо особливості синтезу на прикладі КЦП з одним виходом. Необхідно синтезувати на елементах І–НЕ КЦП на три входи, значення вихідного сигналу якого збігається зі значенням більшості вхідних сигналів.

Даний словесний опис задає логічну функцію «Мажоритарність». Її роботу відбиває таблиця істинності (табл. 12.1).

Таблиця 12.1. Таблиця істинності ЛЕ «Мажоритарність»

Номер набору	*C*	*B*	*A*	*F*
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

Булевий вираз ПФ у ДДНФ має вигляд

$$F = \overline{C} \cdot B \cdot A + C \cdot \overline{B} \cdot A + C \cdot B \cdot \overline{A} + C \cdot B \cdot A.$$

Мінімізуючи даний вираз, використовуючи тотожності й теореми булевої алгебри, отримаємо

$$\mathrm{F} = \mathrm{B} \cdot \mathrm{A} + \mathrm{C} \cdot \mathrm{A} + \mathrm{C} \cdot \mathrm{B}.$$

Перетворимо даний вираз для його реалізації у базисі І–НЕ. Застосовуючи теорему де Моргана, отримаємо

$$\mathrm{F} = \overline{\overline{\mathrm{B} \cdot \mathrm{A}} \cdot \overline{\mathrm{C} \cdot \mathrm{A}} \cdot \overline{\mathrm{C} \cdot \mathrm{B}}}. \qquad (12.1)$$

Функціональну схему синтезованого КЦП, що реалізує вираз (12.1) на елементах І–НЕ, наведено на рис. 12.1.

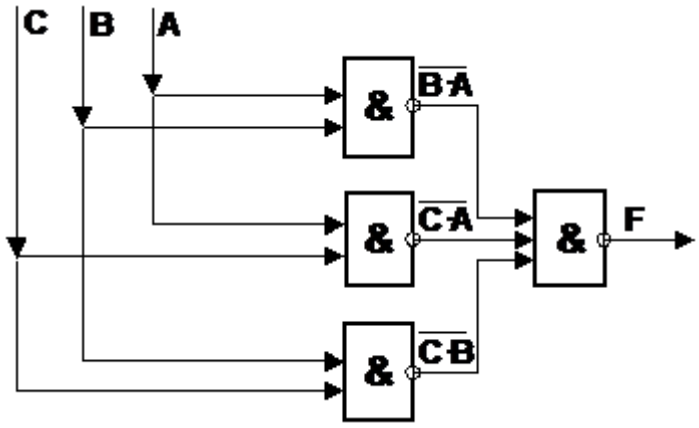


Рис. 12.1. Функціональна схема ЛЕ «Мажоритарність»

На практиці широко застосовуються КЦП, що мають декілька незалежних виходів. Під час проектування таких пристроїв можна скористатися розглянутими вище правилами синтезу, якщо уявити пристрій у вигляді сукупності декількох КЦП із спільними входами.

Функціонування КЦП із незалежними *m* – виходами описується (задається) аналогічною кількістю ПФ, над кожною з яких у процесі синтезу виконуються дії, описані вище.

12.2. Типові комбінаційні цифрові пристрої

12.2.1. Загальні характеристики комбінаційних цифрових пристроїв

У цифровій техніці під час побудови складних пристроїв широко застосовуються не тільки окремі ЛЕ, що реалізують елементарні булеві функції, але й їхні комбінації у вигляді типових структур, виконаних як єдине ціле у вигляді ІМС. На входи таких структур подаються інформаційні логічні сигнали й сигнали керування. Останні можуть визначати, наприклад, порядок передачі інформаційних вхідних сигналів на вихід або відігравати роль сигналів синхронізації. У багатьох випадках, особливо під час використання у пристроях вихідних ланцюгів із трьома станами, як сигналів синхронізації виступають сигнали «Вибір мікросхеми» (CS). Наявність активного значення такого сигналу керування (в одних схемах це логічний нуль, в інших – логічна одиниця) дозволяє пристрою виконання заданих функцій, відсутність його – переводить схему в «не обраний» стан, а її виходи відключені від навантаження.

12.2.2. Шифратори та дешифратори

У повсякденному житті для подання чисел ми застосовуємо десяткову систему числення. Якщо остання використовується для відображення дискретних повідомлень (дискретної інформації – даних), то говорять про кодування – установленні відповідності між елементами даних і сукупністю символів, що називаються кодовою комбінацією. У більшості сучасних комп'ютеризованих інформаційних систем вхідна дискретна інформація подана в десятковому (унітарному) коді, а оброблення інформації цифровим комп'ютером здійснюється над даними, поданими у ДВК

Виникає задача перетворення десяткового (унітарного) коду у двійковий під час введення в систему й зворотне переведення двійкового коду в десятковий (унітарний) під час виведення з цифрової системи результатів оброблення інформації.

Комбінаційний цифровий пристрій, що виконує перетворення десяткового (унітарного) коду у двійковий називається шифратором (кодером) двійкового коду, а який здійснює перетворення ДВК у десятковий (унітарний) – дешифратором (декодером) двійкового коду.

Дуже часто десяткові коди перетворюються у двійково-десяткові, що називають BCD (Binary Code Decimal)-кодами або кодами 8421. У цьому випадку КЦП, що перетворюють десятковий код у BCD-код і навпаки називають відповідно шифратором (кодером) і дешифратором (декодером) BCD-коду.

Поширеним вихідним пристроєм, що відображає десяткові числа, є семисегментний індикатор. Його роботою керує дешифратор, що перетворює BCD-код у семисегментний. Розглянемо названі пристрої більш докладно.

Шифратори ДВК

Шифратори ДВК перетворюють десятковий (унітарний) код у двійковий. Якщо число розрядів вихідного ДВК (виходів шифратора) дорівнює m, то максимальне число вхідних шин визначається числом можливих кодових комбінацій ДВК і складає 2^m.

Умовне позначення шифратора показано на рис. 12.2.

На вихідних шинах установлюється ДВК, що відповідає десятковому номеру входу, на якому з'явилася логічна одиниця. На інших входах при цьому присутні нулі. Такий код називають унітарним (десятковим).

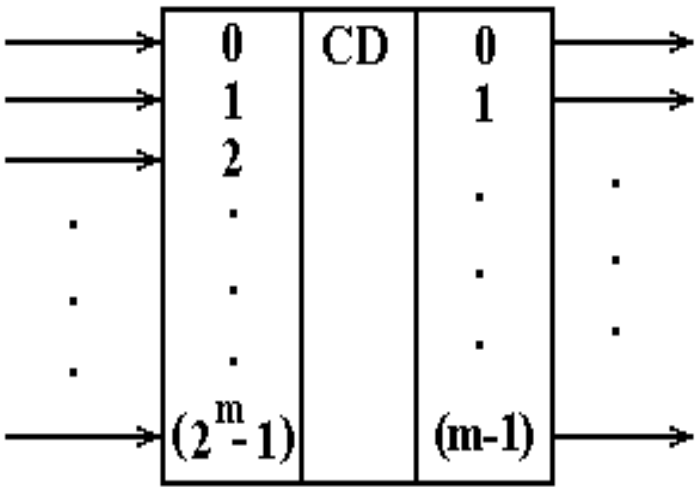


Рис. 12.2. Позначення шифратора ДВК

Розглянемо приклад проектування шифратора, у якого число розрядів вихідного ДВК m = 2. Максимальне число входів дорівнює $2^m = 2^2 = 4$, що дозволяє відобразити дворозрядним вихідним двійковим кодом чотири десяткові цифри 0, 1, 2, 3. Іноді під час проектування шифраторів нульовий вхід опускають, вважаючи, що нульовій цифрі на вході відповідають нулі на усіх виходах. Приймаючи такий підхід, складемо таблицю істинності аналізованого в прикладі (рис. 12.3) шифратора (табл. 12.2).

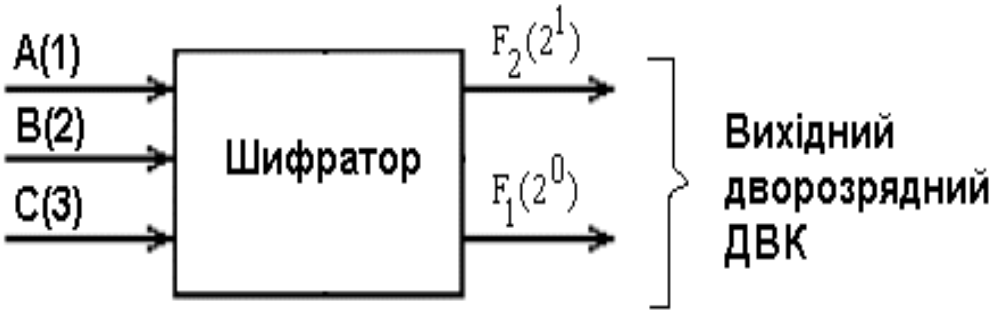


Рис. 12.3. Приклад шифратора ДВК за m = 2

Мінімізуємо функції $F2$, $F1$ за допомогою діаграм Вейча (рис. 12.4). Якщо провести мінімізацію за нульовими значеннями функцій $F2$, $F1$, отримаємо мінімальні КНФ:

$$F_2 = B + C; F_1 = C + A.$$

Таблиця 12.2. Таблиця істинності шифратора ДВК за *m* = 2

Номер набору	*C*	*B*	*A*	*F*2	*F*1
0	0	0	0	0	0
1	0	0	1	0	1
2	0	1	0	1	0
3	0	1	1	–	–
4	1	0	0	1	1
5	1	0	1	–	–
6	1	1	0	–	–
7	1	1	1	–	–

Функціональну схему шифратора, що реалізує ці рівняння, показано на рис. 12.5.

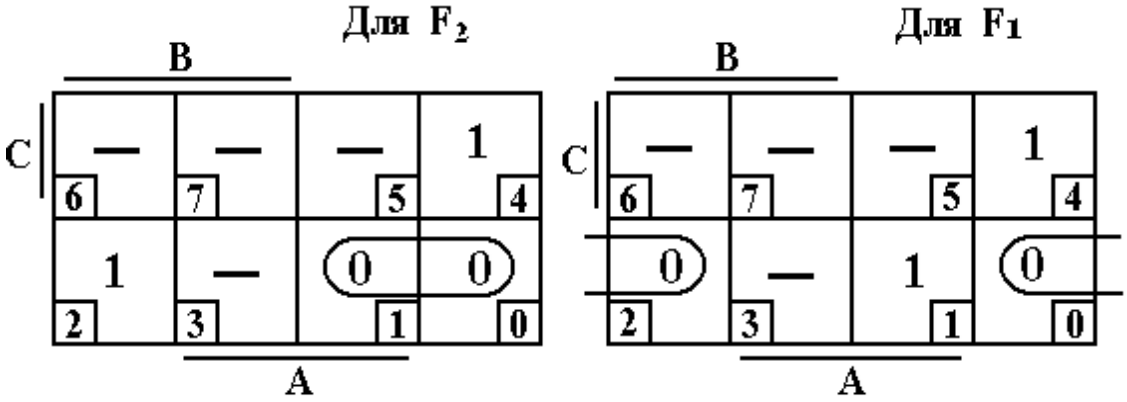


Рис. 12.4. Діаграми Вейча, які описують шифратор ДВК за *m* = 2

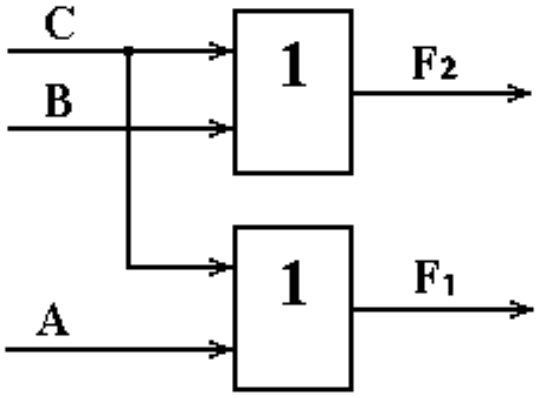


Рис. 12.5. Функціональна схема шифратора ДВК за *m* = 2

У цифровій електроніці є багато ІМС, що виконують функцію шифратора, наприклад, К555ИВ1. Нижче показано її функціональне позначення (рис. 12.6) і таблицю істинності (табл. 12.3).

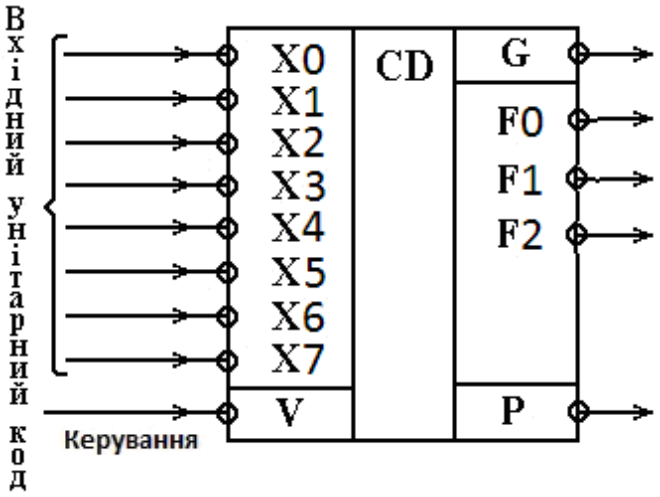


Рис. 12.6. Функціональне позначення шифратора К555ИВ1

Таблиця 12.3. Таблиця істинності шифратора К555ИВ1

*X*7	*X*6	*X*5	*X*4	*X*3	*X*2	*X*1	*X*0	*F*2	*F*1	*F*0	*G*	*P*
1	1	1	1	1	1	1	0	1	1	1	0	1
1	1	1	1	1	1	0	1	1	1	0	0	1
1	1	1	1	1	0	1	1	1	0	1	0	1
1	1	1	1	0	1	1	1	1	0	0	0	1
1	1	1	0	1	1	1	1	0	1	1	0	1
1	1	0	1	1	1	1	1	0	1	0	0	1
1	0	1	1	1	1	1	1	0	0	1	0	1
0	1	1	1	1	1	1	1	0	0	0	0	1
1	1	1	1	1	1	1	1	1	1	1	1	0

Сигнал, що кодується, має низький рівень (логічний нуль) і надходить на один із входів *X*0...*X*7. На інших входах повинні бути сигнали високого рівня (табл. 12.3).

Мікросхема має керуючий вхід *V* і два додаткових виходи: *P* – дозвіл перенесення і *G* – заборона перенесення. Активними сигналами на цих виходах є логічні нулі.

Сигнали на вході *V* дозволяють роботу ІМС у режимі кодування (*V* = 0) або забороняють роботу (*V* = 1). У випадку заборони (*V* = 1) на усіх виходах встановлюються напруги високого рівня незалежно від сигналів на входах. Сигнал заборони перенесення з’являється тоді, коли на всіх

інформаційних входах $X0...X7$ будуть сигнали високого рівня (логічні одиниці). У цьому випадку з'являється одиниця на виході G ($P = 0$).

Сигнали з виходів G і P використовують для керування схемами, що набувають сигнали з виходів шифратора.

Деякі шифратори головну функцію поєднують із можливістю введення пріоритетів кодування сигналів. Мікросхема К555ИВ1 (рис. 12.6) має таку можливість. Функція пріоритету реалізується в такий спосіб. До ІМС можливе одночасне надходження активних сигналів (логічних нулів) на декілька входів. Пріоритет має активний сигнал на вході з більшим номером, і вихідний ДВК буде відповідати цьому вибраному сигналу.

Наприклад, під час комбінацій вхідних сигналів 11110111, 00000111, 10100111, які записано у порядку, прийнятому в таблиці 12.3, результат буде однаковий: на виході буде сформовано код 000, оскільки пріоритет має нульовий сигнал на вході $X7$.

Шифратори двійково-десяткового коду

Шифратори двійково-десяткового коду перетворюють вхідний десятковий (унітарний) код у двійково-десятковий (BCD) код (код 8421). З виходу такого шифратора паралельно знімається група двійкових сигналів, із котрих кожні чотири (тетрада) відображають у ДВК десяткову цифру.

На рис. 12.7 наведено функціональне позначення шифратора BCD-коду.

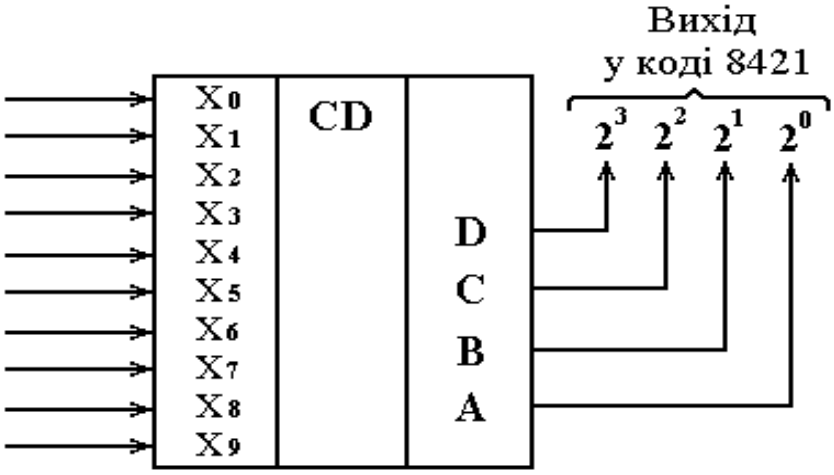


Рис. 12.7. Функціональне позначення шифратора BCD-коду

На вхід схеми надходять двійкові цифри від нуля до дев'яти, що відображаються на виході однією тетрадою ДВК.

В одному байті (восьми бітах) можна упакувати (укласти) дві десяткові цифри в BCD-коді. Такий формат представлення десяткових чисел називається упакованим.

Дешифратори ДВК

Дешифратором (декодером) ДВК називають КЦП, що перетворює вхідний ДВК у десятковий (унітарний). Повний дешифратор із m входами має 2^m виходів. Кожній комбінації вхідних сигналів відповідає активне значення сигналу тільки на одному з виходів. Нижче показано таблицю істинності (табл. 12.4) і умовне позначення (рис. 12.8) тривходового повного дешифратора з одиничними активними значеннями вихідних сигналів $F_0...F_7$.

Таблиця 12.4. Таблиця істинності дешифратора ДВК

Номер набору	C	B	A	F_0	F_1	F_2	F_3	F_4	F_5	F_6	F_7
0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	1	0	0	0	0	0	0
2	0	1	0	0	0	1	0	0	0	0	0
3	0	1	1	0	0	0	1	0	0	0	0
4	1	0	0	0	0	0	0	1	0	0	0
5	1	0	1	0	0	0	0	0	1	0	0
6	1	1	0	0	0	0	0	0	0	1	0
7	1	1	1	0	0	0	0	0	0	0	1

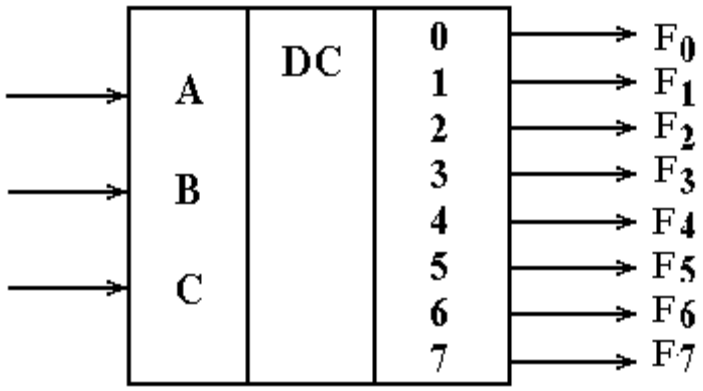


Рис. 12.8. Функціональне позначення дешифратора ДВК

Дешифратор реалізує вісім різноманітних логічних функцій:

$$F_0 = \overline{A} \cdot \overline{B} \cdot \overline{C}; \quad F_1 = A \cdot \overline{B} \cdot \overline{C}; \quad F_2 = \overline{A} \cdot B \cdot \overline{C}; \quad F_3 = A \cdot B \cdot \overline{C};$$

$$F_4 = \overline{A} \cdot \overline{B} \cdot C; \quad F_5 = A \cdot \overline{B} \cdot C; \quad F_6 = \overline{A} \cdot B \cdot C; \quad F_7 = A \cdot B \cdot C.$$

Якщо вхідні змінні представити як двійковий запис чисел, то логічна одиниця формується на тому виході, номер якого відповідає десятковому еквіваленту вхідного двійкового числа.

Розглянутий дешифратор (табл. 12.4) є перетворювачем ДВК в унітарний (десятковий).

Наведені булеві вирази функцій $F_0...F_7$ можна реалізувати на ЛЕ у базисах І, АБО, НЕ; І–НЕ або АБО–НЕ, користуючись методикою, яку викладено раніше.

В інтегральному виконанні випускаються різноманітні структури дешифраторів, у яких є, наприклад, 2, 3 або 4 входи. В одному корпусі може бути декілька дешифраторів.

Для збільшення функціональних можливостей пристроїв часто передбачається використання додаткових сигналів керування. Як приклад на рис. 12.9 наведено зображення мікросхеми К555ИД4, що містить здвоєний двовходовий дешифратор з активними нульовими вихідними сигналами.

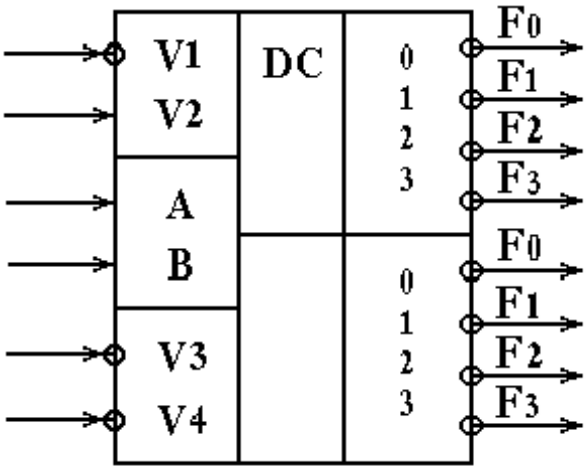


Рис. 12.9. Функціональне позначення дешифратора К555ИД4

Вихідні сигнали обох дешифраторів залежать від комбінації вхідних сигналів *A* та *B*. Для синхронізації процесу формування вихідних сигналів $F_0...F_3$ для кожного дешифратора використовуються керуючі сигнали *V*1, *V*2, *V*3 та *V*4. Роботу верхнього дешифратора дозволяє комбінація *V*1 = 0, *V*2 = 1, а роботу нижнього – *V*3 = 0, *V*4 = 0. Введення такого керування розширює можливості мікросхеми під час побудови більш складних пристроїв, наприклад, дешифраторів із збільшеним числом входів і виходів.

На рис. 12.10 показано приклад використання двох мікросхем К555ИД4 для реалізації дешифратора чотирирозрядного вхідного ДВК у вихідний шістнадцятипозиційний унітарний (десятковий) код.

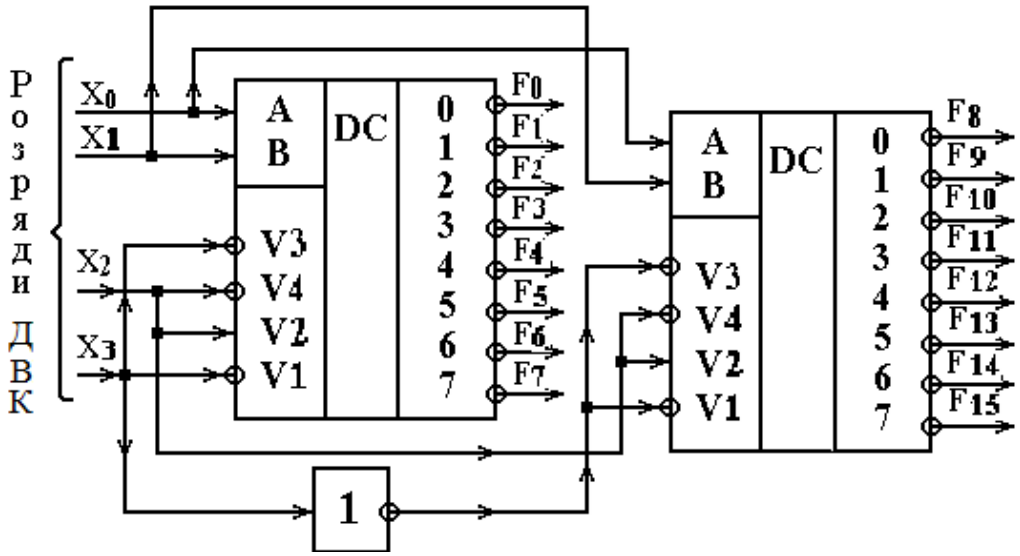


Рис. 12.10. Реалізація дешифратора ДВК за $m = 4$ на двох мікросхемах К555ИД4

Дешифратори можуть бути неповними (мають число виходів $N_{\text{ВИХ}} < 2^m$, де m – число вхідних змінних). Наприклад, такі дешифратори можуть використовуватися для перетворення двійково-десяткового коду в код, призначений для керування десятковим індикатором (дешифратори 4x10).

На рис. 12.11 показано умовне позначення дешифратора 4x10 (наприклад, мікросхеми К555ИД1 або К564ИД1). Схема має активні одиничні вихідні сигнали.

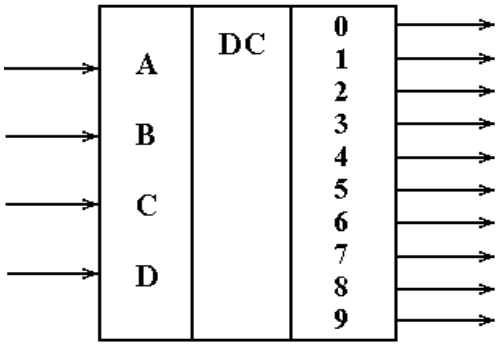


Рис. 12.11. Функціональне позначення дешифратора К555ИД1

Дешифратор BCD-коду у семисегментний код

Подібну назву має перетворювач двійково-десяткового (BCD) коду в код семисегментного індикатора десяткових цифр.

Семисегментні індикатори на світлодіодах

Дуже поширеним вихідним пристроєм відображення десяткових чисел є семисегментний індикатор (рис. 12.12, а). Сім сегментів індикатора позначено латинськими буквами від *a* до *g*.

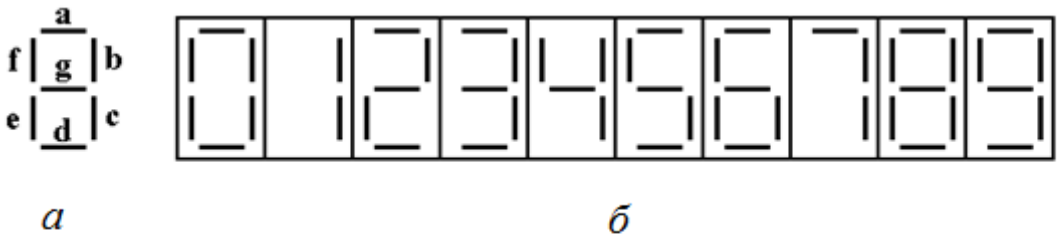


Рис. 12.12. Семисегментний індикатор:
а – позначення сегментів; *б* – приклад формування десяткових цифр

Спосіб зображення десяткових цифр від нуля до дев'яти показано на рис. 12.12, *б*. Наприклад, якщо світяться сегменти *a*, *b* і *c*, то на індикаторі з'являється десяткова цифра 7. Якщо світяться всі сегменти від *a* до *g*, то з'являється цифра 8. Є декілька різновидів індикаторів: на рідких кристалах (РКІ), накалювальні (подібні до звичайних ламп накалювання), світлодіодні і т. ін.

Головною частиною світлодіода є діод із плоским *p*-*n*-переходом. Коли діод включено у прямому напрямку, через *p*-*n*-перехід проходить струм і виникає випромінювання, що фокусується в індикаторі спеціальною лінзою, щоб його можна було спостерігати у вигляді запалювання визначеного сегмента.

Схему включення одного світлодіода (сегмента) наведено на рис. 12.13, *а*.

Коли ключ SA1 замкнений, струм від джерела $E_{ЖИВ}$ = +5 В проходить через світлодіод, викликаючи його випромінювання. Резистор, який включено послідовно, обмежує струм до рівня, що викликає запалювання світлодіода. Без резистора, що обмежує струм, світлодіод може вийти з ладу. На виводах світлодіодів під час випромінювання з'являється напруга:
$U_{VD.\ ПР}$, наприклад, (1,7...2) В. Як і будь-який діод, світлодіод чутливий до полярності прикладеної напруги. Щоб він був увімкнутий у прямому

напрямку, катод (К) повинен бути підключений до від'ємного полюса джерела живлення (землі), а анод (А) – до його додатного полюса.

Конструкцію семисегментного індикатора на світлодіодах показано на рис. 12.13, *б*. Кожен сегмент (від *a* до *g*) має світлодіод та лінзу, що фокусує випромінювання. Аноди усіх світлодіодів з'єднано разом і підключено з правої сторони індикатора до одного виводу – спільного аноду (СА).

Катоди кожного світлодіода пов'язано із зовнішніми виводами, позначеними *a*, *b*, *c*,... *g*. Індикатор (рис. 12.13, *б*) належить до семисегментних світлодіодних індикаторів із СА. Є індикатори зі спільним катодом.

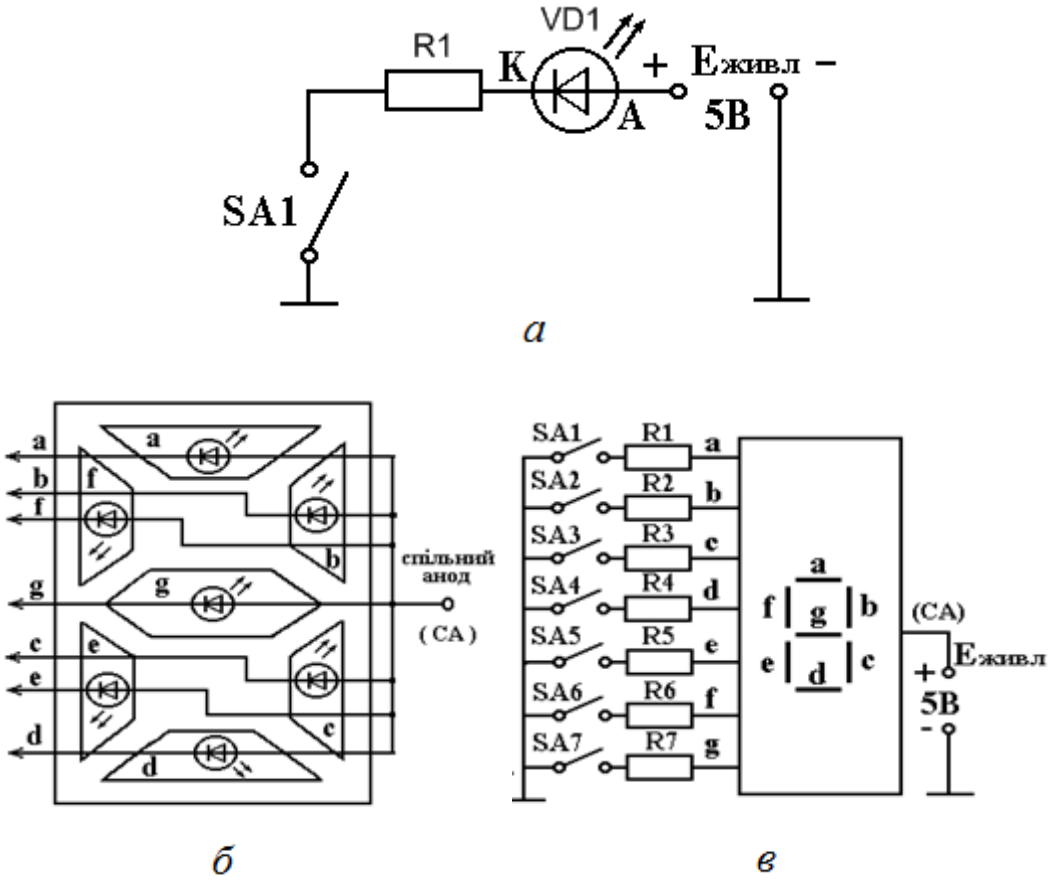


Рис. 12.13. Семисегментний індикатор на світлодіодах:
а – схема включення одного сегмента; *б* – спрощена конструкція;
в – керування індикатором за допомогою перемикачів

На рис. 12.13, *в* показано керування сегментами індикатора за допомогою механічних перемикачів. Під час замикання одного з ключів SA1...SA7 струм від $E_{ЖИВ}$ = +5 В проходить: через обраний сегмент, обмежувальний резистор і замкнені контакти перемикача – на землю: ($-E_{ЖИВ}$). У цьому разі обраний сегмент буде світитися (випромінювати).

Якщо, наприклад, ми бажаємо отримати на індикаторі десяткову цифру 7, то необхідно замкнути ключі SA1, SA2 і SA3, щоб випромінювали сегменти *a*, *b* і *c*. Якщо бажаємо отримати цифру 5, необхідно замкнути ключі SA1, SA3, SA4, SA6 і SA7, що заземлюють катоди сегментів *a*, *c*, *d*, *f* і *g*. Варто звернути увагу, що у світлодіодному індикаторі зі СА для активізації сегментів необхідно подати потенціал землі (логічний нуль).

Для керування роботою індикатора на рис. 12.13, *в* використовувалися механічні перемикачі. Звичайно, керуючі сигнали формуються ІМС, наприклад, дешифратором BCD-коду у семисегментний код.

Нижче показано зображення такого дешифратора на електричних схемах (рис. 12.14, *а*) і його підключення до семисегментного світлодіодного індикатора зі спільним анодом (рис. 12.14, *б*).

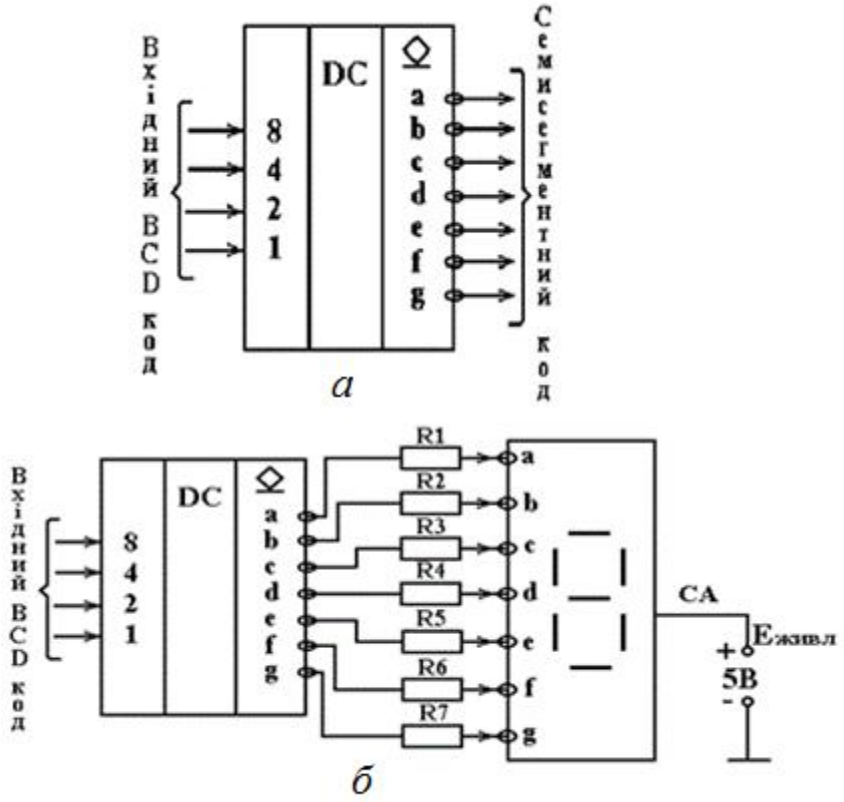


Рис. 12.14. Дешифратор BCD-коду у семисегментний код:
а – позначення; *б* – приклад підключення до індикатора

Як дешифратори BCD-коду у семисегментний можуть використовуватися різноманітні мікросхеми, наведені в [27; 35–37].

Наприклад, ІМС К514ИД2, позначення якої дано на рис. 12.14, *а*, має відкриті колекторні виходи і використовується разом з індикаторами, що мають спільний анод. У цьому разі потрібно застосування зовнішніх

резисторів, що включаються між виходами дешифратора та входами індикатора (рис. 12.14, *б*).

Припустимий струм мікросхеми дешифратора на кожному виході складає 22 мА.

Крім інформаційних входів, на які надходить двійково-десятковий код, дешифратори можуть містити низку керувальних входів, наприклад, для скасування нулів, гасіння, контролю випромінювання, синхронізації і т. ін.

12.2.3. Мультиплексори

Мультиплексор – це комбінаційний цифровий пристрій, що з'єднує (комутує) один із декількох інформаційних вхідних сигналів з одним спільним виходом. Приклад позначення мультиплексора на електричних схемах показано на рис. 12.15.

Пристрій містить вісім інформаційних входів: *D*0, *D*1, ... ,*D*7, три адресні входи: *A*0, *A*1, *A*2 і один вхід *V*, що синхронізує.

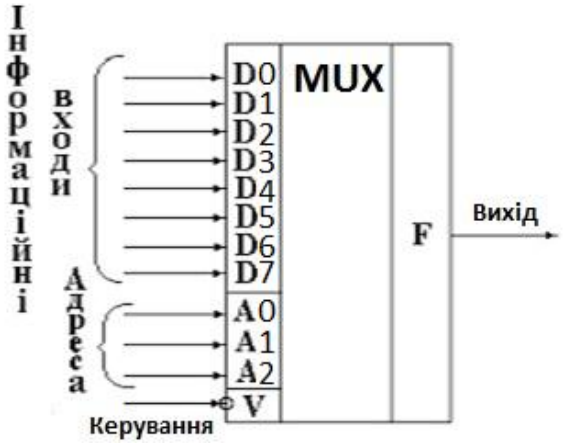


Рис. 12.15. Позначення мультиплексора на електричних схемах

Залежно від комбінації адресних сигналів *A*0, *A*1, *A*2 він забезпечує комутацію одного з восьми інформаційних вхідних сигналів D_i на спільний вихід *F*. Нульовий синхросигнал на вході *V* дозволяє передачу інформації з обраного входу на вихід.

Булевий вираз, що описує функціонування аналізованого мультиплексора має такий вигляд:

$$Y = \overline{A2}\cdot\overline{A1}\cdot\overline{A0}\cdot\overline{V}\cdot D0 \vee \overline{A2}\cdot\overline{A1}\cdot A0\cdot\overline{V}\cdot D1 \vee$$
$$\vee\overline{A2}\cdot A1\cdot\overline{A0}\cdot\overline{V}\cdot D2 \vee \overline{A2}\cdot A1\cdot A0\cdot\overline{V}\cdot D3 \vee$$
$$\vee A2\cdot\overline{A1}\cdot\overline{A0}\cdot\overline{V}\cdot D4 \vee A2\cdot\overline{A1}\cdot A0\cdot\overline{V}\cdot D5 \vee$$
$$\vee A2\cdot A1\cdot\overline{A0}\cdot\overline{V}\cdot D6 \vee A2\cdot A1\cdot A0\cdot\overline{V}\cdot D7.$$

Мультиплексор можна реалізувати за допомогою ЛЕ заданого базису. У його структуру можна ввести і більш складні цифрові пристрої, наприклад, перетворювач двійкового коду в десятковий (дешифратор).

На рис. 12.16 наведено приклад реалізації мультиплексора з чотирма інформаційними входами на ЛЕ базису І, АБО, НЕ та дешифраторі.

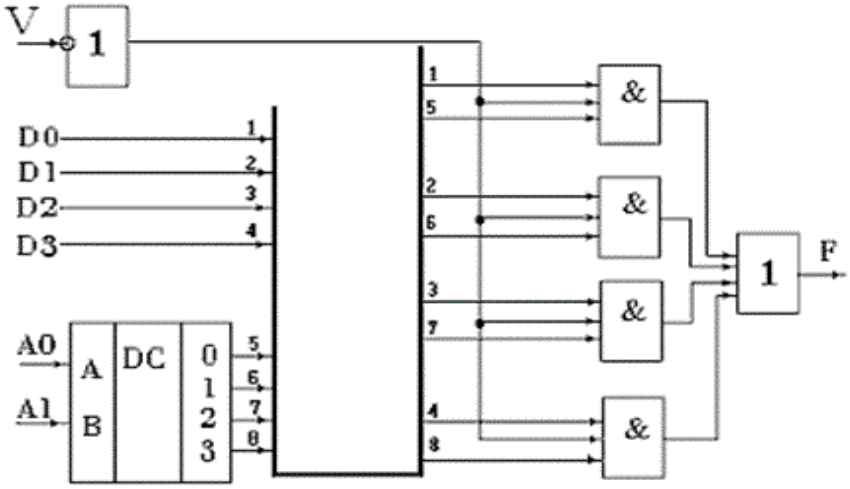


Рис. 12.16. Реалізація мультиплексора на ЛЕ базису І, АБО, НЕ та дешифраторі

Схема реалізує булевий вираз:

$$Y = \overline{A_1} \cdot \overline{A_0} \cdot \overline{V} \cdot D_0 + \overline{A_1} \cdot A_0 \cdot \overline{V} \cdot D_1 + A_1 \cdot \overline{A_0} \cdot \overline{V} \cdot D_2 + A_1 \cdot A_0 \cdot \overline{V} \cdot D_3.$$

Є мультиплексори в інтегральному виконанні, наприклад, ІМС К555КП2 (рис. 12.17).

Мультиплексор К555КП2 (рис. 12.17, *а*) складається з двох частин, кожна з яких містить чотири інформаційних канали *A*1...*A*4 (*B*1...*B*4), один вихід F_A (F_B) та один керувальний вхід: *C*1 (*C*2). Адресні входи: *V*1 та *V*2 є спільними для обох частин.

Для збільшення кількості каналів об’єднують декілька мультиплексорів, використовуючи для цього керувальні входи, як це зображено на рис. 12.17, *б*.

Адресні входи *V*2, *V*1 – спільні, тобто сигнали на них одночасно впливають на обидві частини ІМС. Правила роботи схеми відображає табл. 12.5.

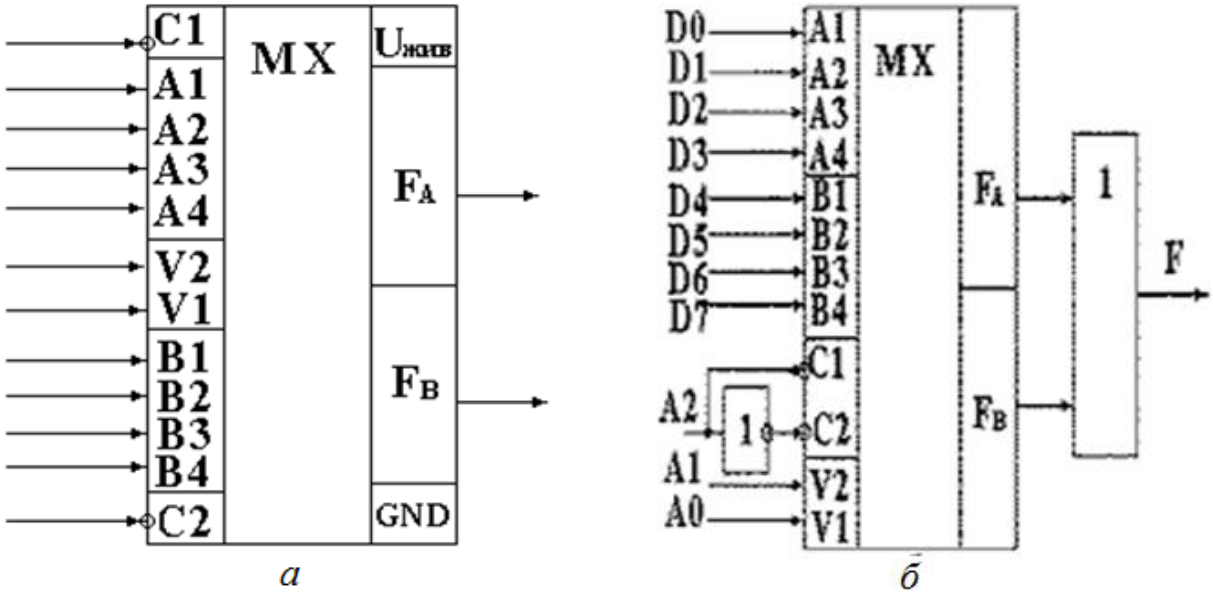


Рис. 12.17. Мультиплексор К555КП2:
а – позначення на схемах; *б* – приклад реалізації мультиплексора 8 → 1

Таблиця 12.5. Таблиця істинності мультиплексора К555КП2

Стробуючі входи *C*1, *C*2	Керувальні входи *V*2	*V*1	Вихід F_A	Вихід F_B
0	0	0	*A*1	*B*1
0	0	1	*A*2	*B*2
0	1	0	*A*3	*B*3
0	1	1	*A*4	*B*4
1	*X*	*X*	0	0
Примітка: *X* – будь-яке значення: 0 або 1				

12.2.4. Демультиплексори

Демультиплексор – це КЦП, який з’єднує (комутує) спільний інформаційний вхід з одним із декількох виходів відповідно до заданого коду на керувальних (адресних) входах. Інакше кажучи, демультиплексори вирішують задачі, протилежні мультиплексуванню. Позначення демультиплексора на електричних схемах показано на рис. 12.18, *а*.

Схема має чотири інформаційних виходи і два адресних входи *A*0 і *A*1.

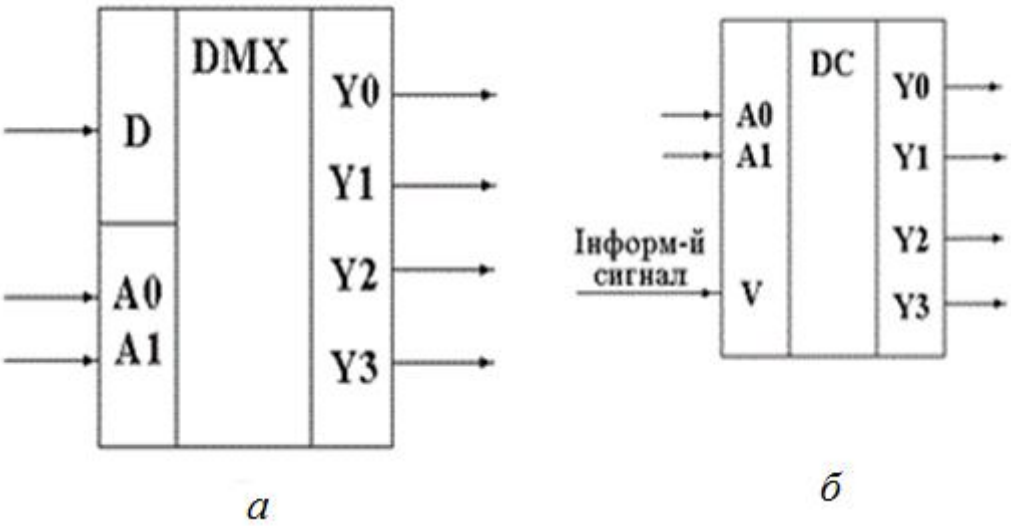


Рис. 12.18. Демультиплексор 1 → 4:
а – позначення на схемах; *б* – реалізація на дешифраторі

Булеві вирази, що описують роботу демультиплексора, мають вигляд:

$$Y0 = \overline{A1} \cdot \overline{A0} \cdot D,$$

$$Y1 = \overline{A1} \cdot A0 \cdot D,$$

$$Y2 = A1 \cdot \overline{A0} \cdot D,$$

$$Y3 = A1 \cdot A0 \cdot D.$$

Такими ж виразами визначається робота дешифратора із синхровходом *V* (рис. 12.18, *б*). Тому його можна використовувати як демультиплексор, якщо інформаційний вхідний сигнал подавати на вхід *V*.

12.2.5. Мультиплексори–селектори (мультиплексори–демультиплексори)

Мультиплексори–селектори є двонаправленими, оскільки дозволяють комутувати цифрові й аналогові сигнали в обох напрямках, і тому можуть бути використані не тільки як мультиплексор для комутації одного з входів на вихід, але й як селектор (демультиплексор) для комутації входу на один із виходів.

Нижче показано: позначення мультиплексора–селектора (демультиплексора) на електричних схемах (рис. 12.19, *а*) і його спрощена внутрішня структура (рис. 12.19, *б*).

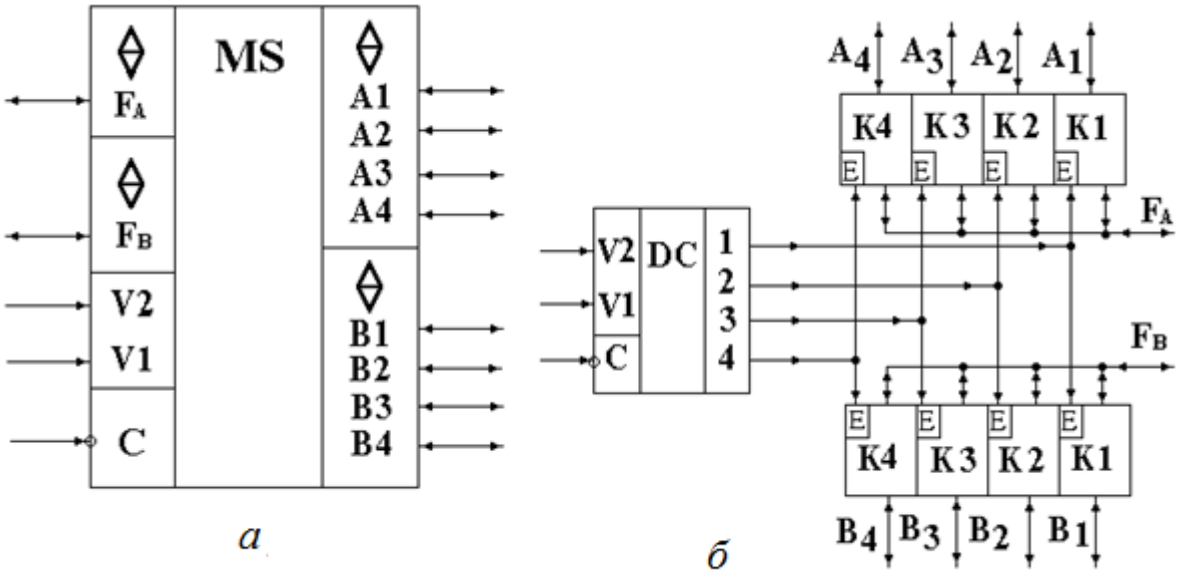


Рис. 12.19. Мультиплексор–селектор:
а – позначення на електричних схемах; *б* – внутрішня структура

Пристрій містить дві групи двонаправлених ключів (К1...К4) і дешифратор. Вихідні сигнали дешифратора діють на керувальні входи ключів (E) і визначають їх стан. Якщо $E = 0$ ключ закритий, а якщо $E = 1$ – відкритий і утворює низькоомний ланцюг проходження сигналу через нього. Такий ключ називають аналоговим, оскільки він забезпечує неспотворену передачу сигналів. Кожний ключ має два рівнозначних виводи, які можуть бути входом або виходом. По одному з виводів ключі об'єднані у дві групи F_A і F_B, що утворюють виходи мультиплексорів і входи демультиплексорів.

Структуру, подану на рис. 12.19, *б*, має, наприклад, мікросхема К561КП1, яку виконано за КМОН-технологією. Вона містить два мультиплексори–селектори, які керуються від спільних входів $V1$, $V2$ і C (рис. 12.19, *а*). У разі одиничного керувального сигналу на вході C ключі розімкнуто і виходи знаходяться у третьому стані.

12.2.6. Суматори і напівсуматори

Суматор призначено для додавання двох чисел, заданих у ДВК. З прикладу, наведеного на рис. 12.20, видно, що правила додавання десяткових і ДВК однакові:

– додавання відбувається порозрядно від молодшого розряду до старшого;
– сума молодших розрядів доданків $A0$ і $B0$ записується у відповідній системі числення однозначним числом $S0$ або двозначним числом $P0$,

*S*0, де *P*0 називається перенесенням із нульового розряду в сусідній перший;

– в усіх наступних розрядах знаходиться сума даних розрядів доданків *Ai*, *Bi* і перенесення *Pi* – 1 від додавання попередніх розрядів (у прикладах на рис. 12.20 ці випадки помічено зірочкою).

```
  *                  * *
+ 1 8 D            + 1 0 0 1 0 B
  2 3 D              1 0 1 1 1 B
  4 1 D            1 0 1 0 1 1 B
```

Рис. 12.20. Правила додавання десяткових і двійкових чисел

Сказане відбиває таблиця істинності однорозрядного двійкового повного суматора (табл. 12.6).

Таблиця 12.6. Таблиця істинності однорозрядного повного двійкового суматора

Номер набору	A_i	B_i	P_{i-1}	S_i	P_i
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	1	0
3	0	1	1	0	1
4	1	0	0	1	0
5	1	0	1	0	1
6	1	1	0	0	1
7	1	1	1	1	1

Булевий вираз логічних функцій S_i і P_i у ДДНФ має вигляд:

$$S_i=\overline{A}_i \cdot \overline{B}_i \cdot P_{i-1}+\overline{A}_i \cdot B_i \cdot \overline{P}_{i-1}+A_i \cdot \overline{B}_i \cdot \overline{P}_{i-1}+A_i \cdot B_i \cdot P_{i-1}, \quad (12.2)$$

$$P_i=\overline{A}_i \cdot B_i \cdot P_{i-1}+A_i \cdot \overline{B}_i \cdot P_{i-1}+A_i \cdot B_i \cdot \overline{P}_{i-1}+A_i \cdot B_i \cdot P_{i-1}. \quad (12.3)$$

Вираз (12.3) можна мінімізувати. В результаті отримаємо

$$P_{i-1}=A_i \cdot P_{i-1}+A_i \cdot B_i+B_i \cdot P_{i-1}. \quad (12.4)$$

На підставі виразів (12.2, 12.4) однорозрядний двійковий повний суматор може бути реалізовано у базисі І, АБО, НЕ (рис. 12.21).

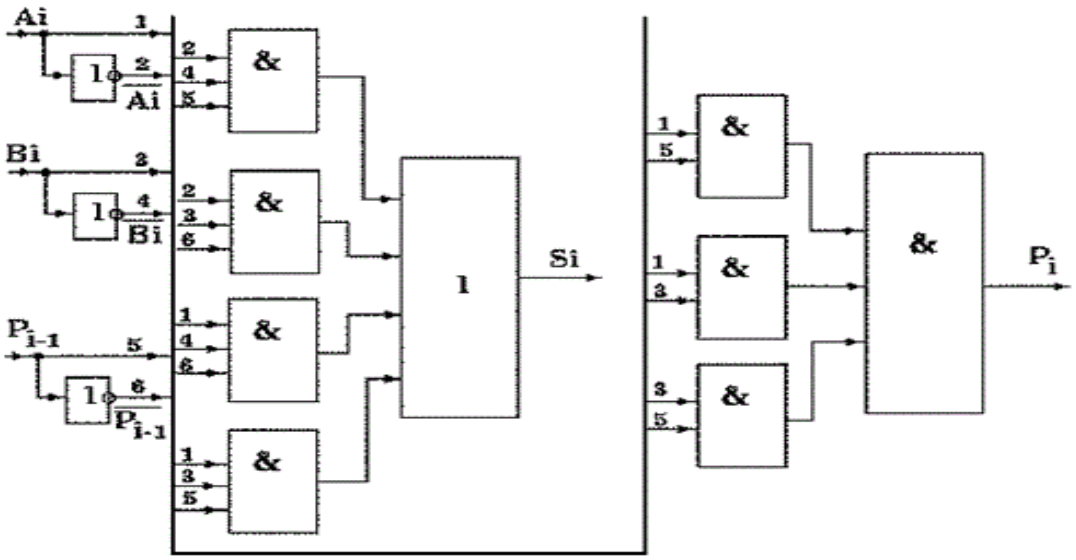


Рис. 12.21. Реалізація однорозрядного двійкового повного суматора на базисі І, АБО, НЕ

Використовуючи правила переходу з базису І, АБО, НЕ в базис І–НЕ і АБО–НЕ (див. підрозд. 11.2), можна побудувати однорозрядний повний суматор у двох інших базисах.

Напівсуматор, на відміну від повного суматора, забезпечує виконання операції підсумовування двох однорозрядних двійкових чисел A_i і B_i без урахування сигналу перенесення. В результаті додавання поряд із сумою може утворитися перенесення. Функціонування напівсуматора описується в табл. 12.7.

Таблиця 12.7. Таблиця істинності напівсуматора

Номер набору	A_i	B_i	S_i	P_i
0	0	0	0	0
1	0	1	1	0
2	1	0	1	0
3	1	1	0	1

Як видно з таблиці, для реалізації S_i необхідно мати елемент «Нееквівалентність» (сума за модулем два), а для реалізації P_i – логічне *І*, тобто:

$$S_i = \overline{A}_i \cdot B_i + A_i \cdot \overline{B}_i;$$

$$P_i = A_i \cdot B_i.$$

Для спрощення схеми, що реалізує однорозрядний напівсуматор, функцію S_i краще подати у ДКНФ (див. табл. 12.7):

$$S_i=(A_i+B_i)\cdot(\bar{A}_i+\bar{B}_i). \qquad (12.5)$$

Виконавши перетворення (12.5) за теоремою де Моргана отримаємо.

$$S_i=(A_i+B_i)\cdot\bar{A}_i\cdot\bar{B}_i, \qquad (12.6)$$

де $A_i \cdot B_i = P_i$.

Вираз (12.6) реалізується схемою, яку показано на рис. 12.22, *а*.

Умовні графічні позначення напівсуматора і повного однорозрядного суматора показано на рис. 12.22, *б*, *в*, а функціональну схему повного однорозрядного суматора, який виконано на двох напівсуматорах та ЛЕ «АБО» показано на рис. 12.22, *г*.

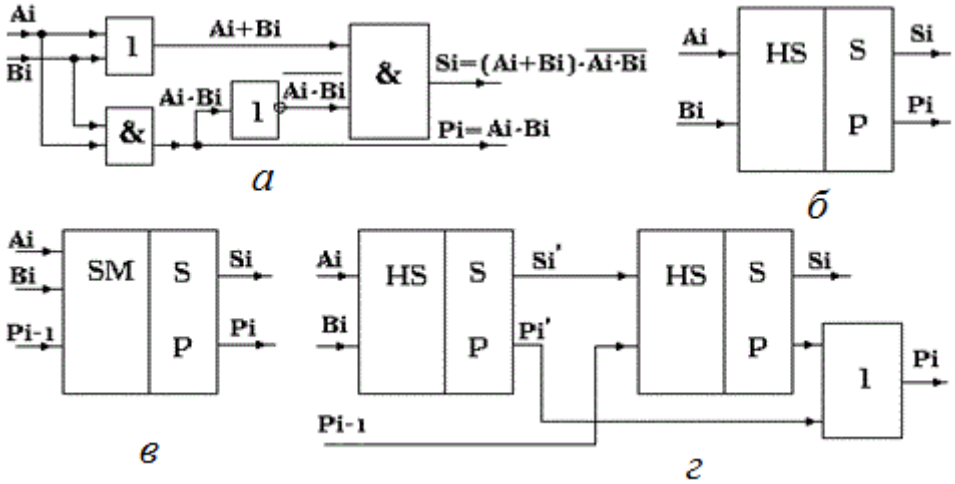


Рис. 12.22. Напівсуматор: *а* – реалізація на ЛЕ базису І, АБО, НЕ; *б* – позначення на електричних схемах. Повний суматор: *в* – позначення на електричних схемах; *г* – реалізація на двох напівсуматорах та ЛЕ «АБО»

Для додавання *N*-розрядних чисел необхідно (*N* – 1) однорозрядних повних суматорів і один напівсуматор у нульовому розряді (рис. 12.23).

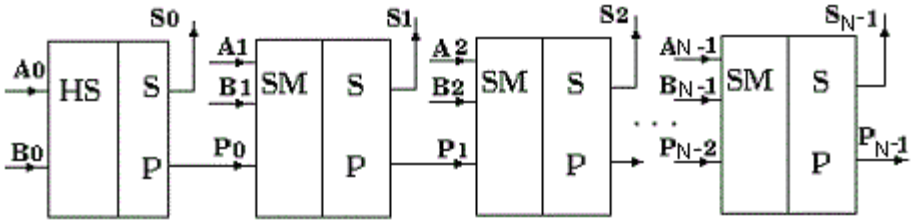


Рис. 12.23. Приклад реалізації суматора двох *N*-розрядних двійкових чисел

У цьому суматорі реалізовано послідовну передачу перенесення з одного розряду в інший. Під час великої кількості розрядів чисел, які

підсумовуються, тривалість підсумовування в суматорах із послідовним перенесенням може виявитися неприпустимо великою.

Більшу швидкодію мають суматори з паралельним перенесенням, що містять схему прискореного перенесення [2; 14].

У цьому суматорі реалізовано послідовну передачу перенесення з одного розряду в інший. Під час великої кількості розрядів чисел, які підсумовуються, тривалість підсумовування в суматорах із послідовним перенесенням може виявитися неприпустимо великою.

12.2.7. Пристрої контролю парності

Пристрої контролю парності призначено для перевірки двійкових кодових комбінацій, що надходять на їх входи, на наявність у них парної (непарної) кількості одиниць. Такий КЦП має *N* входів, що дорівнює кількості розрядів вхідного ДВК, і один вихід. На виході формується напруга високого рівня (логічна одиниця) тільки в тому випадку, якщо кількість одиниць у вхідному коді непарна. Основу схеми контролю парності складає суматор за модулем два, що реалізує логічну операцію:

$$F = X_1 \oplus X_2 \oplus^{\cdots} \oplus X_N.$$

Для двох змінних ця операція може бути виконана ЛЕ «ВИКЛЮЧНЕ АБО», що реалізує логічну функцію:

$$F = X_1 \forall X_2 = X_1 \oplus X_2 = X_1 \cdot \overline{X_2} + \overline{X_1} \cdot X_2. \qquad (12.7)$$

Функція *F* (вираз (12.7)) має значення одиниця тільки в тому випадку, якщо в наборі з двох змінних є одна одиниця, в інших випадках значення функції дорівнює нулю.

Нижче, як приклад, показано: склад мікросхеми К555ЛП5, що включає чотири двовходових суматори за модулем два (рис. 12.24, *а*), приклад побудови на основі ІМС К555ЛП5 пристрою контролю парності восьмирозрядного ДВК (рис. 12.24, *б*) і позначення на електричних схемах мікросхеми К561СА1, що є пристроєм контролю парності 12-розрядних ДВК (рис. 12.25).

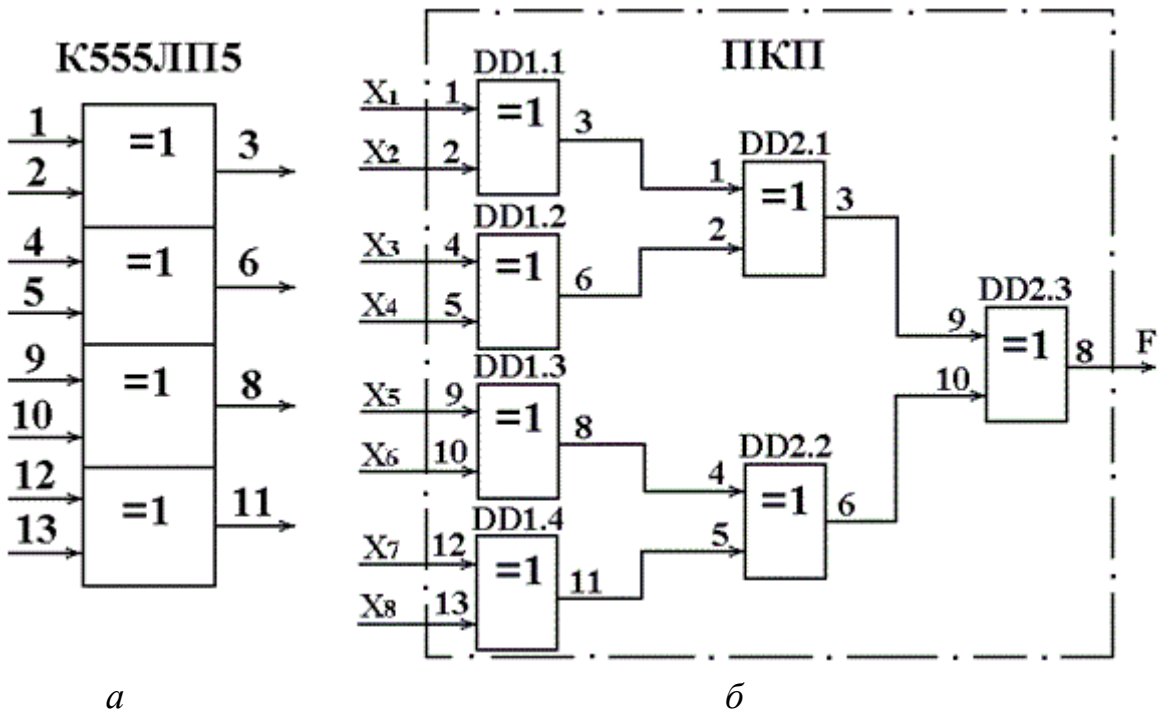


Рис. 12.24. Мікросхема К555ЛП5: *а* – склад; *б* – приклад використання для контролю парності восьмирозрядного ДВК

Рис. 12.25. Позначення на електричних схемах ІМС К561СА1

12.2.8. Цифрові компаратори

Цифрові компаратори порівнюють два числа, які подано у ДВК, $A = \{a_{N-1}, a_{N-2}, ..., a_1, a_0\}$ і $B = \{b_{N-1}, b_{N-2}, ..., b_1, b_0\}$ і формують значення результату порівняння у вигляді напруги високого рівня на одному з виходів: $F_{A=B}$, $F_{A<B}$, $F_{A>B}$.

Як приклад цифрового компаратора нижче наведено схему формування ознаки рівності двох чисел (рис. 12.26).

Такий компаратор включає ЛЕ АБО–НЕ, на входи якого подаються результати порозрядного додавання за модулем два.

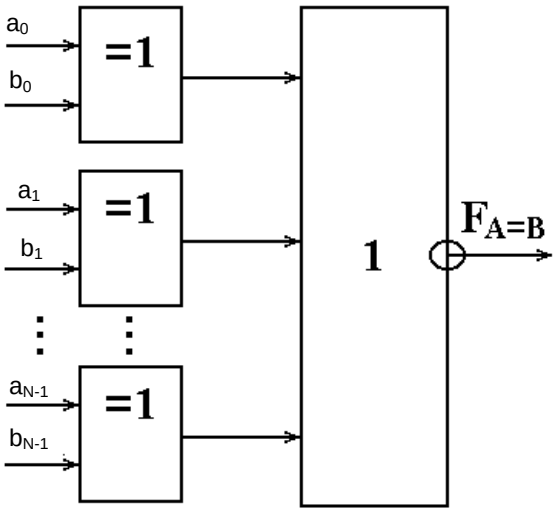


Рис. 12.26. Схема компаратора

Схема реалізує таку логічну функцію:

$$F = (a_0 \cdot b_0 \wedge \overline{a_0} \cdot \overline{b_0}) \wedge (a_1 \cdot b_1 \wedge \overline{a_1} \cdot \overline{b_1}) \wedge \ldots \wedge (a_{N-1} \cdot b_{N-1} \wedge \overline{a_{N-1}} \cdot \overline{b_{N-1}}).$$

Якщо $A = B$, то $F = 1$, якщо $A \neq B$, то $F = 0$.

Нижче показано: позначення чотиривходового компаратора на електричних схемах (рис. 12.27, *а*) і приклад його реалізації на суматорі і ЛЕ І та НЕ (рис. 12.27, *б*).

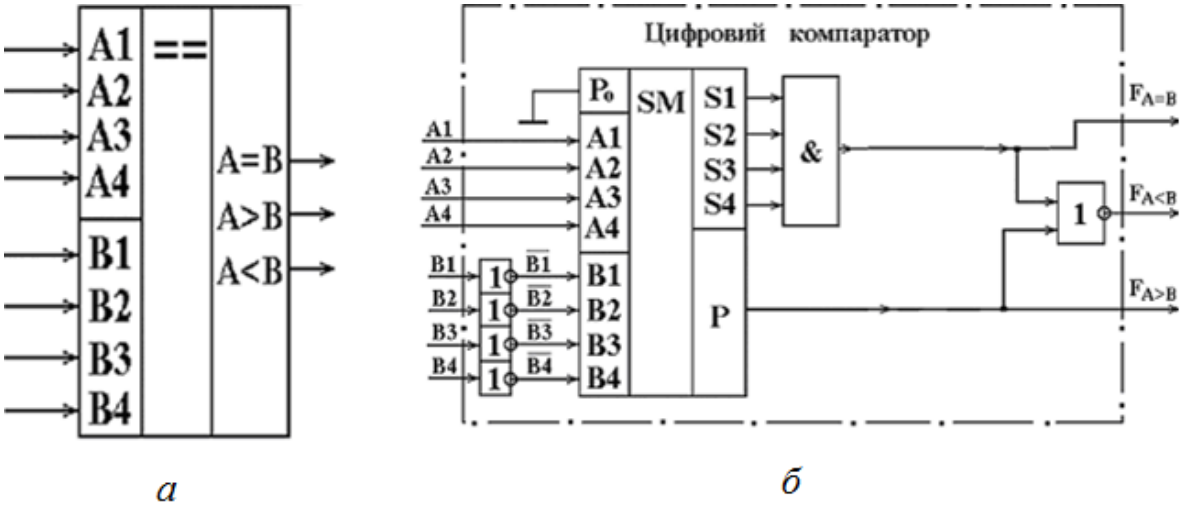


Рис. 12.27. Компаратор порівняння двох двійкових чисел:
а – позначення на схемах; *б* – функціональна схема

12.2.9. Побудова комбінаційного цифрового пристрою на мультиплексорах

У зв'язку з тим, що більшість серій ІМС містять у своєму складі мультиплексори, дешифратори і постійні запам'ятовуючі пристрої (ПЗП), розглянемо можливість реалізації на їх основі різноманітних КЦП. У низці випадків, особливо за великої кількості вхідних змінних і значної кількості виходів це дозволяє зменшити загальну кількість необхідних корпусів мікросхем.

Як приклад розглянемо реалізацію за допомогою восьмивходового мультиплексора (рис. 12.28) мажоритарного елемента, функціонування якого описано таблицею істинності (табл. 12.8).

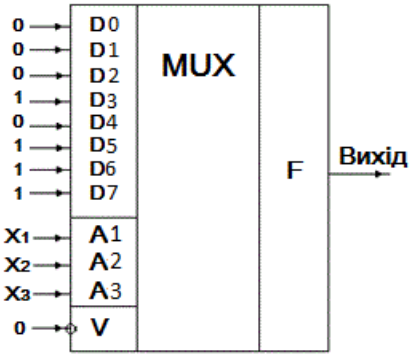


Рис. 12.28. Реалізація мажоритарного елемента на мультиплексорі

Таблиця 12.8. Таблиця істинності мажоритарного елемента

Номер набору	X_3	X_2	X_1	F
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

На адресні входи мультиплексора подаються вхідні логічні змінні X_1, X_2, X_3, а на інформаційних входах $D0...D7$ зафіксовано значення логічної функції, яка реалізується, на наборах логічних змінних, номера яких збігаються з номерами інформаційних входів мультиплексора.

Є можливість удвічі скоротити необхідну кількість інформаційних входів мультиплексора (а отже, використовувати більш просту його структуру), якщо на ці входи подати не тільки фіксовані рівні логічних одиниць і нулів, але і значення окремих вхідних змінних *Xi*.

Для цього ще раз зобразимо таблицю істинності проектованого мажоритарного елемента, розділивши її на чотири групи по два рядки в кожній (табл. 12.9).

Таблиця 12.9. Реалізація мажоритарного елемента на мультиплексорі 4 → 1 (рис. 12.29)

	N набору	X_3	X_2	X_1	F	D
гр.1	0	0	0	0	0	D0=0
	1	0	0	1	0	
гр.2	2	0	1	0	0	D1=X_1
	3	0	1	1	1	
гр.3	4	1	0	0	0	D2=X_1
	5	1	0	1	1	
гр.4	6	1	1	0	1	D3=1
	7	1	1	1	1	

У межах кожної групи можливі тільки чотири значення вихідної булевої функції *F*: нульове значення на обох наборах – гр. 1; одиничне значення на обох наборах – гр. 4: збіг функції *F* із змінною X_1 (набори 2, 3, 4, 5): протилежні значення функції *F* і змінної X_1 (у даному прикладі відсутні).

Отже, для реалізації відповідного КЦП можна використовувати чотиривходовий мультиплексор, на адресні входи якого подаються змінні X_3 і X_2, а на інформаційні входи *D* – значення відповідно з останнім стовпчиком таблиці 12.9 (рис. 12.29).

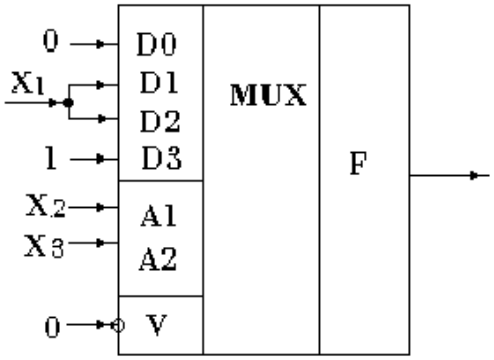


Рис. 12.29. Реалізація ЛЕ «МАЖОРИТАРНІСТЬ» на мультиплексорі 4 → 1

У результаті є можливість зменшити апаратні витрати, використовуючи для реалізації тривходового мажоритарного елемента лише половину мікросхеми К555КП2.

12.2.10. Побудова комбінаційного цифрового пристрою на дешифраторах

Для побудови КЦП можна використовувати дешифратори. Завдяки тому, що активне значення сигналу на кожному виході дешифратора визначає одну з комбінацій вхідних сигналів, та, об'єднуючи за допомогою відповідних ЛЕ деякі вихідні сигнали дешифратора, можна реалізувати КЦП, який задано будь-якою таблицею істинності із кількістю наборів, що не перевищує кількість виходів дешифратора, який використовується. Розглянемо приклад реалізації тривходового мажоритарного елемента (табл. 12.8) на тривходовому дешифраторі (рис. 12.30).

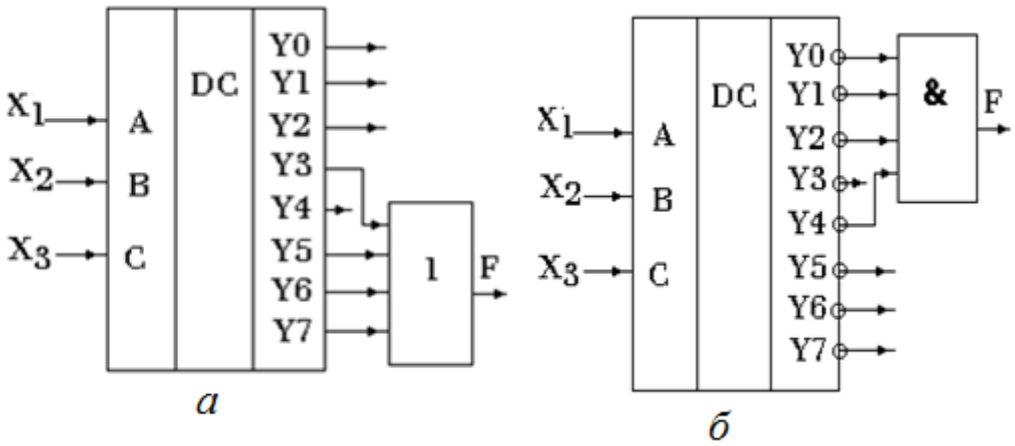


Рис. 12.30. Реалізація ЛЕ «МАЖОРИТАРНІСТЬ» на дешифраторі

Якщо використовувати дешифратор з одиничними значеннями вихідних сигналів (рис. 12.30, *а*), то вихідний сигнал мажоритарного елемента

$$F = Y3 \vee Y5 \vee Y6 \vee Y7.$$

Інверсне значення сигналу на виході мажоритарного елемента

$$\overline{F} = Y0 \vee Y1 \vee Y2 \vee Y4.$$

Після перетворення цього виразу за допомогою теореми де Моргана отримаємо

$$F = \overline{Y0} \wedge \overline{Y1} \wedge \overline{Y2} \wedge \overline{Y4}.$$

Останній вираз можна використовувати для реалізації мажоритарного елемента на основі тривходового дешифратора з нульовими активними вихідними значеннями (рис. 12.30, *б*). Якщо порівняти між собою реалізації

КЦП на основі мультиплексорів і дешифраторів, то можна відзначити менші апаратні витрати під час використання мультиплексорів. Проте в конкретних умовах проектування КЦП може виявитися доцільним застосування для цих цілей і дешифраторів, наприклад, коли половину мікросхеми здвоєного дешифратора вже використано в складі проектованого пристрою, а інша половина залишилася вільною й її може бути застосовано для побудови якогось іншого КЦП.

12.2.11. Побудова комбінаційного цифрового пристрою на постійному запам'ятовуючому пристрої

ПЗП є ВІС, що має N входів і M виходів. Спрощену структуру ПЗП, що має $N_{ВХ} = 2$ і $M_{ВИХ} = 3$ наведено на рис. 12.31, *а*.

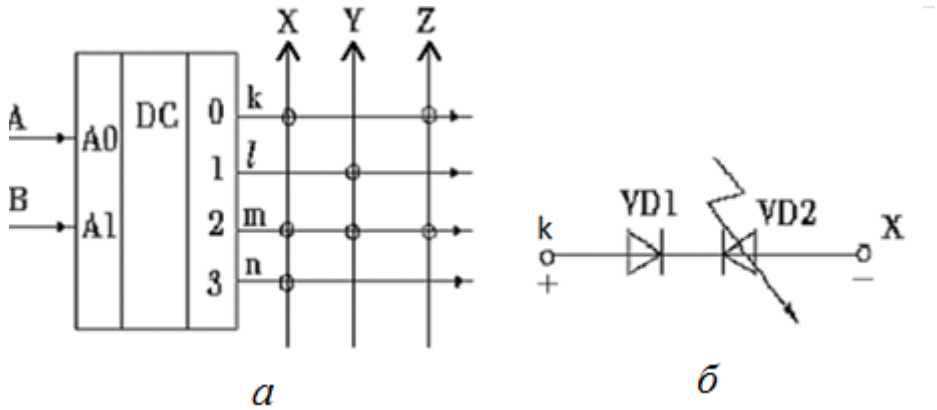


Рис. 12.31. ПЗП: *а* – структура; *б* – програмування зв'язку між лініями *k* та *X*

На вході схеми встановлено дешифратор, що перетворює комбінації дворозрядного ДВК в чотирьохпозиційний унітарний (десятковий) код. Під час кожної комбінації вхідного ДВК на відповідному одному з виходів дешифратора з'являється логічна одиниця, а на інших – нулі.

Між виходами *k, l, m, n* дешифратора і вихідними шинами *X, Y, Z* ПЗП включено ланцюжки з двох послідовно включених діодів VD1 і VD2. На рис. 12.31, *б*, як приклад, показано зв'язок між вихідною шиною *k* дешифратора та виходом *X*. У вихідному стані ланцюжки, що зв'язують виходи дешифратора та виходи ПЗП, струм не проводять і зв'язки між шинами *k, l, m, n* і виходами *X, Y, Z* відсутні.

Користувач на спеціальному пристрої – програматорі створює потрібні зв'язки між шинами, подаючи пробивні напруги між визначеними точками. У цьому разі відповідні діоди пробиваються, наприклад VD2 (рис. 12.31, *б*), і надалі можуть розглядатись як короткозамкнені.

На рис. 12.31, *а* кружками показано створені постійні зв'язки, що реалізують таблицю істинності комбінаційного пристрою з трьома виходами (табл. 12.10).

Наприклад, під час комбінації вхідних логічних змінних $A = 1$, $B = 0$ із виходів знімаються сигнали $X = 0$; $Y = 1$; $Z = 0$. У такий спосіб на ПЗП можна реалізувати потрібну таблицю істинності комбінаційного пристрою, що має декілька виходів. Одна схема ПЗП може замінити велику кількість логічних мікросхем малого й середнього рівня інтеграції, тому ПЗП можуть ефективно використовуватися для створення складних комбінаційних пристроїв. Крім того, ПЗП знаходять широке застосування як елементи постійної пам'яті, у яку заносяться програми, що керують роботою мікропроцесорів і мікроконтролерів.

Таблиця 12.10. Таблиця істинності ЛЕ з трьома виходами

Номер набору	B	A	X	Y	Z
0	0	0	1	0	1
1	0	1	0	1	0
2	1	0	1	1	1
3	1	1	1	0	0

12.2.12. Побудова комбінаційного цифрового пристрою на програмованих логічних інтегральних схемах

На сьогодні, за швидких темпів технічного прогресу, цифрові системи рідко реалізуються на основі окремих ЛЕ та ІС середньої степені інтеграції. Замість цього використовують програмовані логічні інтегральні схеми (ПЛІС), які мають всі компоненти для реалізації логічних функцій і цифрових схем. Ці пристрої не програмуються згідно якоїсь попередньо визначеної програми, як це робиться у випадку використання мікропроцесорної системи оброблення сигналів. Їх внутрішня структура визначається за допомогою електричного замикання і розмикання окремих вузлів схеми.

Велику частину ринку електроніки ПЛІС зайняли тому, що під час використання відповідних програмних засобів стало можливим на базі однієї ІС отримати ту саму функціональність, яку можуть забезпечити кілька окремих традиційних мікросхем. Завдяки цьому, стає можливим збільшення щільності розміщення елементів на платі, зменшення енергоспоживання,

збільшення надійності, зменшення матеріальних витрат і, відповідно, зниження загальної вартості виготовлення приладу чи системи [29].

ПЛІС (англ. programmable logic device, PLD) – електронний компонент, що використовується для створення цифрових ІС. На відміну від звичайних цифрових мікросхем, логіка роботи ПЛІС не визначається під час виготовлення, а задається за допомогою програмування. Для цього використовуються програматори і налагоджувальні середовища, що дозволяють за допомогою програми на спеціальних мовах опису апаратури Verilog, VHDL, AHDL і т. ін. задати бажану структуру цифрового пристрою у вигляді принципової електричної схеми. Альтернативою ПЛІС є: програмований логічний контролер, базові матричні кристали, що вимагають заводського виробничого процесу для програмування; ASIC – спеціалізовані замовні ВІС, які під час багатосерійного та одиничного виробництва істотно дорожчі; спеціалізовані комп'ютери; процесори (наприклад, цифровий сигнальний процесор) або МК, які через програмний спосіб реалізації алгоритмів повільніше ПЛІС.

ПЛІС широко використовуються для побудови різних за складністю і можливостями цифрових пристроїв. Розширення сфери застосування ПЛІС визначається зростаючим попитом на пристрої зі швидкою перебудовою виконуваних функцій, скороченням проектно-технологічного циклу нових або модифікованих виробів, наявністю режимів зміни внутрішньої структури в реальному часі, підвищенням швидкодії, зниженням споживаної потужності, розробленням оптимізованих поєднань з мікропроцесорами і сигнальними процесорами (DSP), а також зниженням цін на ці пристрої.

На рис. 12.32 як приклад наведено спрощену схему програмованого логічного пристрою. Ця схема має чотири елементи АБО, сигнали з виходів яких можна запрограмувати таким чином, щоб вони виконували деяку логічну функцію двох змінних.

Кожний із вхідних сигналів, який відповідає змінним *A* і *B*, проходить через два буфери: повторювач та інвертор, в результаті чого отримуються прямий та інверсний сигнали, відповідні даним змінним. Ці сигнали подаються на входи чотирьох ЛЕ І. Кожний елемент І підключено до двох різних вхідних ліній, тому він може формувати свій власний сигнал добутку вхідних змінних. Сигнальні лінії на виходах елементів І називаються вихідними лініями.

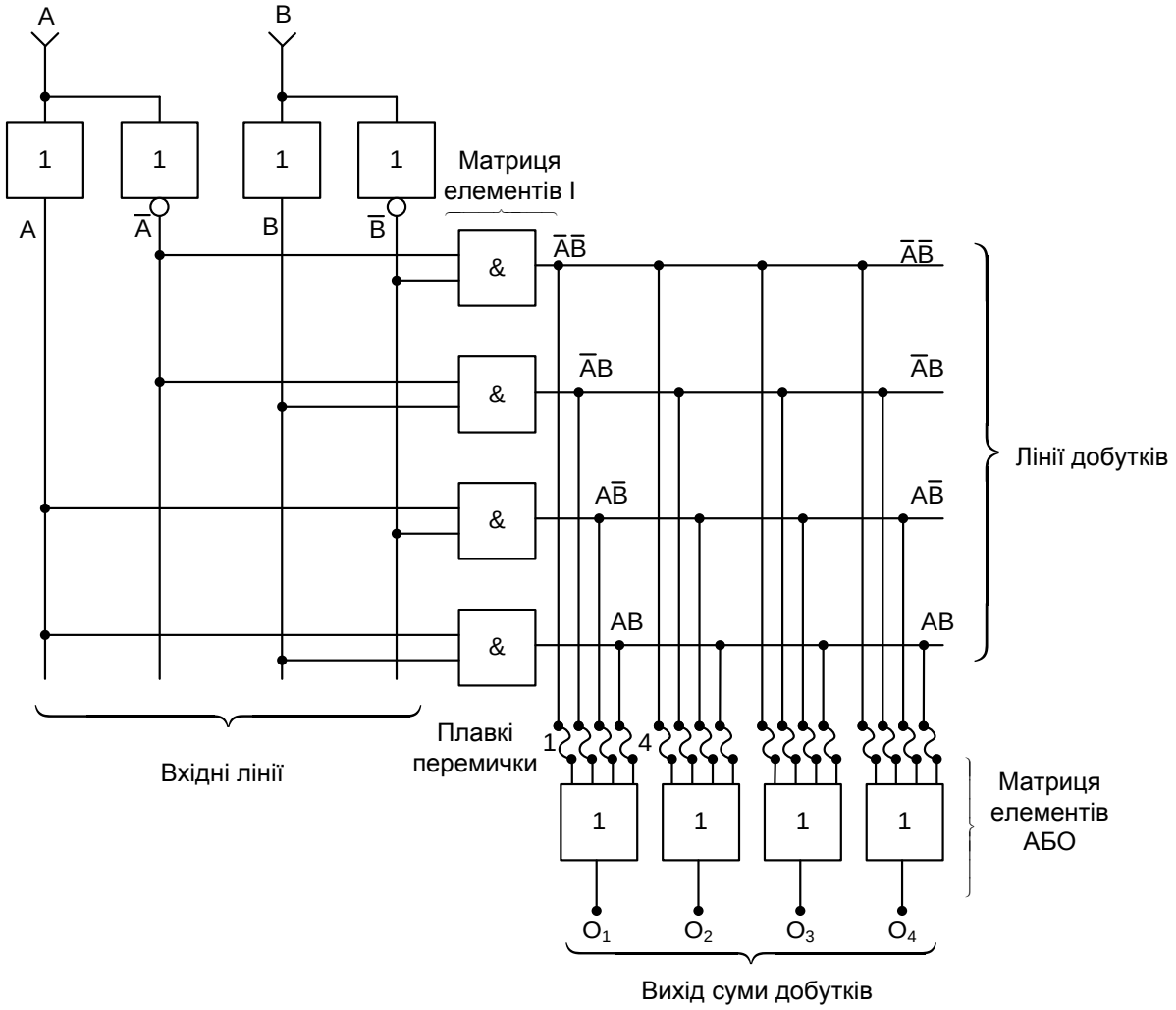


Рис. 12.32. Схема програмованого логічного пристрою

Кожна вихідна лінія передає сигнал, що відповідає добутку різних вхідних змінних. Кожну з цих ліній підключено до одного з чотирьох входів ЛЕ АБО через плавку перемичку.

Якщо всі перемички якогось елемента АБО залишились цілими, тоді на виході отримаємо постійний сигнал, що відповідає логічній одиниці. Доказ даного твердження має такий вигляд:

$$O_1 = \bar{A}\bar{B} + \bar{A}B + A\bar{B} + AB = \bar{A}(\bar{B} + B) + A(\bar{B} + B) = \bar{A} + A = 1.$$

Кожний із чотирьох вихідних сигналів (O_1, O_2, O_3, O_4) може бути запрограмований на реалізацію тієї чи іншої логічної функції змінних *A* і *B*. Для цього достатньо перепалити відповідні плавкі перемички. ПЛІС розробляється таким чином, що розплавлена перемичка діє, як логічний нуль. Наприклад, якщо перепалити перемички 1 і 4 на входах першого елемента АБО, то на виході O_1 отримаємо

$$O_1 = 0 + \bar{A}B + A\bar{B} + 0 = \bar{A}B + A\bar{B}.$$

Таким чином, ми реалізували логічну функцію двох змінних: виключне АБО, нееквівалентність або суматор за модулем два. Можна запрограмувати кожний із виходів елементів АБО так, що сигнал буде відповідати деякій потрібній функції. Як тільки всі вхідні сигнали задано, пристрій буде реалізовувати цю функцію постійно.

Контрольні запитання та завдання

1. Які логічні пристрої називаються комбінаційними?
2. Опишіть коротко етапи синтезу КЦП.
3. Дайте визначення понять «шифратор» та «дешифратор».
4. Який код називають унітарним?
5. Як реалізується функція пріоритету в шифраторах?
6. Охарактеризуйте шифратор ДВК. Як визначається максимальне число вхідних шин?
7. Який формат представлення десяткових чисел називається упакованим?
8. Які Ви знаєте різновиди індикаторів?
9. Які Ви знаєте різновиди світлодіодних індикаторів за характером з’єднання діодів?
10. Як формуються керувальні сигнали для індикаторів?
11. Дайте визначення поняття «мультиплексор».
12. Наведіть приклад реалізації мультиплексора.
13. Дайте визначення поняття «демультиплексор».
14. Яку особливість мають мультиплексори–селектори? В якості чого вони можуть бути застосовано?
15. Які правила додавання двійкових чисел?
16. Яке призначення суматора та напівсуматора?
17. Для чого призначено пристрої контролю парності?
18. Який принцип роботи цифрового компаратора?
19. На основі чого можуть бути реалізовані КЦП?
20. Поясніть використання ПЛІС для реалізації КЦП.
21. Назвіть основні переваги ПЛІС.

13. ПОСЛІДОВНІ ЦИФРОВІ ЕЛЕКТРОННІ ПРИСТРОЇ

13.1. Визначення послідовних цифрових електронних пристроїв

Вище, було розглянуто КЦП, у яких є однозначний зв'язок між вхідними і вихідними сигналами і відсутні елементи пам'яті.

У цифровій електроніці є ще одна група пристроїв, що містять елементи пам'яті. Тому їх вихідні сигнали в загальному випадку залежать не тільки від сигналів, прикладених до входів у даний момент часу, але і від сигналів, що впливали на них раніше. Оскільки наявність пам'яті дозволяє задавати послідовність виконання визначених логічних операцій у часі, то такі логічні пристрої називаються послідовними [2; 4; 12].

До них насамперед належать тригери, а також схеми, що виконуються на їх основі: регістри, лічильники, розподільники, напівпровідникові запам'ятовуючі пристрої (ЗП) і т. ін.

Розглянемо більш докладно основні послідовні цифрові електронні пристрої (ПЦЕП).

13.2. Тригери

Тригером називається пристрій, що має два стійких стани рівноваги і може під дією керувальних сигналів швидко (стрибкоподібно) переходити з одного стану в інший. Під час вмикання напруги живлення і відсутності зовнішніх керувальних сигналів тригер довільно займає один з двох станів і може знаходитися в ньому як завгодно довго. Тригер є елементом пам'яті і може зберігати 1 біт інформації.

Є чотири різновиди схемної реалізації (виконання) тригерів:

1. На дискретних компонентах з використанням транзисторів (напівпровідникові імпульсні тригери).
2. На ІМС ОП (тригери Шмітта).
3. На ЛЕ.
4. У вигляді спеціалізованої ІМС.

Перші дві групи було розглянуто у розд. 7. Нижче зупинимося більш докладно на двох останніх варіантах виконання тригерів – на цифрових тригерах.

Залежноо від властивостей, кількості входів і функціонального призначення цифрові тригери можна розділити на декілька видів.

Насамперед, варто розрізняти не тактовані (асинхронні) і тактовані (синхронні) тригери. Зміна стану асинхронного тригера відбувається відразу ж після відповідної зміни потенціалів на його керувальних входах.

У синхронному тригері переключення під дією сигналів на керувальних входах може відбутися тільки в момент присутності відповідного сигналу на тактовому (синхро) вході.

Тактування може здійснюватися імпульсом (потенціалом) або фронтом (перепадом потенціалу). У першому випадку сигнали на керувальних входах впливають на стан тригера тільки у разі дозволяючого потенціалу на тактовому вході. У другому випадку вплив керувальних сигналів проявляється в момент переходу одиниця–нуль або нуль–одиниця на синхровході.

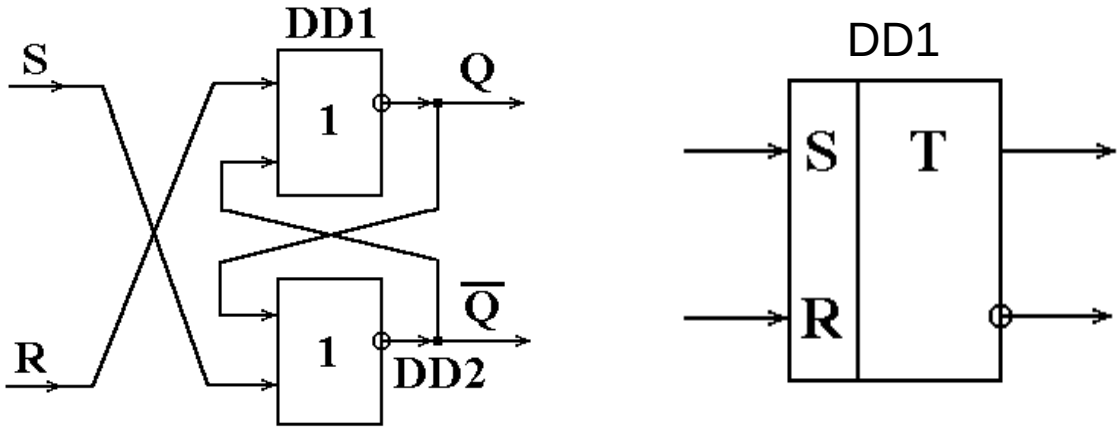
Є також універсальні тригери, що можуть працювати як у синхронному, так і в асинхронному режимах.

Основними типами тригерів залежно від функціонального призначення є:

– *RS*-тригери ;
– *T*-тригери ;
– *D*-тригери ;
– *JK*-тригери.

Асинхронні *RS*-тригери

Асинхронні *RS*-тригери можуть бути виконані на ЛЕ базисів АБО–НЕ і І–НЕ (рис. 13.1).



а *б*

Рис. 13.1. Асинхронний *RS*-тригер:
а – схема на ЛЕ АБО–НЕ; *б* – позначення на схемах

Вище показано: принципову схему (рис. 13.1, *а*), позначення на електричних схемах (рис. 13.1, *б*) і таблицю істинності (табл. 13.1) асинхронного *RS*-тригера на ЛЕ АБО–НЕ.

У табл. 13.1 прийнято такі позначення: *R* і *S* – сигнали на керувальних входах тригера; Q^t – вихідний сигнал тригера до надходження вхідних керувальних сигналів; Q^{t+1} – вихідний сигнал після впливу керувальних сигналів.

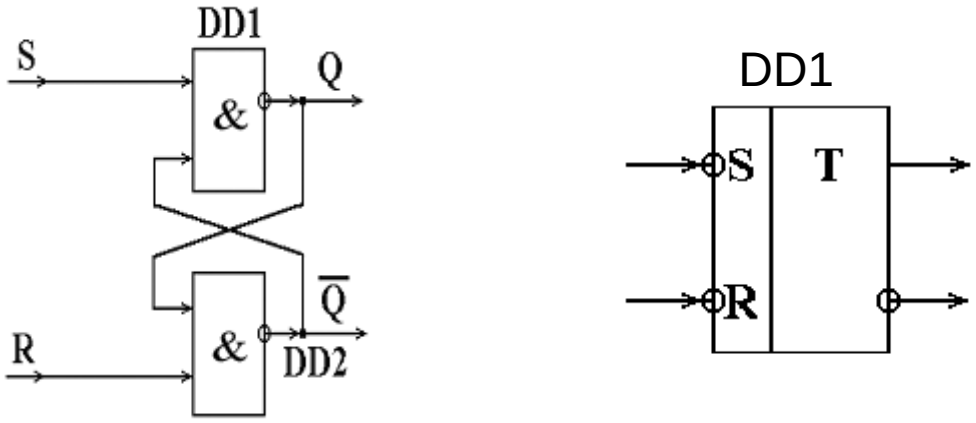
Тригер називається асинхронним, тому що він переходить у новий стан негайно після зміни комбінації вхідних керувальних сигналів. Входи *S* і *R* названі за першими буквами англійських слів set – встановлення і reset – попереднє встановлення (скидання).

Таблиця 13.1. Таблиця істинності асинхронного *RS*-тригера на ЛЕ АБО–НЕ

Номер	*S*	*R*	Q^{t+1}
0	0	0	Q^t
1	0	1	0
2	1	0	1
3	1	1	Не визначене

Тригер встановлюється в одиницю ($Q = 1$; $\overline{Q} = 0$) під час комбінації вхідних сигналів $S = 1$, $R = 0$. Скидання в нуль ($Q = 0$;$\overline{Q} = 1$) відбувається за $S = 0$, $R = 1$. Якщо $S = R = 0$, то стан схеми не змінюється ($Q^{t+1} = Q^t$). Комбінація $S = R = 1$ заборонена, тому що становище тригера в цьому випадку не визначене. У схемі виконується умова виникнення стрибків: баланс фаз (тригер містить ДЗЗ) і баланс амплітуд (сумарне підсилення схеми більше сумарного згасання, внесеного пасивними елементами). Тому під час зміни вхідних керувальних сигналів тригер швидко (лавиноподібно) змінює свій стан. Під час вмикання живлення і пасивного значення керувальних сигналів $R = S = 0$ схема займає довільний стан (нульовий $Q = 0$; $\overline{Q} = 1$ або одиничний – $Q = 1$; $\overline{Q} = 0$), що залежить від початкової асиметрії схеми.

Для проектування *RS*-тригера можуть бути використані також ЛЕ базису І–НЕ. Нижче показано: принципову схему (рис. 13.2, *а*), позначення на електричних схемах (рис. 13.2, *б*) і таблицю істинності (табл. 13.2) асинхронного *RS*-тригера на ЛЕ І–НЕ. Відмінність цього тригера від попереднього складається в тому, що активним значенням керувальних сигналів є логічний нуль, а пасивним – логічна одиниця.



а *б*

Рис. 13.2. Асинхронний *RS*-тригер: *а* – схема на ЛЕ І–НЕ;
б – позначення на електричних схемах

Таблиця 13.2. Таблиця істинності асинхронного *RS*-тригера на ЛЕ І–НЕ

Номер	*S*	*R*	Q^{t+1}
0	0	0	Не визначене
1	0	1	1
2	1	0	0
3	1	1	Q^t

Синхронні *RS*-тригери

У результаті явища «змагань» («перегонів») на входах асинхронного *RS*-тригера тимчасово можуть з'являтися помилкові комбінації, що викликають помилкові спрацьовування (переключення) схеми і будуть помилково зафіксовані логічним пристроєм опрацювання вихідних сигналів тригера. Для усунення цієї похибки використовують синхронні *RS*-тригери, що містять додатковий тактовий (синхро) вхід.

Синхронні *RS*-тригери поділяються на:

– одноступінчаті (однотактні);

– двоступінчаті (двотактні).

Нижче показано: позначення на електричних схемах (рис. 13.3, *а*) і функціональні схеми (рис. 13.3, б, *в*) однотактного синхронного *RS*-тригера.

Однотактний синхронний *RS*-тригер (рис. 13.3, *б*, *в*) включає асинхронний *RS*-тригер DD3 і два додаткових ЛЕ – DD1, DD2: І (рис. 13.3, *б*) або І–НЕ (рис. 13.3, *в*). Більш кращою є друга схема (рис. 13.3, *в*), тому що вона містить елементи одного базису І–НЕ (рис. 13.2).

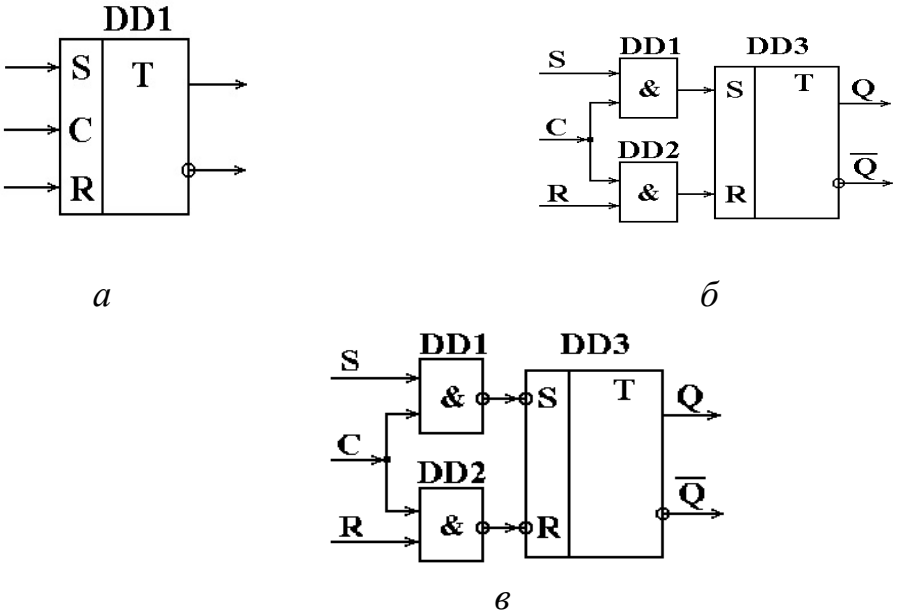


Рис. 13.3. Однотактний синхронний *RS*-тригер:
а – позначення на електричних схемах; *б* – схема з ЛЕ «І» ;
в – схема з ЛЕ «І–НЕ»

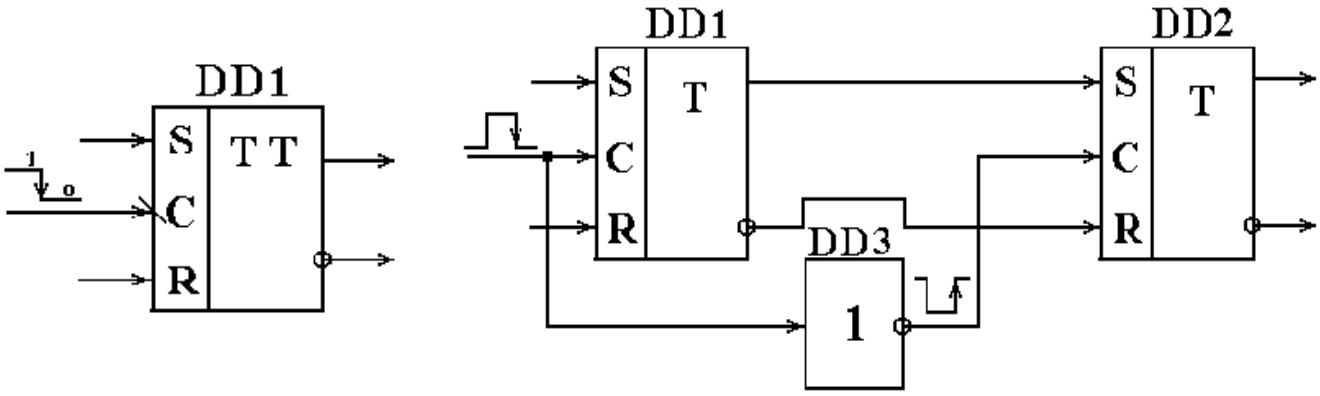
Однотактний (одноступінчатий) синхронний *RS*-тригер (рис. 13.3) тактується (синхронізується) потенціалом або одиничним імпульсом на вході *C*.

Часто потрібно здійснювати переключення тригера переходом потенціалу на його синхровході *C* із одиниці в нуль або з нуля в одиницю (зрізом або фронтом вхідного імпульсу). Синхронний *RS*-тригер, що має таку спроможність, називається двоступінчатим (двотактним).

Нижче показано: позначення на електричних схемах (рис. 13.4, *а*) і функціональну схему (рис. 13.4, *б*) двотактного синхронного *RS*-тригера, що переключається переходом із одиниці в нуль на динамічному тактовому (синхро) вході.

Тригер виконано на двох однотактних синхронних *RS*-тригерах, розглянутих вище, і інверторі DD3. Вхід *C* (рис. 13.4, *а*) називається динамічним, тому що активним сигналом на ньому є перехід із одиниці в нуль. Переключення тригера відбувається за два такти: у першому такті вхідна інформація записується в перший тригер DD1, а стан другого тригера DD2 не змінюється, тому що на його синхровхід з виходу інвертора подається нульовий імпульс. У другому такті в момент закінчення одиничного імпульсу на вході (у разі переходу з одиниці в нуль) з виходу інвертора на синхровхід тригера DD2 починає надходити одиничний потенціал і інформація з першого тригера DD1 переписується в другий DD2.

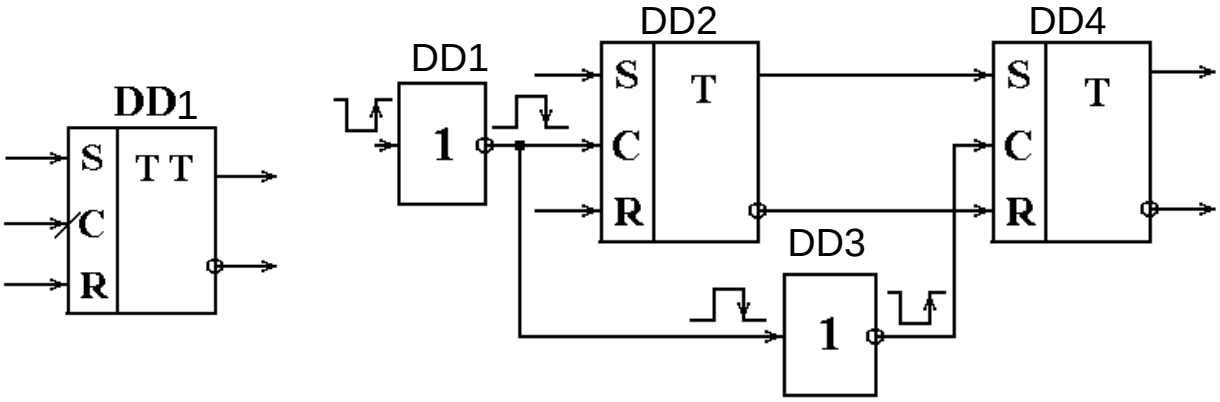
У такий спосіб стан виходу змінюється лише в момент переходу з одиниці в нуль вхідного синхросигналу.



а *б*

Рис. 13.4. Двотактний синхронний *RS*-тригер:
а – позначення на схемах; *б* – функціональна схема

Нижче показано: позначення на електричних схемах (рис. 13.5, *а*) і функціональну схему (рис. 13.5, *б*) двотактного синхронного *RS*-тригера, що переключається переходом з нуля в одиницю на динамічному синхровході.



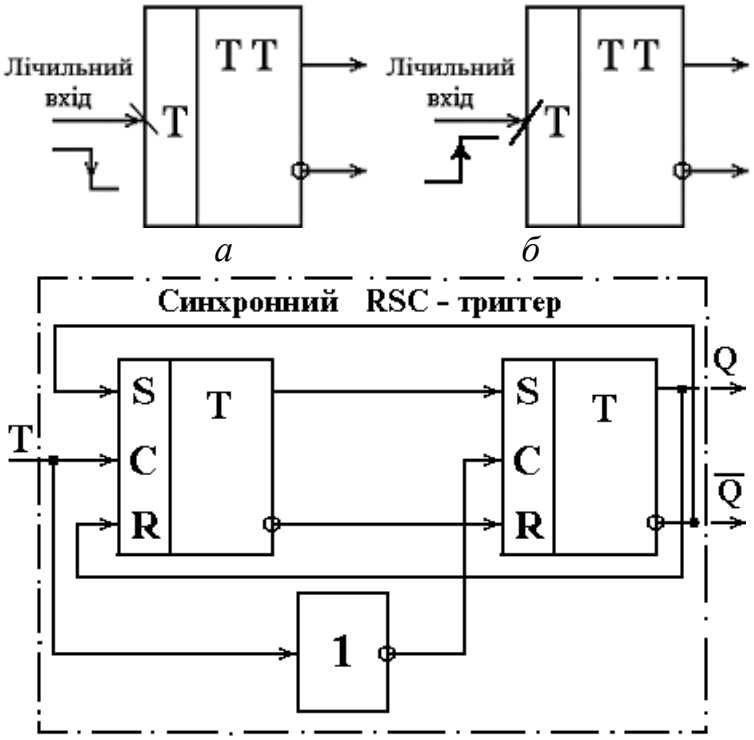
а *б*

Рис. 13.5. Двотактний синхронний *RS*-тригер:
а – позначення на схемах; *б* – функціональна схема

T-тригер (тригер з рахунковим входом)

Такий тригер містить лічильний (рахунковий) вхід, що позначається буквою *T*, і переключається кожним імпульсом на *T*-вході.

Нижче показано: позначення на електричних схемах (рис. 13.6, *а, б*) і функціональну схему (рис. 13.6, *в*) *Т*-тригера, що переключається переходом із одиниці в нуль кожного вхідного імпульсу.



в

Рис. 13.6. Т-тригер: *а, б* – позначення на схемах; *в*– функціональна схема

Тригер виконано на основі синхронного двоступінчатого *RSC*-тригера з динамічним синхровходом, охопленого двома ЗЗ.

У момент зрізу рахункових вхідних імпульсів тригер переключається в протилежний стан $Q^{t+1}=\bar{Q}^{t}$. На рис. 13.7 наведено часові діаграми, що пояснюють роботу *Т*-тригера. Початковий стан схеми – одиничний (U_Q = 1). Зрізом кожного рахункового імпульсу вихідний сигнал змінює своє значення на протилежне. Період вихідних імпульсів $T_{ВИХ} = 2T_{ВХ}$, а частота $f_{ВИХ} = f_{ВХ}/2$, тобто *Т*-триггер ділить вхідну частоту на 2.

На рис. 13.6, *б* наведено позначення на електричних схемах *Т*-тригера, що переключається переходом з нуля в одиницю на рахунковому вході.

D-тригер (тригер затримки)

D-тригери (тригери затримки) містять інформаційний вхід (*D*) і тактовий (синхро) вхід (рис. 13.8).

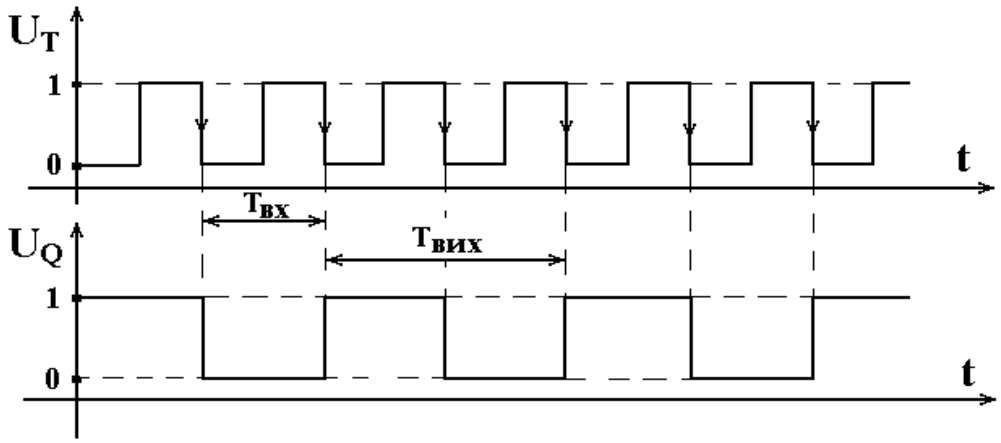
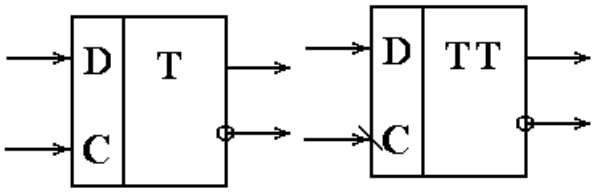


Рис. 13.7. Часові діаграми роботи *T*-тригера (рис. 13.6, *а*, *в*)



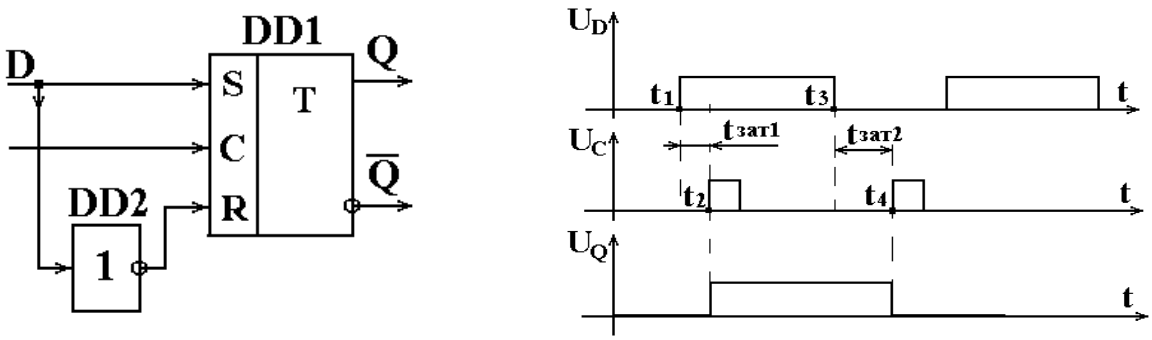
а *б*

Рис. 13.8. Позначення *D*-тригера на електричних схемах:
а – однотактного; *б* – двотактного

Існують однотактні *D*-тригери, що переключаються потенціалом, або імпульсом на тактовому вході (рис. 13.8, *а*), і двотактні *D*-тригери, що переключаються динамічним синхросигналом (переходом), наприклад, з одиниці в нуль (рис. 13.8, *б*).

Нижче показано: функціональну схему (рис. 13.9, *а*) і часові діаграми роботи (рис. 13.9, *б*) однотактного *D*-тригера, виконаного на однотактному синхронному *RS*-тригері (*RSC*-тригері) – DD1 і ЛЕ (інверторі) – DD2.

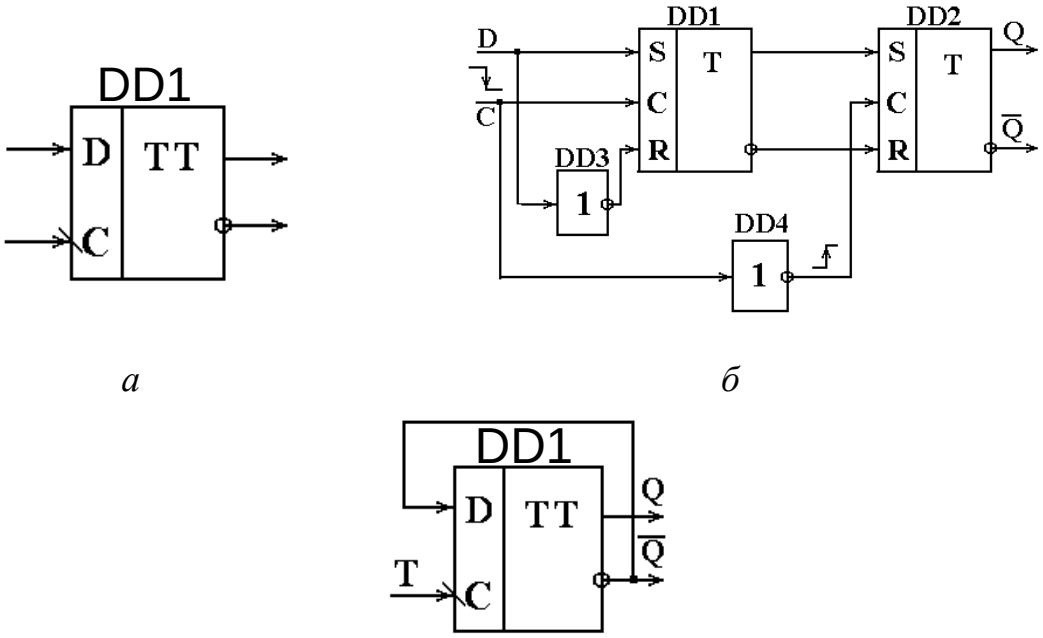
У момент надходження тактового імпульсу *D*-тригер переключається у стан, обумовлений сигналом на інформаційному вході *D*, тобто схема запам’ятовує сигнал на вході *D* у момент надходження синхроімпульсу ($Q^{t+1} = D$) і зберігає його до наступного тактового імпульсу. Затримка дорівнює інтервалу часу між моментами приходу інформаційного сигналу на *D*-вхід і надходженням синхросигналу на *C*-вхід: $t_{ЗАТ1} = t_2 - t_1$; $t_{ЗАТ2} = t_4 - t_3$ (рис. 13.9, *б*). *D*-тригери широко застосовуються як елементи пам’яті, які спроможні зберігати 1 біт інформації.



а *б*

Рис. 13.9. Однотактний *D*-тригер:
а – функціональна схема; *б* – часові діаграми роботи

Нижче показано: позначення на електричних схемах (рис. 13.10, *а*) і функціональну схему (рис. 13.10, *б*) двотактного *D*-тригера, що переключається переходом з одиниці в нуль на динамічному синхровході *C*.



а *б*

в

Рис. 13.10. Двотактний *D*-тригер:
а – позначення на схемах; *б* – функціональна схема;
в – реалізація *T*-тригера на *D*-тригері

Тригер виконано на основі двох однотактних *RSC*-тригерів (DD1, DD2) і двох інверторів (DD3, DD4).

D-тригер можна використовувати як тригер з рахунковим входом (*T*-тригера), якщо з’єднати його виводи як показано на рис. 13.10, *в*.

JK-тригери

JK-тригери найбільш універсальні серед синхронних тригерів.

Нижче показано: позначення на електричних схемах (рис. 13.11, *а*), функціональну схему (рис. 13.11, *б*), таблицю істинності (табл. 13.3) і часову діаграму роботи (рис. 13.11, *в*) двотактного синхронного *JK*-тригера, що переключається переходом з одиниці в нуль на динамічному синхровході *C*.

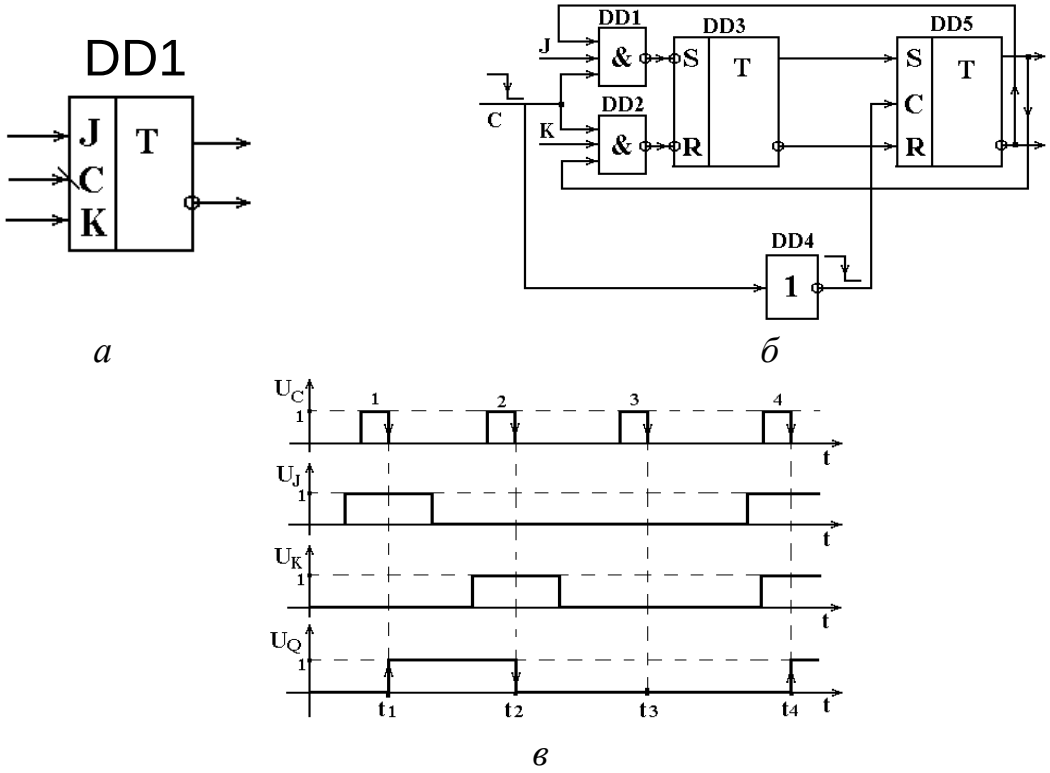


Рис. 13.11. Двотактний *JK*-тригер: *а* – позначення на схемах; *б* – функціональна схема; *в* – часові діаграми роботи

Розглянемо роботу *JK*-тригера. Початковий стан схеми – нульовий (U_Q=0) (рис. 13.11, *в*). Під час надходження зрізу першого тактового імпульсу (момент t_1) сигнал на *J*-вході дорівнює одиниці, а на *K*-вході – нулю. Тому тригер переключається в одиничний стан. Зрізом другого тактового імпульсу схема переключається в нульовий стан (момент t_2), тому що в цей час $J = 0$, а $K = 1$. У момент t_3 обидва керувальних сигнали $J = K = 0$, тому стан схеми не змінюється ($Q^{t+1} = Q^t$). Під час надходження зрізу четвертого синхроімпульсу (момент t^4) $J = K = 1$, тому тригер переключається в становище, протилежне початковому, $Q^{t+1}=\overline{Q}^t$.

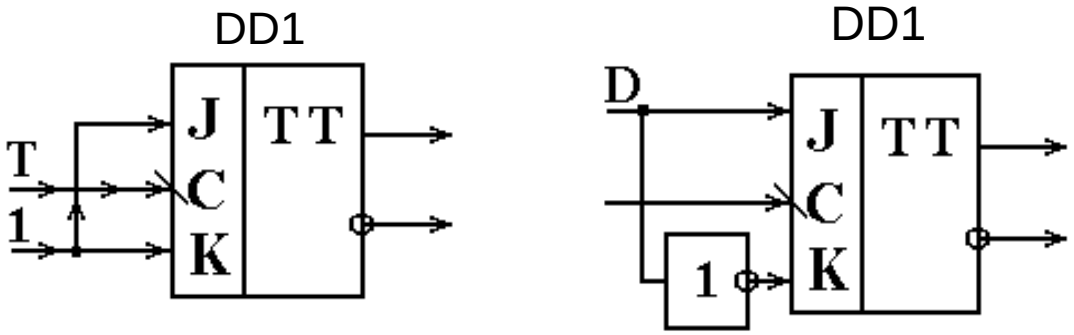
На основі універсального *JK*-тригера може бути побудовано низку інших тригерів.

Таблиця 13.3. Таблиця істинності *JK*-тригера

№ набору	J	K	C	Q^{t+1}
0	0	0	↓	Q^t
1	0	1	↓	0
2	1	0	↓	1
3	1	1	↓	$\overline{Q^t}$

Синхронний *RS*-тригер. Ототожнимо $J = S$ і $K = R$. У разі заборони комбінації $J = S = 1$ і $K = R = 1$ табл. 13.3 зводиться до таблиці істинності *RS*-тригера (табл. 13.1). Тому розглянута схема (рис. 13.11) може використовуватися як двотактний синхронний *RS*-тригер.

***T*-тригер.** У ньому використовується тільки 4-й рядок табл. 13.3. Для цього входи *J* і *K* приєднуються до потенціалу, що відповідає логічній одиниці: $J = K = 1$ (рис. 13.12, *а*).



а *б*

Рис. 13.12. Реалізація на *JK*-тригері: *а* – *T*-тригера; *б* – *D*-тригера

***D*-тригер.** У цьому тригері $J = \overline{K} = D$, тобто крім тактового є тільки один вхід *D* (рис. 13.12, *б*). З таблиці 13.3 (1-й і 2-й набори) видно, що в *D*-тригері $Q^{t+1} = D = J$, тобто останній запам'ятовує сигнал на вході *D* у момент зрізу тактового імпульсу і зберігає його до наступного синхросигналу.

Тригери в інтегральному виконанні

У сучасних серіях ІМС є велика кількість різноманітних тригерів [2; 14; 17].

Нижче, як приклад, наведено позначення на електричних схемах двох тригерів широкого використання, що випускаються у вигляді ІМС (рис. 13.13).

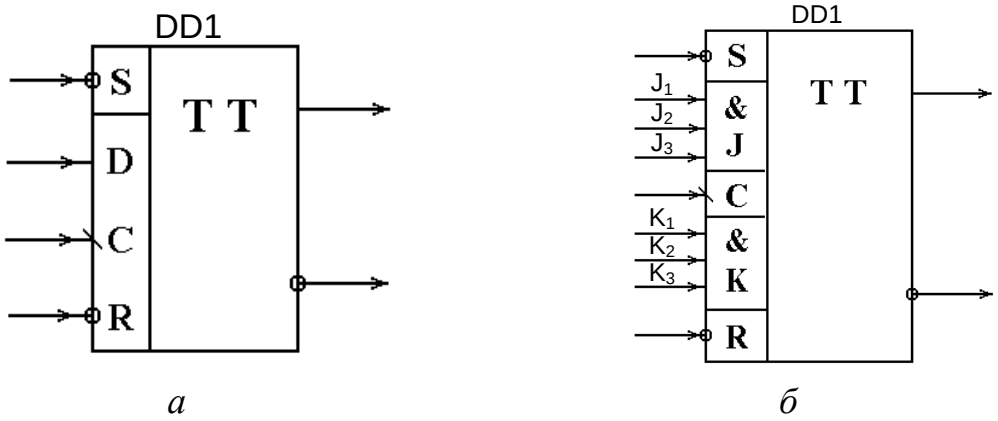


Рис. 13.13. Тригери у інтегральному виконанні:
а – мікросхема К555 ТМ2; *б* – мікросхема К555 ТВ1

Мікросхема К555 ТМ2 включає два *D*-тригери с додатковими *S* і *R* входами для асинхронного встановлення схеми у початковий стан (рис. 13.13, *а*). Активними сигналами на *S* і *R*-входах постають низькі рівні напруг (логічні нулі).

Мікросхема К555 ТВ1 (рис. 13.13, б) містить один *JK*-тригер, який включає два асинхронних *R* і *S*-входи для установлення схеми у початковий стан і два додаткових тривходових кон'юнктори, які включено на *J* і *K* входах.

Додаткові елементи І (кон'юнктори) реалізують логічні функції

$$J = J1 * J2 * J3,$$

$$K = K1 * K2 * K3.$$

Це розширює можливості *JK*-тригера, наприклад, спрощує побудову на подібних мікросхемах синхронних лічильників.

13.3. Регістри

Регістрами називають послідовні цифрові пристрої, призначені для запам'ятовування багаторозрядних цифрових кодів і виконання над ними деяких логічних перетворень. Основу регістрів складають тригери, кількість яких дорівнює кількості розрядів цифрового коду. Один тригер зберігає 1 біт інформації (один двійковий розряд), відповідно *N*-розрядний регістр спроможний зберігати *N* біт інформації. Крім тригерів, регістри містять допоміжні схеми, що забезпечують прийом коду в регістр, видачу коду з

регістра, зсув коду вправо, або вліво на необхідну кількість розрядів, перетворення паралельного коду в послідовний і навпаки, виконання над окремими розрядами регістра логічних операцій, наприклад, І, АБО, ВИКЛЮЧНЕ АБО, установлення регістра в початковий стан («СКИДАННЯ») і т. ін.

Залежно від способу введення і виведення розрядів двійкового числа, регістри поділяються на :

– паралельні;
– послідовні;
– послідовно-паралельні;
– паралельно-послідовні.

Паралельні регістри

У таких регістрах введення і виведення інформації здійснюється в паралельній формі – одночасно усіх розрядів.

Залежно від кількості вхідних і вихідних каналів, паралельні регістри поділяються на <u>однофазні</u> (кожний розряд передається по одному каналу в прямому коді) і <u>парафазні</u> (розряди передаються двома каналами в прямому та інверсному кодах).

На рис. 13.14 показано приклад двох паралельних регістрів РГ1, РГ2 з парафазним введенням–виведенням, виконаних на однотактних синхронних *RSC*-тригерах.

Під час парафазного обміну інформацією на *R, S* входах будь-якого тригера завжди присутня комбінація сигналів $x_i=1$, $\bar{x}_i=0$, або $x_i=0$, $\bar{x}_i=1$, що встановлює його в необхідний стан незалежно від того, у якому стані цей тригер знаходився до цього. Тому встановлювати регістр у початковий стан не потрібно.

Під дією сигналу ПРМ РГ1 (прийом до регістра 1) *N*-розрядний код записується в регістр РГ1, а сигналом ПД РГ2 (передача до регістра 2) – передається в РГ2.

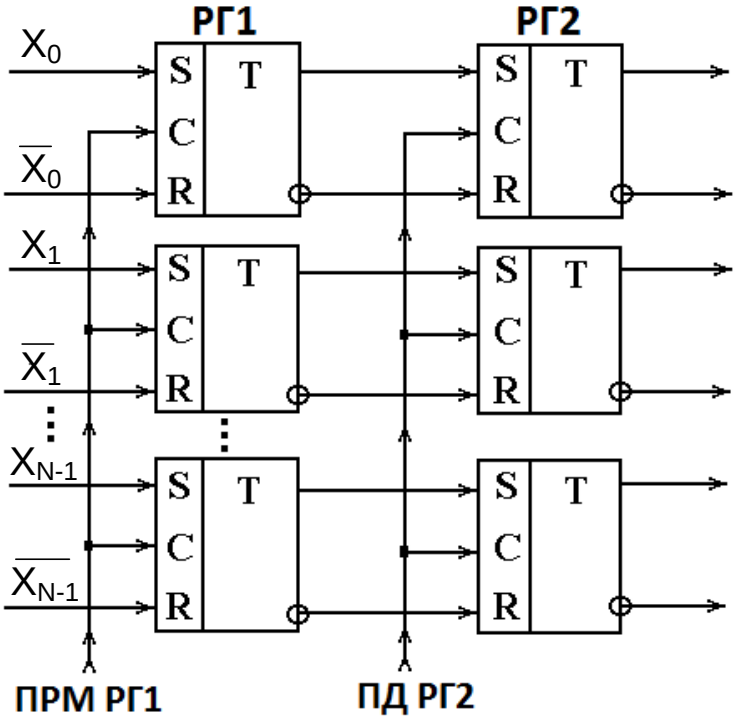


Рис. 13.14. Схема регістрів з парафазним введенням–виведенням

На рис. 13.15 показано паралельний регістр з однофазним обміном інформацією, який виконаний на асинхронних *RS*-тригерах і кон'юнкторах.

Завдяки тому, що інформаційні сигнали, що надходять тільки на *S*-входи, не можуть скинути відповідні тригери в нульовий стан (через що число може бути записане з помилкою), перед записом усі тригери регістра переключаються у нульовий стан сигналом «СКИДАННЯ».

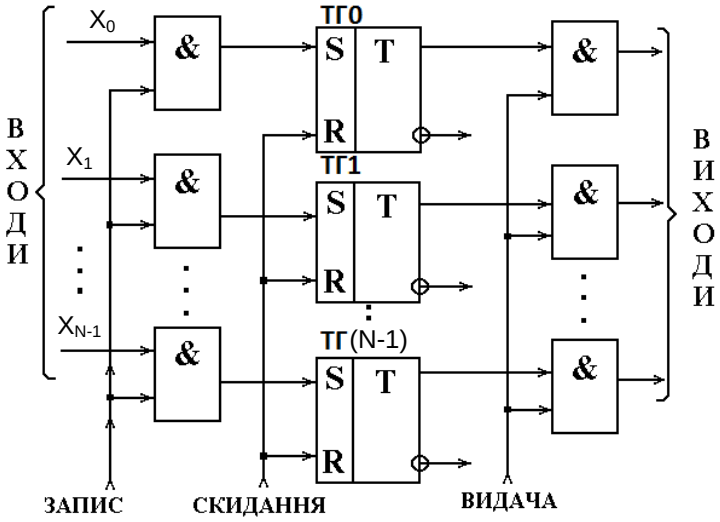


Рис. 13.15. Схема регістра на *RS*-тригерах з однофазним введенням–виведенням

Слід зазначити, що ця особливість характерна тільки для регістрів з однофазним записом, виконаних на *RS*-тригерах. Якщо як елемент пам'яті використовувати *D*-тригери, то їх попереднє скидання у нульовий стан під час однофазного запису не потрібне (рис. 13.16).

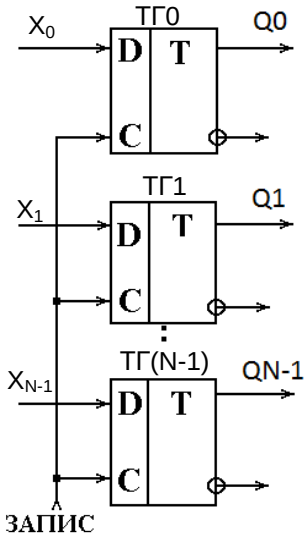


Рис. 13.16. Схема регістра на *D*-тригерах із однофазним введенням

Послідовні регістри

У таких регістрах тригери з'єднано послідовно і число вводиться і виводиться послідовно розряд за розрядом (рис. 13.17).

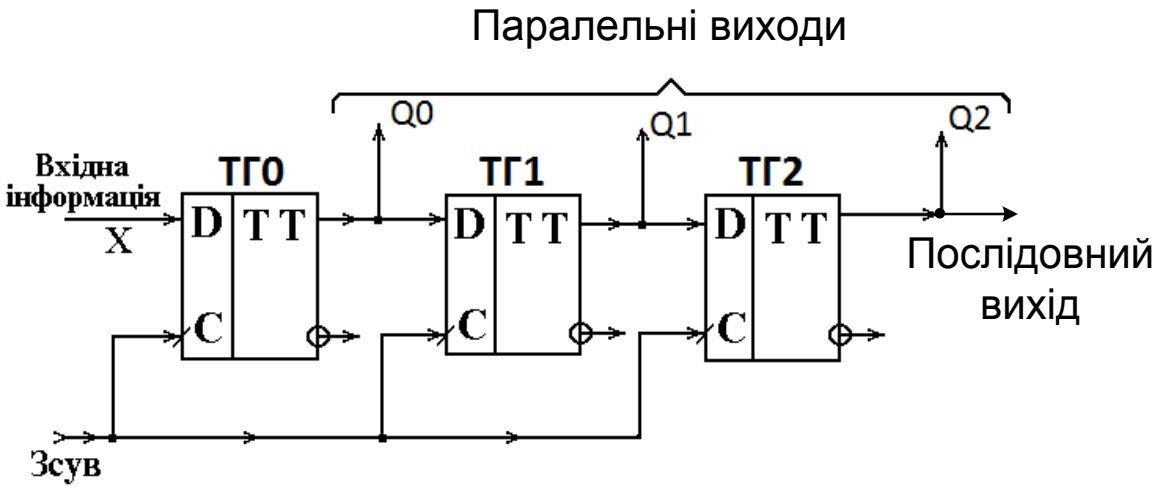


Рис. 13.17. Схема послідовного регістра

Наведений у прикладі послідовний регістр виконано на *D*-тригерах. Число, що в нього записується, надходить на один спільний інформаційний

вхід X в послідовному коді (значення розрядів передаються послідовно один за одним). Під час надходження першого імпульсу зсуву на синхровходи C в кожний тригер записується значення логічного сигналу на його D-вході:

$$Q0^{t+1} = X;\ Q1^{t+1} = Q0^{t};\ Q2^{t+1} = Q1^{t}.$$

Ця інформація зберігається до надходження наступного імпульсу зсуву, після чого записаний перед цим код зсунеться вправо на один розряд, а в тригер ТГ0 запишеться нове значення вхідного інформаційного сигналу. Третій імпульс зсуву знову зсуне вміст регістра вправо на один розряд і запише в ТГ0 вхідний інформаційний біт.

Сказане ілюструють часові діаграми роботи, на яких припускається, що усі тригери регістра знаходяться в нульовому початковому стані (рис. 13.18).

Аналізуючи роботу послідовного регістра (рис. 13.17, 13.18) можна відзначити наступне:

1) число 101, що надійшло на вхід X регістра, після третього імпульсу на вході C опиняється записаним у розрядах тригера: $Q2$ =1, $Q1$ =0, $Q0$ =1. У загальному випадку, N-розрядний регістр заповнюється N-розрядним числом за N тактових імпульсів;
2) послідовний код, що надійшов на вхід X, перетвориться в регістрі в паралельний код і записане число може бути прочитано з виходів тригерів $Q2$, $Q1$, $Q0$ паралельно (одночасно);
3) з надходженням кожного тактового імпульсу на вхід C, записана в регістр інформація зсувається (рух відбувається від входу до виходу), тому послідовний регістр називається регістром, що зсуває (регістром зсуву);
4) інформацію, що записано в послідовний регістр, може бути зчитано з його виходу також в послідовному коді. Для цього після запису даних у регістр необхідно знову подавати тактові імпульси на вхід C. Число порозрядно буде з’являтися на послідовному виході, звідки може прийматися пристроєм, що зчитує інформацію.

Послідовний регістр здійснює не тільки запис і зберігання інформації, але й перетворення форми її представлення.

Регістри зсуву

Ці регістри відносяться до послідовних регістрів і широко застосовуються в мікропроцесорах, МК, пристроях керування для зсуву записаної в них інформації вліво і вправо на задану кількість розрядів. Зсув

кодів може використовуватися під час виконання операцій множення і ділення.

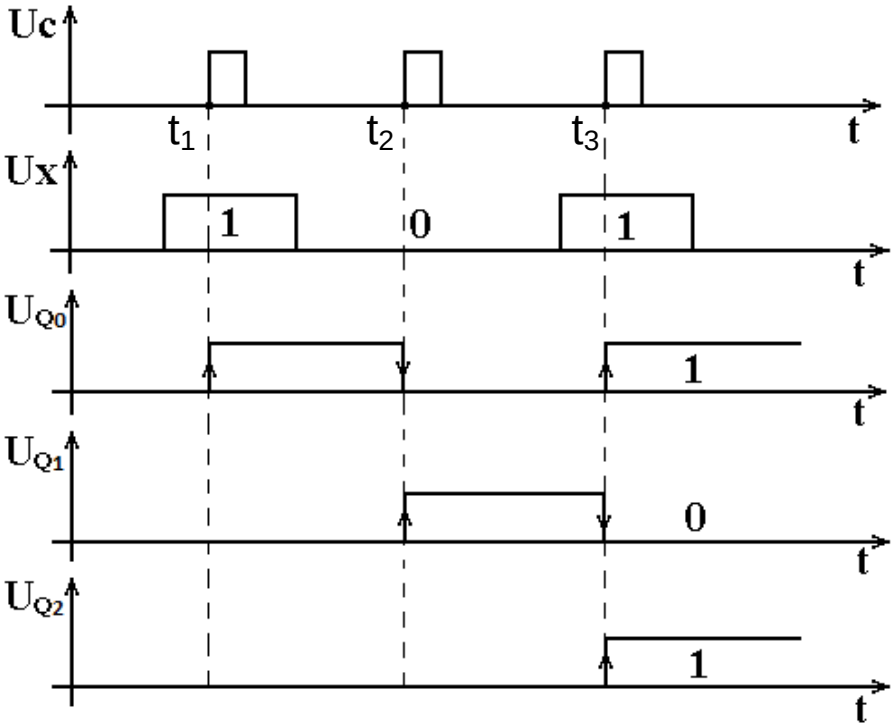


Рис. 13.18. Часові діаграми роботи послідовного регістра (регістра зсуву)

Відомо, що зсув двійкового числа вліво на один розряд під час запису нуля у нульовий розряд еквівалентний множенню на два, а зсув вправо на один розряд під час запису нуля у старший розряд – діленню на два. У цьому разі розряди, що виходять за межі розрядної сітки, губляться, а у вхідні розряди, що звільнилися в процесі зсуву, записуються нулі.

Такі зсуви називають логічними. Вони використовуються для множення (зсув вліво) і ділення (зсув вправо) на два чисел без знака. На рис. 13.19 наведено схему трирозрядного регістра зсуву на двотактних *D*-тригерах, що містять *S*-входи для асинхронного запису вхідного двійкового числа (a_0 – МЗР ДВК, а a_2 – СЗР ДВК).

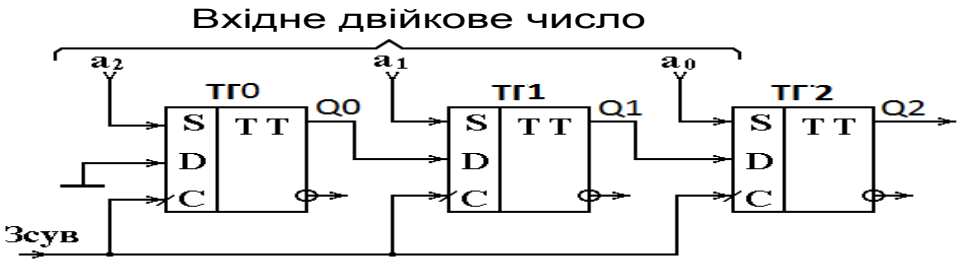


Рис. 13.19. Схема регістра зсуву вправо

Якщо, наприклад, записати в регістр двійкове число 110 і подати на *C* вхід один імпульс зсуву, то після цього схема займе стан: $Q0 = 0$, $Q1 = Q2 = 1$, що відповідає числу 3. Тобто сталося ділення вхідного числа шість на два (відбувся зсув вправо на один розряд).

Якщо з'єднати вихід крайнього правого розряду регістра з входом крайнього лівого розряду, то одержимо схему кільцевого (циклічного) регістра зсуву.

Послідовно-паралельні і паралельно-послідовні регістри

Ці пристрої виконуються на основі послідовного регістра, доповненого відповідною логікою, і призначені для перетворення послідовного коду в паралельний і навпаки.

У послідовно-паралельний регістр інформація записується в послідовному багаторозрядному коді, а потім паралельно зчитується з усіх розрядів сигналом керування.

У паралельно-послідовний регістр дані записуються паралельно в усі розряди, а зчитування інформації здійснюється у послідовній формі розряд за розрядом.

Регістри у інтегральному виконанні

У сучасних серіях ІМС широко подано різноманітні регістри [17]. Розглянемо, як приклад, один із них – К555ИР1, який є чотирирозрядним універсальним регістром (рис. 13.20).

Ця мікросхема містить чотири *D*-тригери, які тактуються перепадом з одиниці в нуль та з'єднані послідовно за допомогою елементів І–АБО (рис. 13.20, *в*). Якщо на вхід *V* регістра подано сигнал «нуль», то вихід кожного попереднього тригера через елемент І–АБО з'єднується з *D*-входом наступного. У цьому разі імпульси, що приходять на тактовий вхід *C*2, будуть щоразу встановлювати наступний тригер у стан, в якому до цього знаходився попередній. Вхід І регістра, який підключено до *D*-входу першого тригера, служить для прийому інформації в послідовному коді. Перед надходженням чергового імпульсу на тактовий вхід на вхід І повинне подаватись нове значення вхідного двійкового розряду. Після прийому чотирьох біт послідовного коду відповідний йому паралельний код може бути отримано з виходів тригерів *Q*0...*Q*3.

Запис до регістра інформації в паралельній формі відбувається з входів *D*0...*D*3 за подачею тактового імпульсу на вхід *C*1 і значенні керувального сигналу $V = 1$. Встановлюючи $V = 0$ і подаючи тактові імпульси

на вхід *C*2, можна виконати зсув записаного коду. У цьому разі з виходу *Q*3 знімається послідовний ДВК.

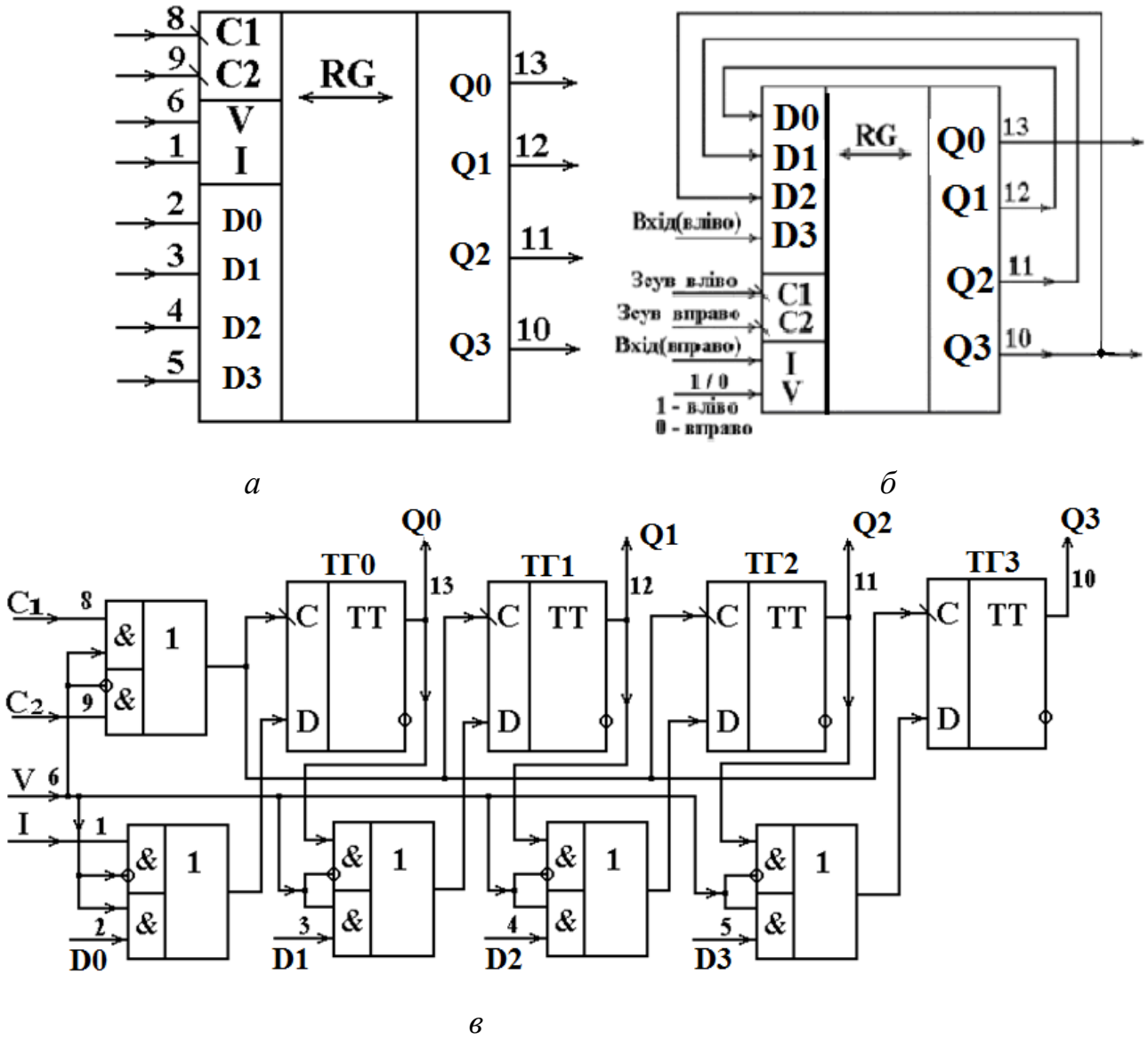


Рис. 13.20. Регістр К555 ИР1: *а* – позначення на схемах; *б* – реалізація схеми реверсивного регістра; *в* – функціональна схема

Розглянуті регістри можуть використовуватись для зсуву інформації як вправо, так і вліво (як реверсивні). Для цього необхідно попарно з'єднати виводи *Q*3 і *D*2; *Q*2 і *D*1; *Q*1 і *D*0 (рис. 13.20, *б*). Вхід *V* в цьому випадку грає роль перемикача напрямку зсуву. Якщо *V* = 0 під час надходження сигналів синхронізації на вхід *C*2, послідовний код подається на вхід I і виконується зсув вправо. Якщо *V* = 1, а послідовний код надходить на вхід *D*3, то синхросигналами на вході *C*1 виконується зсув коду вліво.

13.4. Лічильники

Лічильники – це ПЦЕП, призначені для підрахунку імпульсів, які надходять на їх вхід. У паузах між імпульсами лічильник зберігає у ДВК інформацію про кількість імпульсів, що вже надійшло. Максимальне число, що може бути записано у лічильнику, дорівнює
(2^N–1), де N – число розрядів лічильника. Кожен розряд містить тригер. Найбільш просто лічильники будуються на тригерах з входом, що лічить (T-тригерах).

Проте для їх побудови можуть застосовуватися не тільки T-тригери, але також D- та JK-тригери.

Основним параметром лічильника є коефіцієнт лічення $К_{ЛІЧ}$, обумовлений максимальною кількістю імпульсів, що може бути підраховано. N-розрядний двійковий лічильник може знаходитися в станах 0, 1, 2, ... (2^N–1). Під час надходження на вхід лічильника 2^N-го імпульсу він переходить зі стану (2^N–1) в нульовий стан. Отже, його модуль лічення $К_{ЛІЧ} = 2^N$. Тобто, залежно від кількості розрядів, такий лічильник може підрахувати максимально 2, 4, 8, 16, ..., 2^N одиниць і сформувати на виході сигнал перенесення. Проте в низці випадків потрібно, щоб коефіцієнт лічення відрізнявся від 2^N. Широке поширення отримали, наприклад, десяткові лічильники, для яких $К_{ЛІЧ} = 10$. Такий лічильник після кожного 10-го імпульсу повертається у початковий стан, формуючи при цьому на виході імпульс перенесення. Кількість розрядів лічильника з довільним коефіцієнтом лічення визначається з умови

$$2^{(N-1)} < К_{ЛІЧ} < 2^N, \qquad (13.1)$$

де N – кількість розрядів лічильника.

Вочевидь, для $К_{ЛІЧ} = 10$ необхідна кількість розрядів $N = 4$. Звичайний двійковий чотирирозрядний лічильник має $2^4 = 16$ різноманітних стійких станів. Отже, для $К_{ЛІЧ} = 10$ є $N = 16 - 10 = 6$ зайвих станів, які необхідно виключити.

Крім значення коефіцієнта лічення лічильники можна класифікувати ще за рядом ознак.

Залежно від напрямку лічення розрізняють:

– лічильники, що підсумовують (лічення відбувається у прямому напрямку);
– лічильники, що віднімають (лічення відбувається у зворотному напрямку);

– реверсивні лічильники (з прямим і зворотним лічінням).

За способом організації схеми перенесення розрізняють лічильники з:

– послідовним;

– паралельним (наскрізним);

– паралельно-послідовним перенесенням.

Залежно від особливостей переключення окремих тригерів лічильники поділяються на:

– асинхронні;

– синхронні.

Асинхронний двійковий лічильник, що підсумовує, з послідовним перенесенням

Як приклад розглянемо трирозрядний лічильник, який виконано на двотактних *T*-тригерах із додатковим *R*-входом для асинхронного установлення нульового початкового стану (УПС) (рис. 13.21).

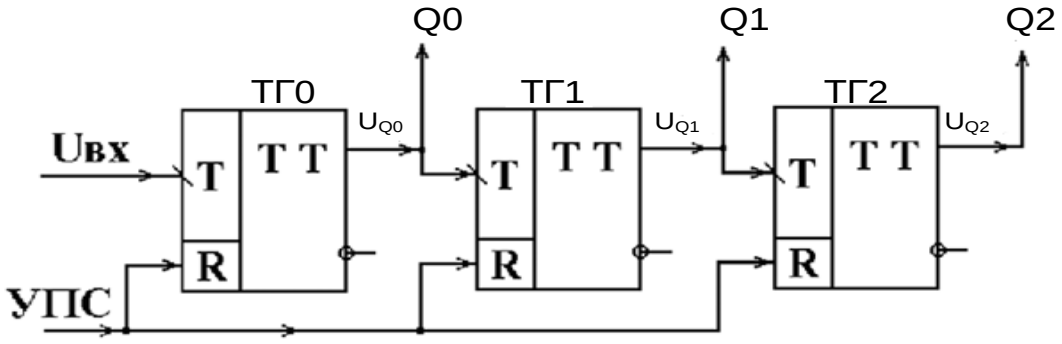


Рис. 13.21. Схема трирозрядного лічильника, що підсумовує

Подачею одиничного сигналу на вхід установлення початкового стану (УПС) усі тригери встановлюються у початковий нульовий стан. Зрізом кожного вхідного імпульсу переключається тригер молодшого розряду ТГ0. Зрізом сигналів U_{Q0} переключається тригер першого розряду ТГ1. Зріз імпульсів на виході U_{Q1} викликає переключення тригера другого розряду ТГ2.

На рис. 13.22 показано часові діаграми роботи схеми.

Аналізуючи часові діаграми, можна зробити такі висновки:

1) частота імпульсів на виході кожного тригера вдвічі менше частоти імпульсів на його вході. *N*-розрядний лічильник ділить частоту вхідних імпульсів у 2^N разів. З найбільшою частотою, яка дорівнює частоті вхідних імпульсів, переключається вхідний тригер лічильника;

2) у момент, що передує переключенню чергового тригера, усі попередні розряди лічильника знаходяться в одиничному стані;

3) восьмий імпульс для трирозрядного лічильника (рис. 13.21, 13.22) є імпульсом переповнення, яким усі тригери скидаються в нуль (лічильник «обнуляється»). Дев'ятим імпульсом лічильник знову починає заповнюватись;

4) максимальна кількість імпульсів, що може зафіксувати схема, дорівнює (2^N – 1). У нашому прикладі $N = 3$ і лічильник може зафіксувати 7, а порахувати не більш 8 імпульсів.

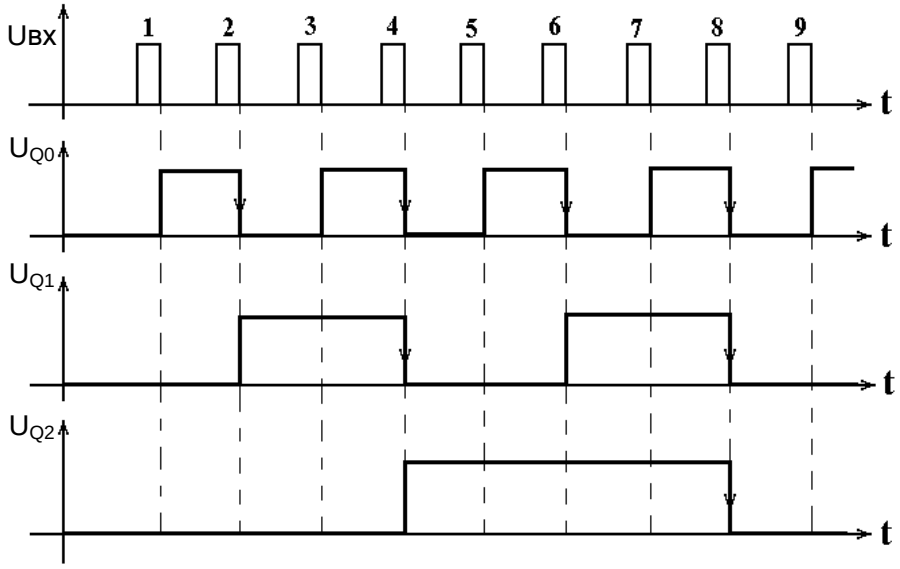


Рис. 13.22. Часові діаграми роботи лічильника, що підсумовує

Роботу лічильника відбиває табл. 13.4.

Таблиця 13.4. Робота трирозрядного лічильника, що підсумовує

Номер імпульсу	*Q*2	*Q*1	*Q*0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0

Неважко помітити, що стан розрядів являє собою запис у ДВК кількості імпульсів, що надійшло на вхід.

У розглянутому лічильнику кожен наступний розряд переключається сигналом перенесення, який формується на виході попереднього розряду, тому схема називається лічильником із послідовним перенесенням. Переключення окремих тригерів відбувається послідовно один за одним (неодночасно, асинхронно), тому такий лічильник називається асинхронним.

Асинхронний двійковий лічильник, що віднімає, із послідовним перенесенням

Лічильник, що працює на віднімання, будується аналогічно лічильнику, що підсумовує, розглянутому вище. Відмінність складається лише в тому, що на *T*-вхід тригера *i*-го розряду (*i* =0, 1, 2, 3, ... (*N* – 1), де *N* – число розрядів лічильника) подається сигнал з інверсного виходу попереднього розряду, тобто $\overline{Q_{i-1}}$ (рис. 13.23).

T-тригери, на яких виконана аналізована схема, переключаються перепадом сигналу з одиниці у нуль на *T*-вході. Це означає, що переключення тригера *i*-го розряду буде відбуватися зрізом імпульсу $\overline{Q_{i-1}}$, тобто фронтом *Qi* – 1. Роботу лічильника, що віднімає, відбиває табл. 13.5. На початку роботи подачею одиничних сигналів на *S*-входи тригерів встановлюється початковий стан лічильника *Q*0 = *Q*1 = *Q*2 = 1.

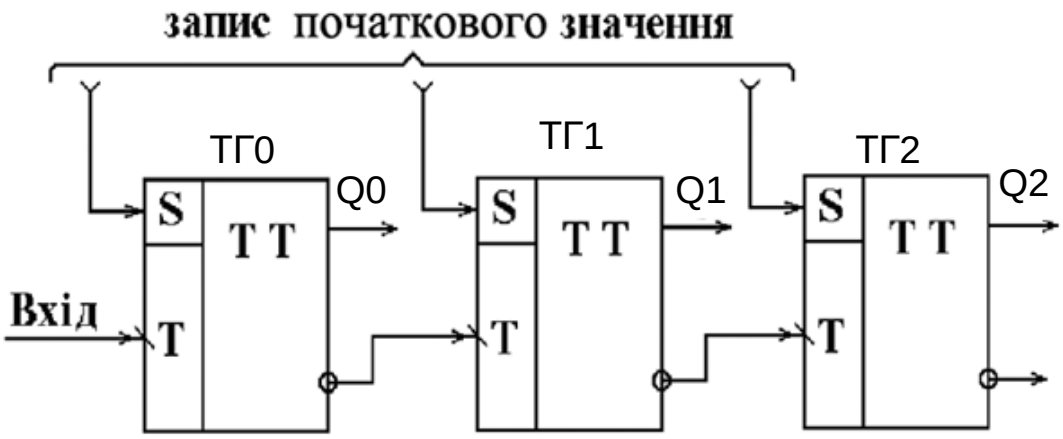


Рис. 13.23. Схема асинхронного трирозрядного лічильника, що віднімає

Кожним вхідним імпульсом число, яке записано в лічильник, зменшується на одиницю. Стани розрядів лічильника являють собою двійковий запис чисел, що лінійно убувають. Варто звернути увагу, що якщо

у разі надходження чергового імпульсу в лічильнику записано нулі, то наступним станом схеми будуть всі одиниці.

Таблиця 13.5. Робота асинхронного трирозрядного лічильника, що віднімає

Номер імпульсу	*Q*2	*Q*1	*Q*0
0	1	1	1
1	1	1	0
2	1	0	1
3	1	0	0
4	0	1	1
5	0	1	0
6	0	0	1
7	0	0	0
8	1	1	1

Асинхронний реверсивний двійковий лічильник з послідовним перенесенням

Часто виникає необхідність, щоб лічильники мали можливість виконувати додавання або віднімання, тобто були реверсивними.

У таких лічильниках об’єднуються схеми лічильників, які підсумовують і віднімають. Реверсивні лічильники можуть мати два або один входи для подачі сигналів, які підраховуються.

Нижче показано схему реверсивного асинхронного лічильника, який має один вхід для подачі сигналів, що підраховуються (рис. 13.24).

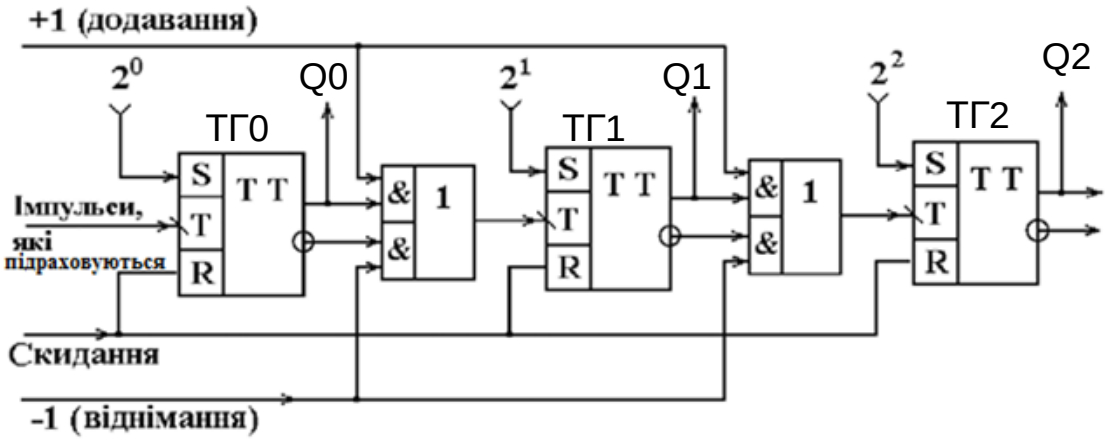


Рис. 13.24. Схема асинхронного трирозрядного реверсивного лічильника

Одиничним керувальним сигналом на вході «+1» або «–1» лічильник налаштовується на роботу в режимі додавання (на вході «+1» – одиниця, а на

вході «–1» – нуль) або в режимі віднімання (на вході «+1» – нуль, а на вході «–1» – одиниця).

Асинхронні лічильники мають просту структуру, але мають певні недоліки:

1) схема має порівняно низьку швидкодію, тому що під час надходження кожного імпульсу, що підраховуються, тригери переключаються послідовно і до *i*-го розряду сигнал, що переключає, проходить через (i – 1) попередніх. Тому інтервал між сусідніми вхідними імпульсами повинен перевищувати $t_{ПЕР} \cdot (N - 1)$, де $t_{ПЕР}$ – час переключення одного тригера, а N – число розрядів лічильника;
2) у ході переключення молодші розряди займають вже нові стани, у той час як старші ще знаходяться в старому. Таким чином, під час зміни одного числа іншим лічильник проходить низку проміжних станів, кожен з який може бути помилково прийнятим за ДВК числа імпульсів, що прийшли на вхід схеми.

Якщо для пристрою, до складу якого входить лічильник, відзначені недоліки є істотними, використовують синхронні лічильники.

Синхронний лічильник з наскрізним перенесенням

У таких лічильниках стан тригерів змінюється одночасно під дією сигналів синхронізації на входах усіх тригерів.

На рис. 13.25 наведено синхронний лічильник, що підсумовує, виконаний на *JK*-тригерах.

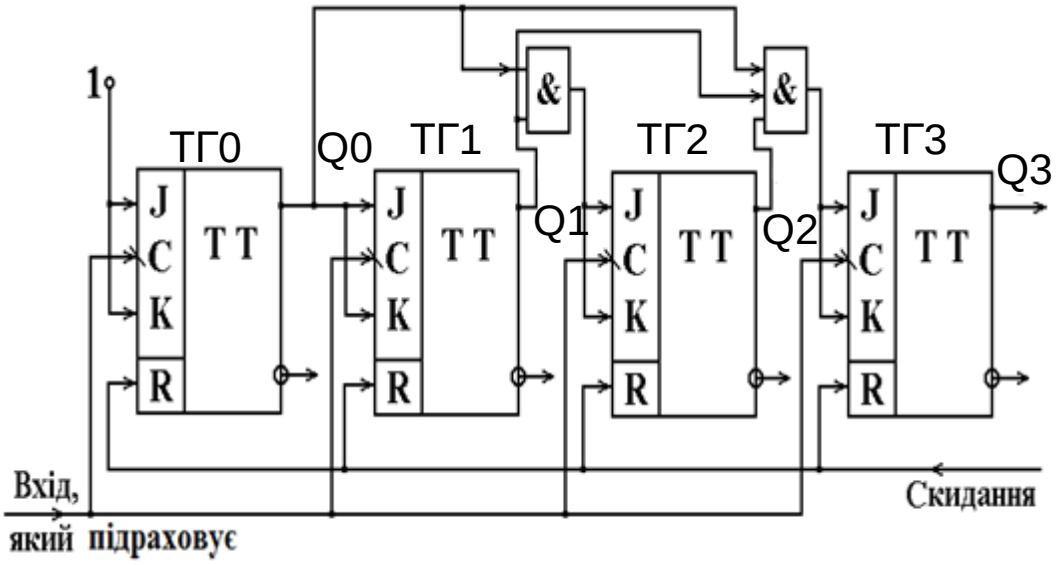


Рис. 13.25. Схема синхронного лічильника, що підсумовує

У схемі за допомогою кон’юнкторів організовано так зване наскрізне (паралельне) перенесення. Його ідея полягає в тому, що сигнал перенесення

надходить на *J*-, *K*-входи наступних тригерів лише в тому випадку, якщо попередні знаходяться в стані одиниця.

Тригер ТГ0 переключається кожним імпульсом, який підраховується, тому що на його *J* і *K*-входах постійно подається одиниця. Інші тригери переключаються імпульсами, які підраховуються, за таких умов: ТГ1 – за $Q0 = 1$; ТГ2 – за $Q0 = 1$; $Q1 = 1$; ТГ3 – за $Q0 = 1$; $Q1 = 1$; $Q2 = 1$.

Недоліком описаного лічильника є необхідність мати кон'юнктори з великою кількістю входів, кількість яких зростає зі збільшенням числа розрядів. Якщо число розрядів синхронного лічильника не перевищує чотири, то схему можна реалізувати без зовнішніх кон'юнкторів, використовуючи *JK*-тригери з вхідною логікою І.

Нижче показано схему синхронного лічильника, що підсумовує, без зовнішніх кон'юнкторів, у якого число розрядів дорівнює 3 (рис. 13.26).

Аналогічно може бути побудовано синхронний лічильник, що віднімає, із наскрізним перенесенням (рис. 13.27).

Реверсивний синхронний лічильник із наскрізним перенесенням приведено на рис. 13.28.

Схема містить одне джерело сигналів, які підраховуються, і два керувальних входи для переключення лічильника на додавання (+1), або віднімання (–1). На виході лічильника, позначеному «>7», одиничний сигнал з'являється під час надходження сьомого імпульсу і переході лічильника в стан, у якому всі тригери установлено в одиницю. Наступним восьмим імпульсом на цьому виході з'являється сигнал перенесення у наступний розряд у вигляді переходу з одиниці в нуль.

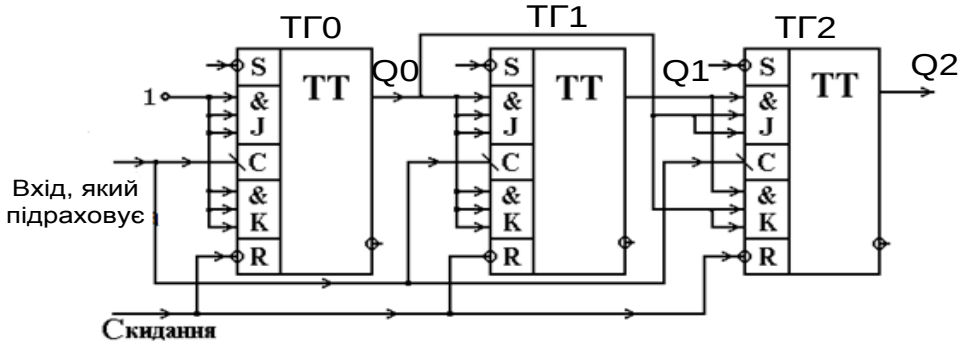


Рис. 13.26. Схема синхронного лічильника, що підсумовує, на *JK*-тригерах

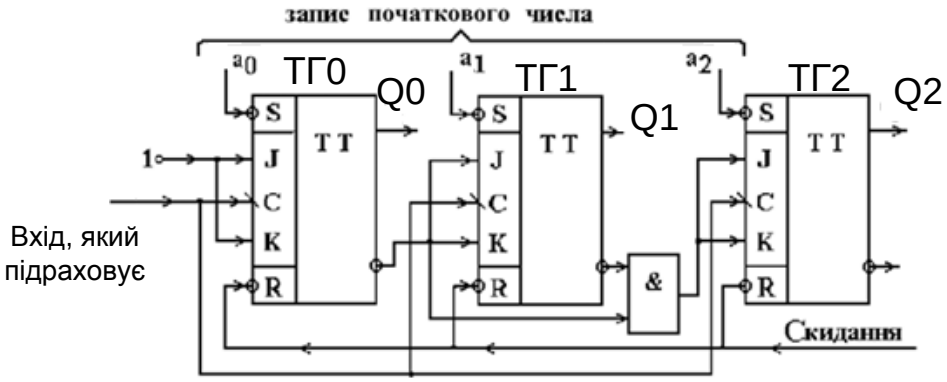


Рис. 13.27. Схема синхронного лічильника, що віднімає, на *JK*-тригерах

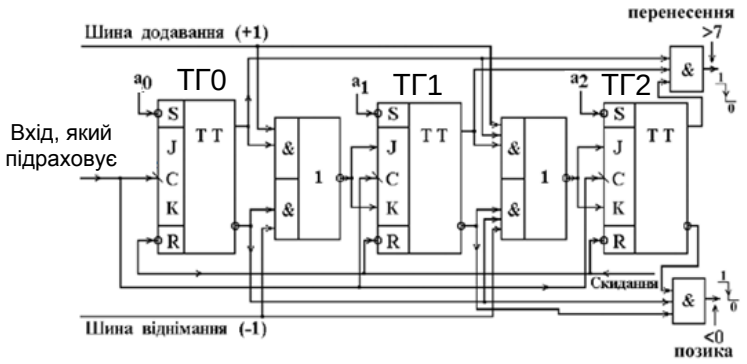


Рис. 13.28. Схема синхронного реверсивного лічильника на *JK*-тригерах

На виході, позначеному «<0», одиничний сигнал з’являється під час встановлення всіх тригерів у нульовий стан і надходженні чергового імпульсу, що віднімає. У цьому разі всі тригери встановлюються в одиницю, а на виході «<0» з’являється сигнал позики у вигляді переходу з одиниці в нуль.

Десяткові лічильники

Як відзначалося раніше, у двійкових лічильниках коефіцієнт лічення, тобто кількість різноманітних стійких станів, дорівнює 2^N, де N – кількість розрядів. Проте в ряді випадків потрібно, щоб коефіцієнт лічення лічильника був відмінним від цього значення. Широке поширення одержали, наприклад, десяткові лічильники, для яких $К_{ЛІЧ}$ = 10. Такий лічильник після кожного десятого імпульсу повертається у початковий стан, формуючи при цьому на виході імпульс перенесення. Розрядність лічильника з довільним коефіцієнтом лічення (не рівним 2^N) визначається з умови (13.1).

На рис. 13.29 зображено функціональну схему, а в табл. 13.6 наведено стани десяткового лічильника із ЗЗ.

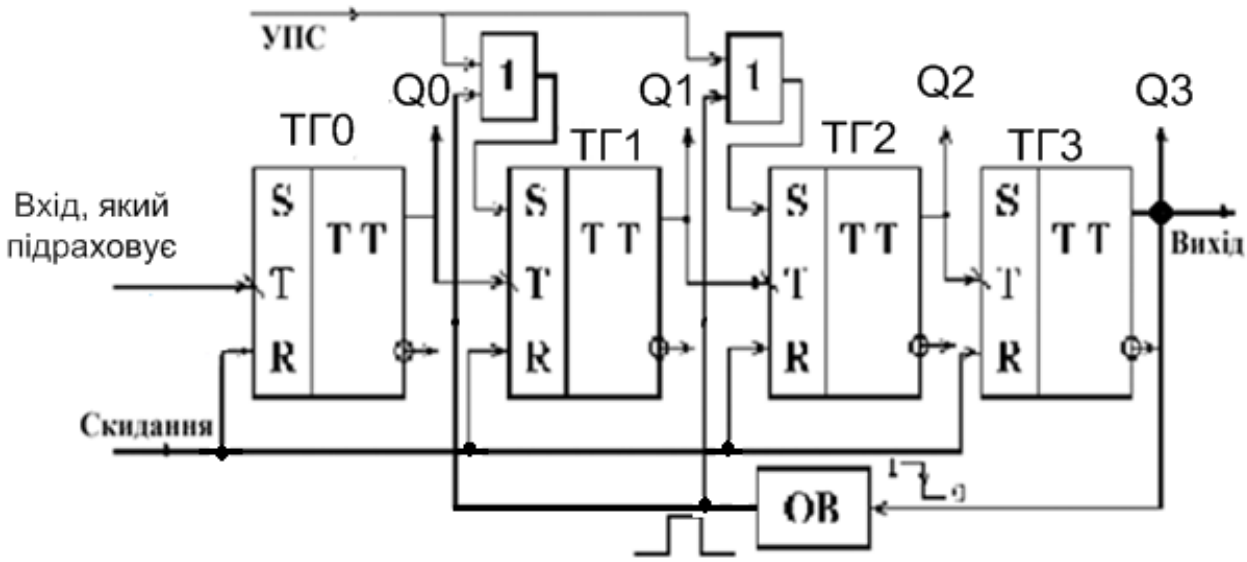


Рис. 13.29. Функціональна схема десяткового лічильника із ЗЗ

Очевидно, що для $К_{ЛІЧ}$ = 10 потрібна кількість розрядів N = 4. Оскільки двійковий чотирирозрядний лічильник має 16 різноманітних стійких станів, то для реалізації схеми з $К_{ЛІЧ}$ = 10 необхідно виключити N = 16–10 = 6 надлишкових станів. Це можна здійснити шляхом введення ЗЗ з виходу лічильника на одиничні входи тригерів тих розрядів, що у двійковому представленні числа N містять одиниці. Так, для $N = 6_{10} = 0110_2$ сигнал ЗЗ варто подати на одиничні входи тригерів першого та другого розрядів.

Таблиця 13.6. Робота десяткового лічильника із ЗЗ

Номер імпульсу	Стан тригерів				Номер імпульсу	Стан тригерів			
	*Q*3	*Q*2	*Q*1	*Q*0		*Q*3	*Q*2	*Q*1	*Q*0
0	0	1	1	0	6	1	1	0	0
1	0	1	1	1	7	1	1	0	1
2	1	0	0	0	8	1	1	1	0
3	1	0	0	1	9	1	1	1	1
4	1	0	1	0	10	0	1	1	0
5	1	0	1	1	11	0	1	1	1

Перед початком роботи імпульсом «скидання» лічильник обнуляється, а потім сигналом УПС у тригери ТГ1, ТГ2 записуються одиниці, тобто лічильник встановлюється у початковий стан 0110_2, що відповідає десятковому числу 6. Після приходу дев’ятого імпульсу схема переключиться в стан 1111_2, а потім черговий (десятий) імпульс формує на виході (*Q*3) сигнал перенесення (перепад з одиниці в нуль). Цим сигналом

запускається ОВ, що формує короткий одиничний імпульс, щодо приходу чергового імпульсу, який підраховується, знову встановить лічильник у початковий стан 0110_2.

Далі описаний процес повторюється і лічильник має 10 стійких станів ($К_{ЛІЧ}$ = 10) і формує на виході сигнал перенесення після надходження кожного 10-го імпульсу.

Розглянуту схему (рис. 13.29) можна спростити без зміни логіки її функціонування. Замість ОВ і двох диз'юнкторів вводиться один чотиривходовий кон'юнктор (рис. 13.30), що забезпечує установлення лічильника в стан 0110_2 на початку роботи і під час надходження 10-го імпульсу, коли всі тригери переключаються в нульовий стан.

Є ще низка способів вилучення надлишкових станів, наприклад, використовуючи примусове встановлення схеми у нульовий стан у разі досягнення лічильником стану, рівного 10.

Схему десяткового лічильника, яку побудовано за описаним способом, зображено на рис. 13.31.

Перед початком підрахунку сигналом УПС усі тригери лічильника встановлюються у початковий нульовий стан. Під час надходження на вхід, який підраховує, десяти імпульсів на виходах *Q*1 і *Q*3 встановляться одиниці, завдяки чому одиничним сигналом з виходу кон'юнктора всі тригери знову буде скинуто в нуль. У цьому разі на виході лічильника *Q*3 вперше з'явиться сигнал перенесення (перехід з одиниці в нуль), що свідчить про те, що на вхід лічильника прийшло десять імпульсів. Далі описаний процес повторюється.

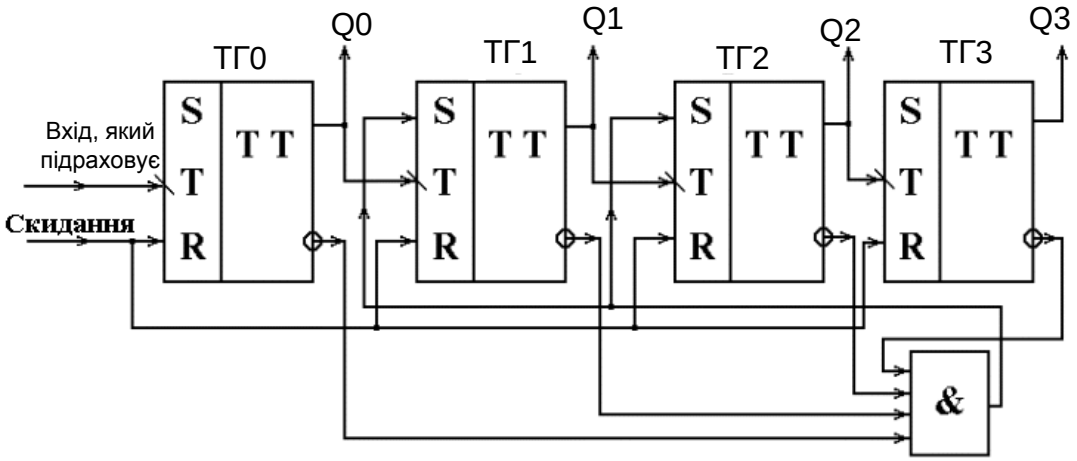


Рис. 13.30. Схема десяткового лічильника з кон'юнктором

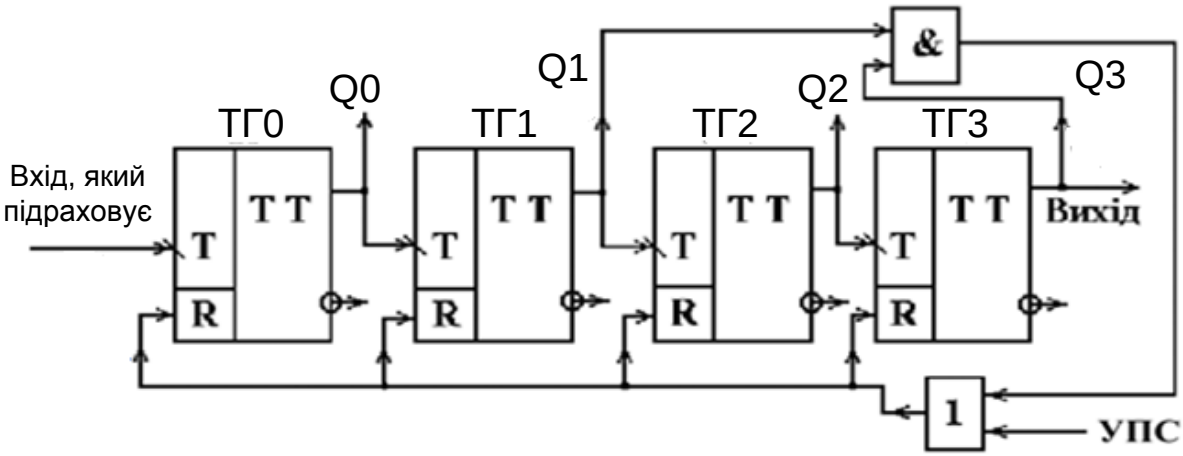


Рис. 13.31. Схема десяткового лічильника з примусовим встановленням схеми у нульовий стан під час досягнення лічильником стану, рівного 10

Лічильники в інтегральному виконанні

У різноманітних серіях ІМС широко подано лічильники [17]. Як приклад розглянемо ІМС К555ИЕ7, котра являє собою двійковий чотирирозрядний реверсивний лічильник (рис. 13.32).

Мікросхема містить два входи для імпульсів, які підраховуються. Якщо лічильник працює як лічильник, що підсумовує, то імпульси, які підраховуються, подаються на вхід «*C*+», а якщо як лічильник, що віднімає, то на «*C*–», причому на невикористаному вході, який підраховує, повинна бути напруга високого рівня. Як черговий імпульс, який підраховується, на одному з входів «*C*+» або «*C*–» сприймається фронт одиничного імпульсу (перехід з нуля в одиницю).

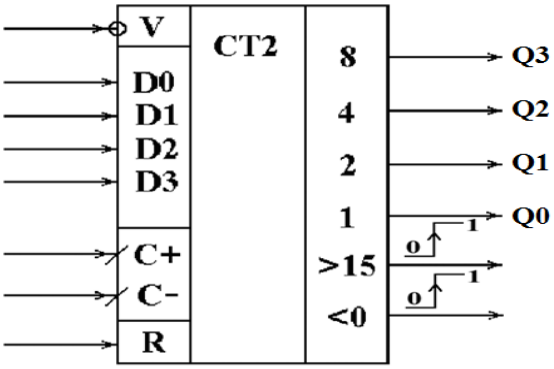


Рис. 13.32. Позначення ІМС К555ИЕ7

Лічильник містить асинхронний вхід скидання в нуль *R* і входи для паралельного запису початкової кодової комбінації *D*0...*D*3. Цей запис проводиться у разі наявності нульових сигналів на входах *R* і *V* (завантаження).

На виході «> 15» формується сигнал перенесення під час підсумовування вхідних імпульсів, коли їх кількість перевищує 15, а на виході «< 0» – сигнал позики під час віднімання, коли черговий імпульс на вхід «*C*–» надходить у разі нульового стану лічильника. Ці сигнали являють собою перехід з нуля в одиницю і відповідають на фронт (перехід з нуля в одиницю) одиничних вхідних імпульсів, які підраховується.

Шляхом послідовного з'єднання чотирирозрядних лічильників К555ИЕ7 можна побудувати двійкові реверсивні лічильники з великою кількістю розрядів.

На рис. 13.33 показано приклад побудови восьмирозрядного реверсивного лічильника на двох чотирирозрядних типу К555ИЕ7.

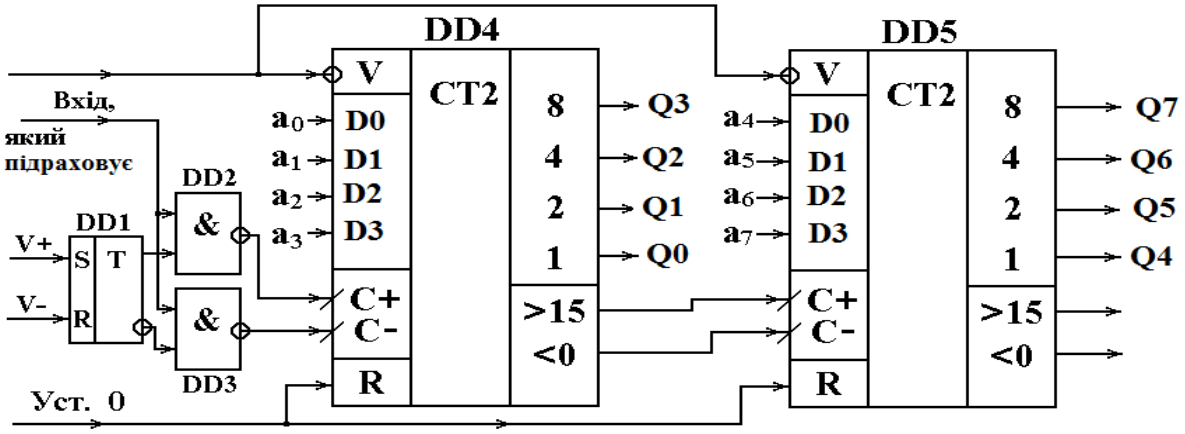


Рис. 13.33. Схема восьмирозрядного реверсивного лічильника

Лічильник містить один вхід, який підраховує, і два сигнали керування «*V*+» і «*V*–», що визначають у якому режимі передбачається використовувати схему – у режимі додавання («*V* +» = 1, «*V* –» = 0), або віднімання («*V* +» = 0, «*V* –» = 1). Для керування мікросхемою К555ИЕ7, що містить два входи «*C*+» і «*C*–», які підраховують, в пристрій включено асинхронний *RS*-тригер (DD1) і два кон'юнктори (DD2, DD3). Під час подачі одиничного сигналу на вхід «*V*+» (за «V–» = 0) *RS*-тригер встановлюється в одиницю й імпульси, які підраховуються, через DD2 надходять на вхід «*C*+» мікросхеми DD4. Під час надходження одиничного сигналу на вхід «*V*–» (за «*V*+» = 0) *RS*-тригер скидається в нуль і імпульси, які підраховуються, через DD3 подаються на вхід «*C*–» мікросхеми DD4. Коли аналізована схема робить підрахунок вхідних імпульсів, то сигнал перенесення (перехід з нуля в одиницю) з'являється на виході «> 15» другої мікросхеми DD5 під час надходження на вхід 256-го імпульсу. Це відбувається за умови, що підрахунок почався з нульового значення.

Сигнал позики на виході «< 0» другої схеми DD5 (перехід з нуля в одиницю) з'являється під час надходження на вхід 256-го імпульсу, що віднімає. Це відбувається за умови, що віднімання починалося з одиничних значень в усіх розрядах. У цьому разі відбувається віднімання з нуля одиниці і всі тригери лічильника знову встановлюються в одиницю.

13.5. Подільники частоти

У подільниках частоти вхідна періодична послідовність імпульсів ділиться на задане число.

Як подільник частоти можна використовувати лічильник, коефіцієнт лічення якого $К_{ЛІЧ}$ визначає число, на яке ділиться частота вхідних імпульсів. Особливість подільника складається в тому, що він має один вихід.

Коефіцієнт ділення $К_{ДІЛ} = К_{ЛІЧ}$ може мати постійне, або змінне значення.

Подільники зі змінним коефіцієнтом ділення (ПДЗКД) може бути побудовано за різноманітними схемотехнічними варіантами. Наприклад з попереднім установленням початкового стану, від якого ведеться підрахунок, до переповнення лічильника, або з установленням заданого проміжного значення, до котрого, починаючи з нульового, ведеться підрахунок вхідних імпульсів, а потім результат скидається і починається новий цикл лічення. Приклади лічильників, працюючих за описаними правилами, розглянуто нижче.

Приклад ПДЗКД, побудованого за першим варіантом (з попереднім установленням початкового стану), наведено на рис. 13.34.

Подільник виконано на основі мікросхеми чотирирозрядного двійково/десяткового реверсивного лічильника К561ИЕ14 (DD2). На входи попереднього установлення *D*0 ... *D*3 подається код, що відповідає кількості «зайвих» станів (2^4 – $К_{ДІЛ}$). Вихід сигналу перенесення *P* з'єднано через інвертор DD3 та диз'юнктор DD1 з керу*юч*им входом *V*.

Переходом з нуля в одиницю на цьому вході число з входів *D*0...*D*3 записується в тригери лічильника. На входи «+/–» і «2/10» подаються одиничні сигнали, що налаштовують ІМС на роботу в режимі двійкового лічильника, що підсумовує. Щоб дозволити підрахунок вхід *P*0 з'єднують з корпусом (нульовим потенціалом). Під впливом вхідних імпульсів на вході *C* лічильник–подільник послідовно проходить стани від початкового, попередньо установленого по входах *D*0...*D*3, до кінцевого, коли він заповнюється одиницями у всіх чотирьох розрядах.

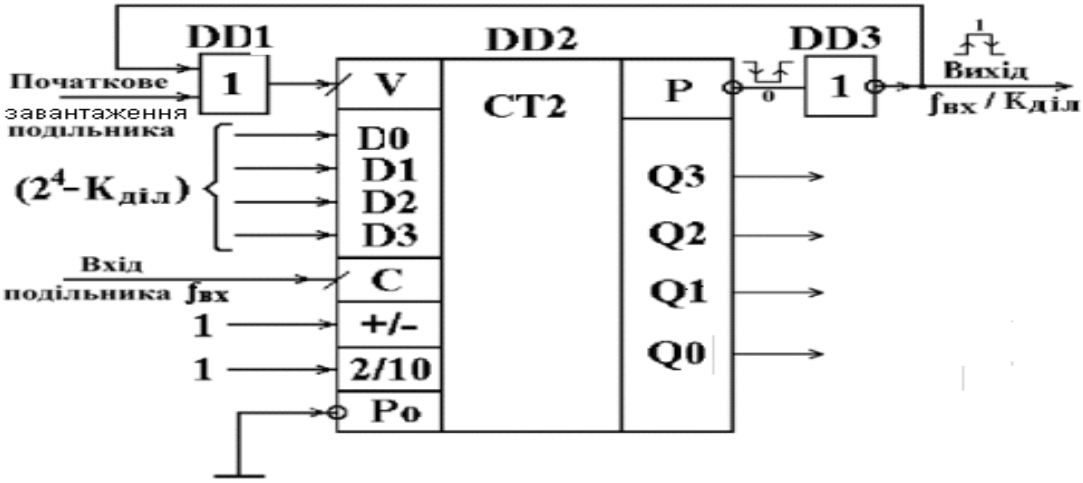


Рис. 13.34. Схема подільника частоти з попереднім установленням початкового стану

Наступним імпульсом після цього схема скидається в нуль і на виході *P* формується сигнал перенесення. Цим сигналом дозволяється запис у лічильник початкового коду і цикл знову повторюється.

З виходу схеми знімається послідовність імпульсів частотою

$$f_{ВИХ} = f_{ВХ} / К_{ДІЛ}.$$

Для розглянутого пристрою $К_{ДІЛ}$ приймає значення від 1 до 16.

На рис. 13.35 наведено приклад подільника, побудованого за другим варіантом.

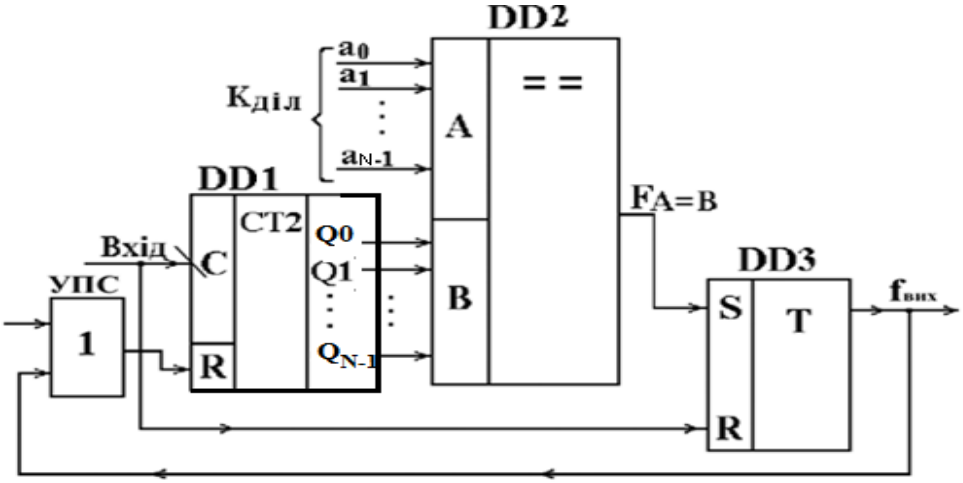


Рис. 13.35. Схема подільника частоти із установленням заданого проміжного стану, до якого ведеться підрахунок

Основу ПДЗКД складає двійковий лічильник (DD1), що починає підрахунок з нульового значення і продовжує роботу до встановленого проміжного стану, рівного необхідному коефіцієнту ділення $К_{ДІЛ}$. Після цього лічильник знову скидається в нуль і починається новий цикл

підрахунку. Для визначення моменту досягнення рівності кодів, що визначають проміжний стан лічильника і значення $К_{ДІЛ}$ у схемі використано цифровий компаратор (DD2). У момент рівності кодів $A = B$ на виході компаратора з'являється логічна одиниця, що скидає лічильник у початковий нульовий стан. Додатковий тригер (DD3) необхідний для усунення можливості збою під час установлення нульового стану DD1 через розкид часових параметрів тригерів лічильника. Одиничним сигналом з виходу компаратора $F_A = B$ тригер встановлюється в одиницю і підтримує на вході R лічильника одиничний сигнал на час, достатній для скидання всіх розрядів DD2. Наступним вхідним імпульсом тригер скидається в нульовий стан. Якщо розкид часових параметрів тригерів лічильника невеликий, то DD3 можна виключити.

Подільник з постійним коефіцієнтом ділення можна побудувати простіше. Для цього компаратор замінюють кон'юнктором, на входи якого подають вихідні сигнали з тих розрядів лічильника, які у кодовій комбінації, що відповідає $К_{ДІЛ}$, мають високий рівень.

Приклад подільника з $К_{ДІЛ} = 9$ показано на рис. 13.36.

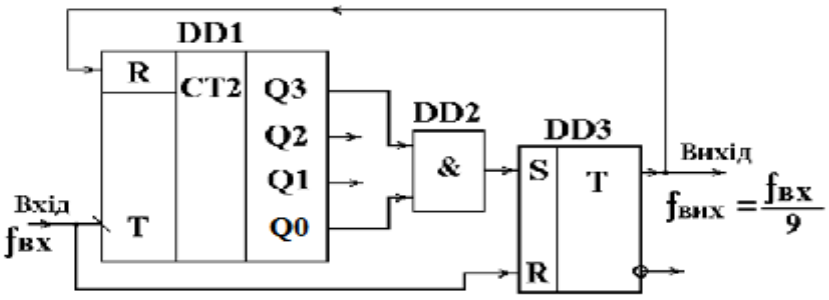


Рис. 13.36. Схема подільника частоти із $К_{ДІЛ} = 9$

13.6. Розподілювачі

Послідовний цифровий пристрій (ПЦП), який послідовно розподіляє по виходам сигнали, які поступають на його вхід, називається розподілювачем.

Нижче показано: функціональну схему розподілювача, виконаного на двійковому лічильнику (DD1) і дешифраторі ДВК (DD2) (рис. 13.37, *а*) і часові діаграми, які пояснюють його роботу (рис. 13.37, *б*).

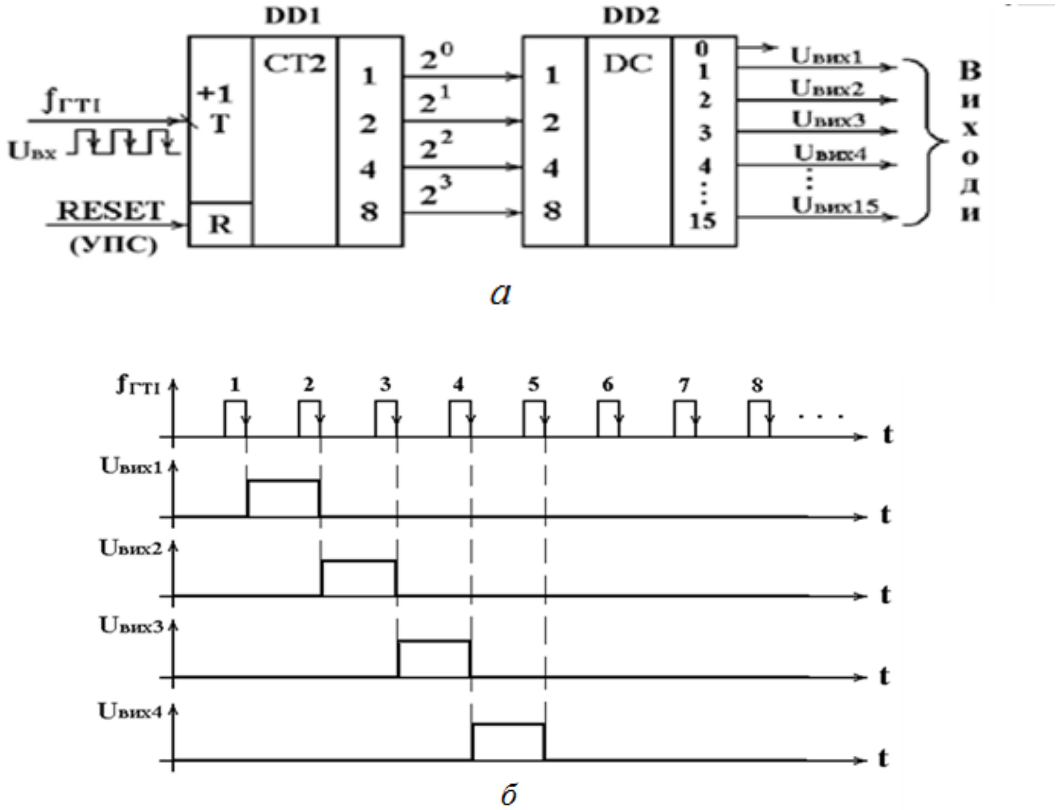


Рис. 13.37. Розподілювач: *а* – функціональна схема;
б – часові діаграми роботи

Контрольні запитання та завдання

1. Дайте визначення поняттю «тригер».
2. Які існують різновиди схемної реалізації тригерів?
3. Коли відбувається переключення синхронного та асинхронного тригерів?
4. Дайте класифікацію тригерів за функціональним призначенням.
5. На яких ЛЕ можуть бути виконанні асинхронні *RS*-тригери?
6. В яких випадках використовують синхронні *RS*-тригери?
7. Назвіть види синхронних *RS*-тригерів.
8. У чому відмінність *T*-тригера порівняно з *RS*-тригером?
9. Яка будова *D*-тригера? Види *D*-тригерів.
10. Чому *D*-тригер називають тригером затримки?
11. Що таке регістр?
12. На які види поділяються регістри залежно від способу введення і виведення розрядів числа?
13. У який стан переключається тригер під час підключення до нього напруги живлення?
14. Назвіть основні властивості тригера.

15. Поясніть особливості використання регістрів зсуву для виконання математичних операцій множення та ділення
16. Для чого можна використовувати *S*- та *R*-входи у *D*, або *JK*-тригерах?
17. Яку особливість мають двотактні тригери порівняно з однотактними?
18. Що таке лічильник?
19. Який основний параметр лічильника? Що він характеризує?
20. Яка існує класифікація лічильників?
21. Які висновки можна зробити проаналізувавши часові діаграми роботи лічильника, що підсумовує?
22. Яка відмінність у будові між лічильником, що віднімає, і лічильником, що підсумовує?
23. Назвіть недоліки асинхронних лічильників.
24. Який недолік синхронного лічильника, що підсумовує?
25. У чому основна відмінність десяткових лічильників від двійкових?
26. Для чого призначенні подільники частоти?
27. Який ПЦП називається розподілювачем?
28. Яку максимальну кількість імпульсів може підрахувати *N*-розрядний двійковий лічильник?
29. Яке максимальне двійкове число можна записати у *N*-розрядний двійковий лічильник?
30. Поясніть, що означає поняття «переповнення» двійкового лічильника, що підсумовує, та який віднімає.
31. Поясніть, як двійковий лічильник, який підсумовує, можна застосовувати як подільник вхідної частоти на 2, 4, 8, 16, ..., 2^N.

14. ЦИФРО-АНАЛОГОВІ ПЕРЕТВОРЮВАЧІ

14.1. Структура типової локальної мікропроцесорної системи керування

Розглянемо приклад типової локальної мікропроцесорної системи керування (ЛМПСК), структурну схему якої наведено на рис. 14.1.

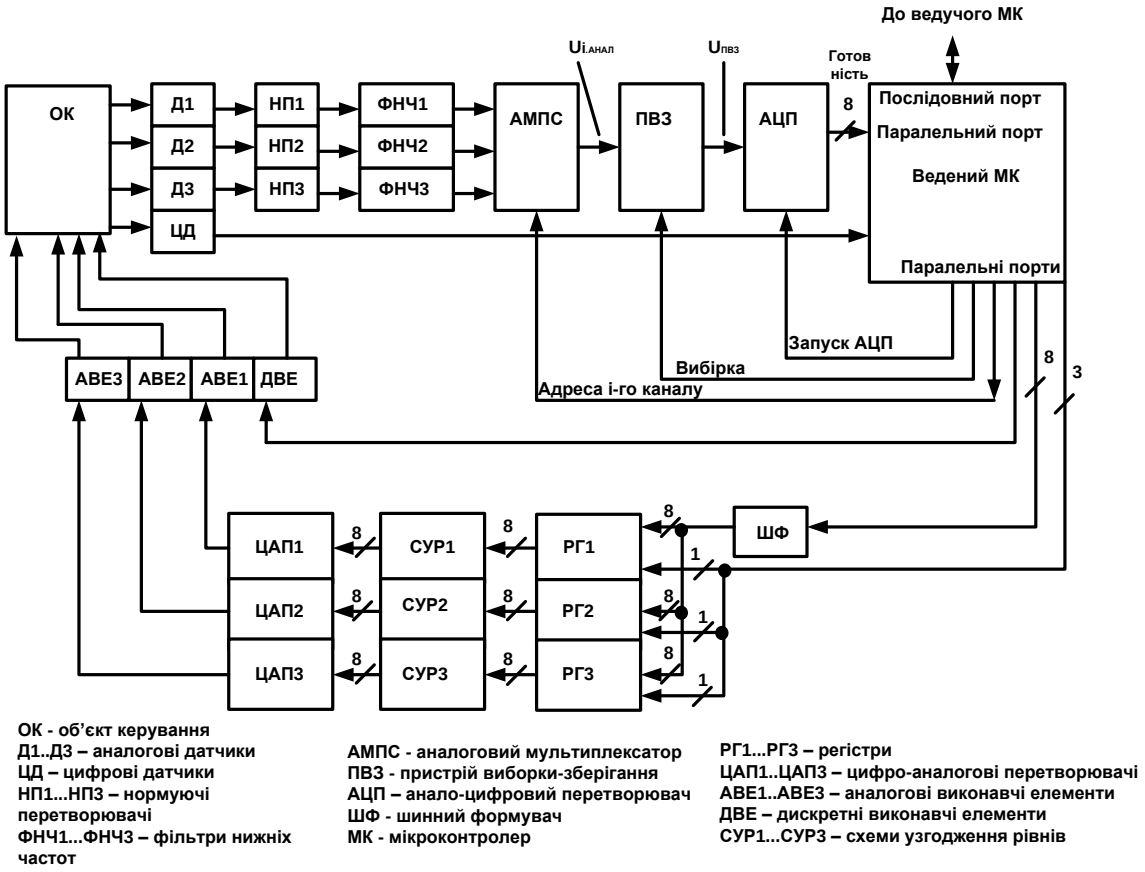


Рис. 14.1. Структурна схема ЛМПСК

ЛМПСК керує визначеним об'єктом керування (агрегатом) за декількома параметрами, наприклад, температура, тиск, кут повороту, переміщення і т. ін. Система названа локальною, тому що керування виробляється і здійснюється на нижньому (локальному) рівні складної ієрархічної системи керування, що включає групу різних агрегатів (об'єктів керування). Основним елементом ЛМПСК є МК який, називається веденим, тому що передбачається, що в складній системі мається група подібних ведених МК, які керують окремими агрегатами на локальному рівні. На більш високому рівні ієрархії системи керування може знаходитися ведучий МК, що на основі інформації про стан окремих агрегатів виробляє необхідні значення заданих керувальних впливів для ведених МК. Ведучий і ведений МК можуть бути зв'язані між собою, наприклад, спільним моноканалом [31].

ЛМПСК підтримує кожний з конкретних параметрів на заданому рівні. Інформація про поточне значення параметрів контролю знімається з аналогових датчиків (Д1...Д3) і проходить через нормуючі перетворювачі (НП1...НП3), які перетворюють діапазон зміни електричних сигналів, що знімаються з датчиків, до діапазону, що відповідає обраному АЦП. Оскільки інформаційні сигнали в більшості систем керування – низькочастотні, то для придушення високочастотних завад використовуються ФНЧ. Аналоговий мультиплексор по черзі підключає до АЦП один з декількох аналогових електричних сигналів, які відображають поточні значення контрольованих параметрів. У випадку, якщо за час перетворення АЦП, зміна вхідного сигналу відповідає зміні вихідного ДВК більше, ніж на одиницю МЗР, то для зменшення так званої «апертурної» похибки, яка виникає при цьому, у систему включають пристрій вибірки–зберігання (ПВЗ). ПВЗ запам'ятовує миттєві значення вхідних аналогових сигналів у момент вибірки і підтримує їх постійними на вході АЦП протягом часу перетворення останнього. З виходу АЦП інформація в паралельному ДВК надходить у ведений МК, що порівнює поточне значення контрольованого параметру з заданим значенням і виробляє керуючий вплив відповідно до сигналу неузгодженості та обраним законом керування (П, ПІ, ПІД і т. ін.). Сигнали керування, що знімаються з виходу одного з паралельних портів МК, запам'ятовуються в зовнішніх регістрах РГ1...РГ3. Для підвищення навантажувальної здатності виходів МК, у системі використано шинний формувач (ШФ). Виходи РГ1…РГ3 через схеми узгодження рівнів СУР1…СУР3 зв'язано зі входами ЦАП1…ЦАП3, що формують аналогові керувальні впливи, які спрямовано на усунення сигналу неузгодженості і відпрацьовування аналоговими виконавчими елементами (АВЕ1…АВЕ3). СУР1…СУР3 необхідні в тих випадках, коли рівні одиничних логічних сигналів, що знімаються з виходів регістрів, не відповідають необхідним рівням одиничних сигналів на входах ЦАП. Як СУР використовують ЛЕ з відкритим колектором.

У загальному випадку, ЛМПСК крім аналогових датчиків і виконавчих елементів можуть містити цифрові датчики і дискретні виконавчі елементи (рис. 14.1).

Нижче більш докладно розглядається ЦАП. Інші вузли структури ЛМПСК розглянуто у [4; 6].

14.2. Загальна характеристика цифро-аналогових перетворювачів

ЦАП призначені для перетворення цифрових сигналів в аналогові і служать для сполучення цифрових і аналогових пристроїв. Вони широко використовуються для керування аналоговими пристроями за допомогою мікроконтролерів у таких галузях техніки, як системи керування технологічними процесами (виконавчі пристрої програмованих верстатів, роботів і т. ін.); дискретна автоматика; вимірювальна автоматика; і т. ін. [12; 15; 28].

За принципом перетворення коду в напругу сучасні ЦАП поділяються на три види:

- на основі резистивної матриці *R*–2*R* з підсумовуванням струмів;
- на основі резистивної матриці *R*–2*R* з підсумовуванням напруг;
- ЦАП на конденсаторах, що переключаються.

14.3. Цифро-аналогові перетворювачі на матриці *R*–2*R* з підсумовуванням струмів

Серед різних схемних виконань ЦАП широке застосування знаходить перетворювач з резистивною матрицею (РМ) *R*–2*R* із підсумовуванням струмів [5; 15]. Його спрощену структуру наведено на рис. 14.2.

На вході, що інвертує, ОП відповідно до заданого значення вхідного ДВК підсумовуються струми, зважені за двійковим законом і пропорційні значенню опорної напруги $U_{ОП}$. Вхідний струм матриці I задається джерелом зовнішньої опорної напруги і послідовно поділяється в вузлах РМ *R*–2*R* за двійковим законом.

На входи $a_0, a_1, \ldots a_{n-1}$ надходять цифрові сигнали, що відповідають значенню відповідного *i*-го розряду вхідного ДВК. Якщо на вході *i*-го розряду присутня логічна одиниця, то ключ $Кл_i$ переключається у верхнє положення і струм даної гілки резистивної матриці надходить на вхід, що інвертує, ОП.

Якщо на вхід *i*-го розряду надходить логічний нуль, то ключ переключається в нижнє положення, і дана гілка матриці *R*–2*R* підключається до спільної шини.

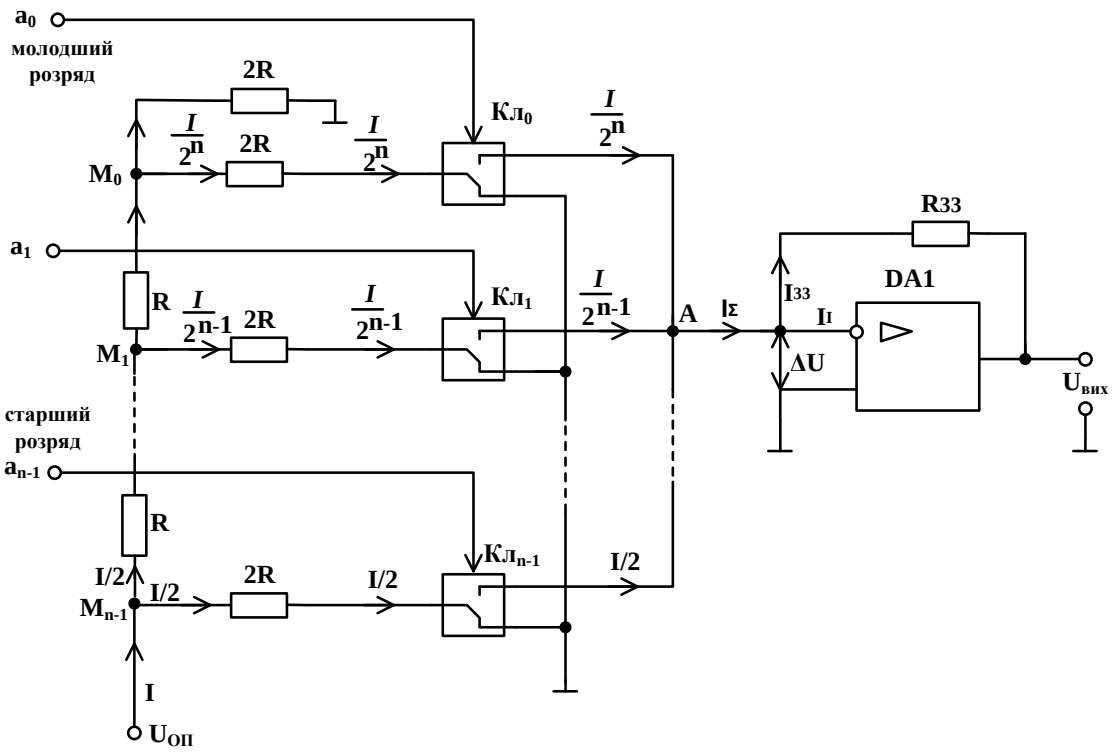


Рис. 14.2. Спрощена структура ЦАП з підсумовуванням струмів

Оскільки матриця резисторів є лінійним ланцюгом, її роботу можна проаналізувати методом суперпозиції, тобто внесок у вихідну напругу від кожного джерела (розряду) розрахувати незалежно один від іншого. Внески від кожного розряду підсумовуються на вході ОП і на виході з'являється результат у вигляді напруги.

Розрахунок ЦАП на матриці *R*–2*R* з підсумовуванням струмів

Розглянемо роботу ЦАП, якщо в старшому розряді ДВК присутня логічна одиниця, а в інших розрядах – логічні нулі. Отже, ключ $Кл_{П\text{-}1}$ знаходиться у верхньому поженні і підключає гілку РМ із резистором 2*R* до входу, що інвертує, ІМС ОП, а інші ключі знаходяться в нижньому положенні і підключають інші гілки матриці до спільної шини. Еквівалентну схему ЦАП для цього випадку наведено на рис. 14.3, *а*.

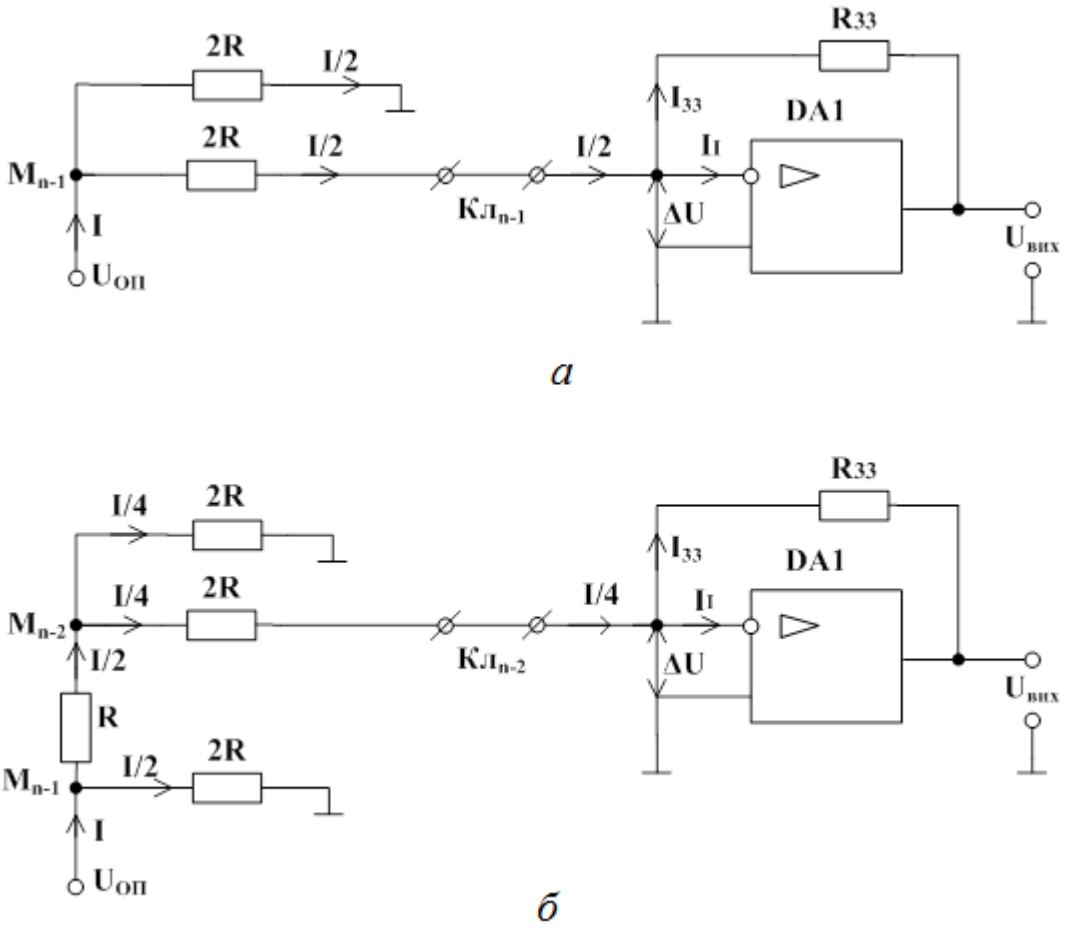


Рис. 14.3. Еквівалентні схеми матриці *R*–2*R*:
а – під час перетворення коду 100…00В;
б – під час перетворення коду 010…00В

Очевидно, що еквівалентний опір РМ вище вузла M_{n-1} дорівнює 2*R*. Оскільки потенціал входу, що інвертує, ОП близький до нуля, то вхідний струм I у вузлі M_{n-1} поділяється на два рівних струми I/2.

Для виведення виразу, що визначає вихідну напругу, приймемо, що ІМС ОП (DA1) близька до ідеальної, тобто $K_{\text{U.ІМС ОП}} \to \infty; R_{\text{ВХ}} \to \infty,$ тоді $\Delta U \to 0, I_I \to 0.$ Вихідна напруга

$$U_{\text{ВИХ(n–1)}} = -I_{33} R_{33} = -\frac{I}{2} R_{33}. \qquad (14.1)$$

З огляду на те, що джерело опорної напруги $U_{\text{ОП}}$ навантажене опором $R_{\text{Н}} = 2R \parallel 2R = R,$ то $I = \dfrac{U_{\text{ОП}}}{R}$, а співвідношення (14.1) можна записати у вигляді

$$U_{\text{ВИХ(n–1)}} = -\left(\frac{U_{\text{ОП}}}{2}\right)\cdot\left(\frac{R_{ЗЗ}}{R}\right).$$

Розглянемо роботу ЦАП, якщо на вхід схеми надходить комбінація ДВК: 010...00 В. У цьому випадку ключ $Кл_{n-2}$ переключено у верхнє положення, а інші ключі – у нижнє. Еквівалентна схема ЦАП прийме вигляд, який представлено на рис. 14.3, *б*. Струм I/2 у вузлі М_{n-2} знову поділяється навпіл, тому вихідна напруга, яку обумовлено розрядом (*n*–2) дорівнює:

$$U_{ВИХ}(n-2) = -\frac{R_{ЗЗ}I}{4} = -\left(\frac{U_{ОП}}{4}\right)\left(\frac{R_{ЗЗ}}{R}\right).$$

Теж саме відбувається під час надходження одиниці в інших розрядах ЦАП.

Вираз для визначення сумарної вихідної напруги від дії одиниць у всіх розрядах вхідного ДВК прийме вигляд:

$$U_{\text{вих}} = -U_{\text{ОП}}\cdot\frac{R_{ЗЗ}}{R}\left(\frac{1}{2}+\frac{1}{4}+...+\frac{1}{2^{n-1}}+\frac{1}{2^{n}}\right) = -U_{\text{ОП}}\cdot\frac{R_{ЗЗ}}{R}\cdot\frac{1}{2^{n}}\sum_{i=0}^{n-1}2^{i}. \quad (14.2)$$

Якщо позначити значення *i*-х розрядів вхідного ДВК – a_i, де a_i дорівнює нулю чи одиниці, то вираз (14.2) прийме вигляд:

$$U_{\text{ВИХ}} = -U_{\text{ОП}}\cdot\frac{R_{ЗЗ}}{R}\cdot\frac{1}{2^{n}}\cdot\sum_{i=0}^{n-1}a_i\cdot 2^{i}.$$

Співмножник $\sum_{i=0}^{n-1}a_i\cdot 2^{i}$ є десятковим еквівалентом вхідного ДВК (представляє значення вхідного цифрового коду).

Розглянутий перетворювач називають таким, що помножує, тому що вихідна напруга пропорційна добутку з відповідним коефіцієнтом значення опорного сигналу $U_{\text{ОП}}$ на значення вхідного ДВК.

Максимальне значення вихідної напруги (напруга в кінцевій точці шкали (діапазону) за a_i = 1 у всіх розрядах вхідного ДВК визначається з такого виразу:

$$U_{ВИХ\max} = -(1-2^{-n})\cdot\left(\frac{U_{ОП}\cdot R_{ЗЗ}}{R}\right).$$

Мінімальна напруга на виході ЦАП за a_i =0 у всіх розрядах коду дорівнює

$$U_{\text{ВИХ}\min} = 0.$$

Коефіцієнт передачі (значення кроку квантування за рівнем), тобто розрахункове збільшення вихідної напруги у разі зміни вхідного коду на одиницю молодшого розряду (ціна МЗР) складає

$$K_{\text{ЦАП}} = -\frac{U_{\text{ОП}} R_{ЗЗ}}{R \cdot 2^n}.$$

14.4. Цифро-аналогові перетворювачі на матриці *R*–2*R* з підсумовуванням напруг

Крім ЦАП з підсумовуванням струмів існує перетворювач, що використовує режим роботи підсумовуючого елемента, близький до холостого ходу (ОП підсумовує напруги, рис. 14.4).

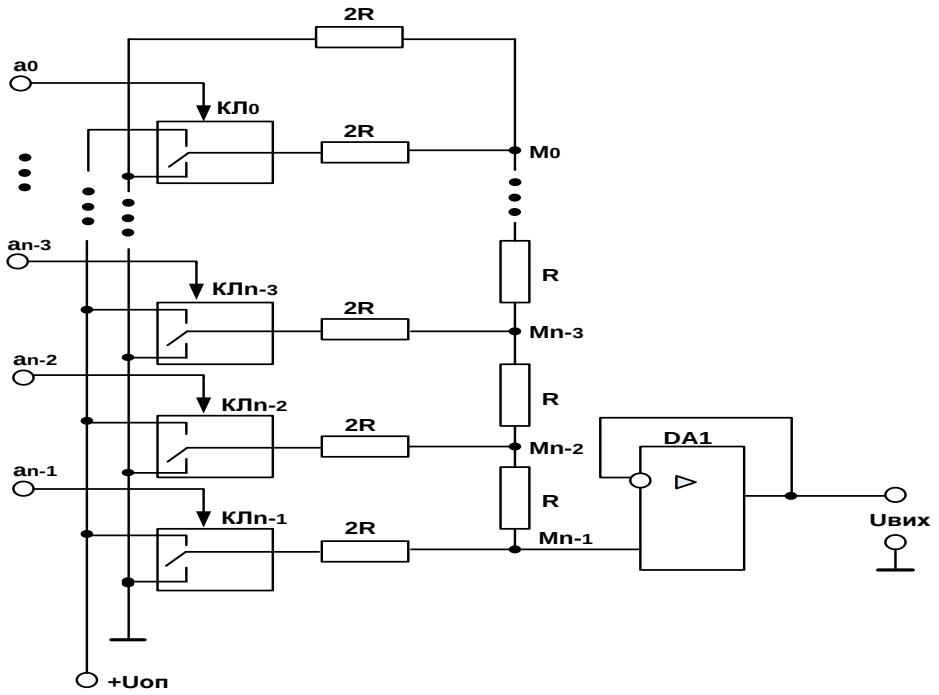


Рис. 14.4. n-розрядний ЦАП з матрицею *R*–2*R* та з підсумовуванням напруг

ЦАП, з підсумовуванням напруг, використовує зворотне включення входу і виходу матриці *R*–2*R*. На входи $a_0, a_1, a_2 ... a_{n-1}$ надходять цифрові сигнали, які відповідають значенню *i*-го розряду вхідного ДВК. Якщо на вході *i*-го розряду присутня логічна одиниця, то відповідний ключ Кл_i переключається у верхнє положення та опорна напруга $U_{\text{ОП}}$ через резистори

матриці R–$2R$ з визначеним коефіцієнтом ділення подається на вхід, що не інвертує, ОП DA1, де відбувається підсумовування напруг.

Якщо на вхід i-го розряду надходить логічний нуль, то ключ переключається в нижнє положення, і дана гілка матриці R–$2R$ підключається до спільної шини.

Оскільки матриця резисторів є лінійним ланцюгом, її роботу можна проаналізувати методом суперпозиції, тобто внесок у вихідну напругу від кожного джерела (розряду) розрахувати незалежно один від одного. Внески від кожного розряду підсумовуються на вході, що не інвертує, ОП і на виході отримуємо результат у вигляді напруги.

Розрахунок ЦАП на матриці *R*–2*R* з підсумовуванням напруг

Розглянемо роботу ЦАП, якщо в старшому розряді вхідного ДВК присутня логічна одиниця, а в інших розрядах – логічні нулі. Отже, ключ $Кл_{n-1}$ знаходиться у верхньому положенні і підключає гілку РМ з резистором $2R$ до джерела опорної напруги $U_{ОП}$. Інші ключі знаходяться в нижньому положенні і підключають інші гілки РМ (резистори $2R$) до спільної шини. Еквівалентну схему ЦАП для цього випадку наведено на рис. 14.5, *а*.

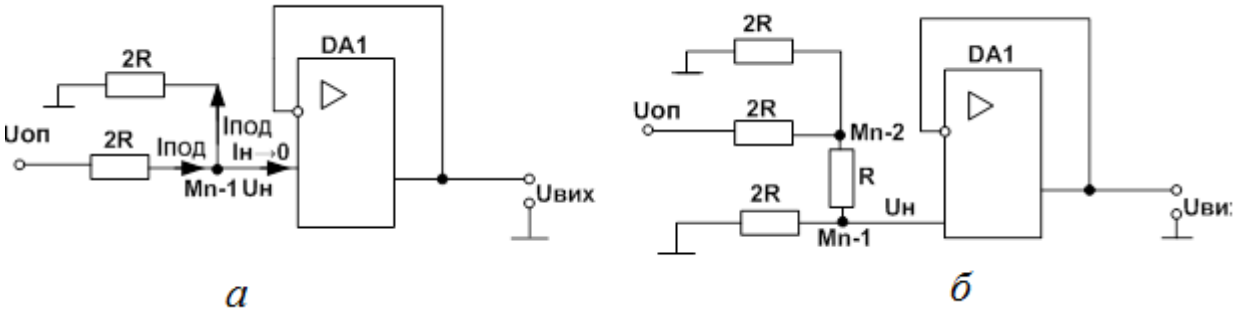


Рис. 14.5. Еквівалентні схеми ЦАП: *а* – під час перетворення коду 100…0В; *б* – під час перетворення коду 010…0 В

Очевидно, що еквівалентний опір РМ вище вузла $M_{n\text{-}1}$ дорівнює $2R$. Так як вхідний опір ОП великий і останній працює в режимі, близькому до холостого ходу, то струм, створюваний джерелом $U_{ОП}$ проходить через два однакових резистори $2R$, що утворюють подільник напруги $U_{ОП}$. У цьому випадку напруга на виході подільника визначається з виразу:

$$U_{под} = U_{н} = \frac{U_{оп} \cdot 2R}{2R + 2R} = \frac{U_{оп}}{2}.$$

Розглянемо роботу ЦАП, якщо на вхід схеми надходить комбінація ДВК: 010…0В. У цьому випадку ключ $Кл_{n-2}$ увімкнений у верхнє положення,

а інші ключі – у нижнє. Еквівалентна схема ЦАП прийме вигляд, який представлено на рис. 14.5, *б*.

Розглядаючи резистори R і $2R$, розташовані нижче вузла M_{n-2}, як включені послідовно $(R_{BX.DA1} \to \infty)$, заміняємо їх еквівалентним опором:

$$\mathrm{R} + 2\mathrm{R} = 3\mathrm{R}.$$

Тоді напруга в точці M_{n-2} визначається виразом:

$$U_{M_{n-2}} = \frac{U_{\text{оп}} \cdot 2\mathrm{R} \| 3\mathrm{R}}{2\mathrm{R} + 2\mathrm{R} \| 3\mathrm{R}} = \frac{U_{\text{оп}} \cdot {}^{6}\!/_{5} \cdot R}{2\mathrm{R} + {}^{6}\!/_{5} \cdot R} = \frac{U_{\text{оп}} \cdot 3}{8}.$$

Знаючи напругу в точці M_{n-2}, можна визначити сигнал у вузлі M_{n-1}

$$U_{M_{n-1}} = U_{\text{н}} = \frac{U_{M_{n-2}} \cdot 2\mathrm{R}}{\mathrm{R} + 2\mathrm{R}} = \frac{U_{\text{оп}}}{4}.$$

Аналогічним чином можна довести, що під час подачі на вхід ЦАП ДВК: 001…0 В напруга на вході, що не інвертує, ОП буде дорівнювати:

$$U_{\text{Н}} = \frac{U_{\text{ОП}}}{8}.$$

І, нарешті, під час надходження коду: 00...01 В напруга

$$U_{\text{Н}} = \frac{U_{\text{ОП}}}{2^n}.$$

Оскільки коефіцієнт передачі розглянутого підсумовуючого ОП $K_{\text{U.IMC ОП}} = 1$, то вираз для визначення сумарної вихідної напруги від дії одиниць у всіх розрядах вхідного ДВК прийме вигляд:

$$U_{\text{ВИХ max}} = U_{\text{ОП}}\left(\frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \ldots + \frac{1}{2^n}\right) = \frac{\mathrm{U}_{\text{ОП}}}{2^n}\sum_{i=0}^{n-1} 2^i. \tag{14.3}$$

Якщо позначити значення i-х розрядів вхідного ДВК як a_i, де a_i дорівнює 0 чи 1, то останній вираз перетвориться до вигляду:

$$U_{\text{ВИХ}} = \frac{\mathrm{U}_{\text{ОП}}}{2^n}\sum_{i=0}^{n-1} a_i \cdot 2^i. \tag{14.4}$$

Співмножник $\sum_{\mathrm{i}=0}^{\mathrm{n}-1} \mathrm{a}_{\mathrm{i}} \cdot 2^{\mathrm{i}}$ є десятковим еквівалентом вхідного ДВК (представляє десяткове значення вхідного цифрового коду).

Розглянутий перетворювач називають таким, що помножує, тому що вихідна напруга пропорційна добутку значення опорного сигналу $U_{\text{ОП}}$ на значення вхідного цифрового коду з відповідним коефіцієнтом.

Коефіцієнт передачі, тобто розрахункове збільшення вихідної напруги у разі зміни вхідного коду на одиницю молодшого розряду (ціна МЗР) складає

$$K_{\text{ЦАП}} = \frac{U_{\text{ОП}}}{2^{\text{n}}} \left[\frac{\text{В}}{\text{МЗР}} \right]. \qquad (14.5)$$

14.5. Цифро-аналоговий перетворювач на базі мікросхеми К572 ПА1

Мікросхема ЦАП типу К572 ПА1 (рис. 14.6) є універсальною структурною ланкою для побудови мікроелектронних ЦАП. Вона знаходить широке застосування в різній апаратурі завдяки малій споживаній потужності, досить високій швидкодії, невеликим габаритам і т. ін. [5; 15].

Мікросхему призначено для перетворення 10-розрядного паралельного ДВК на цифрових входах у струм на аналоговому виході, що пропорційний значенням коду й опорної напруги. Вона виконана за КМОН-технологією з полікремнієвими затворами.

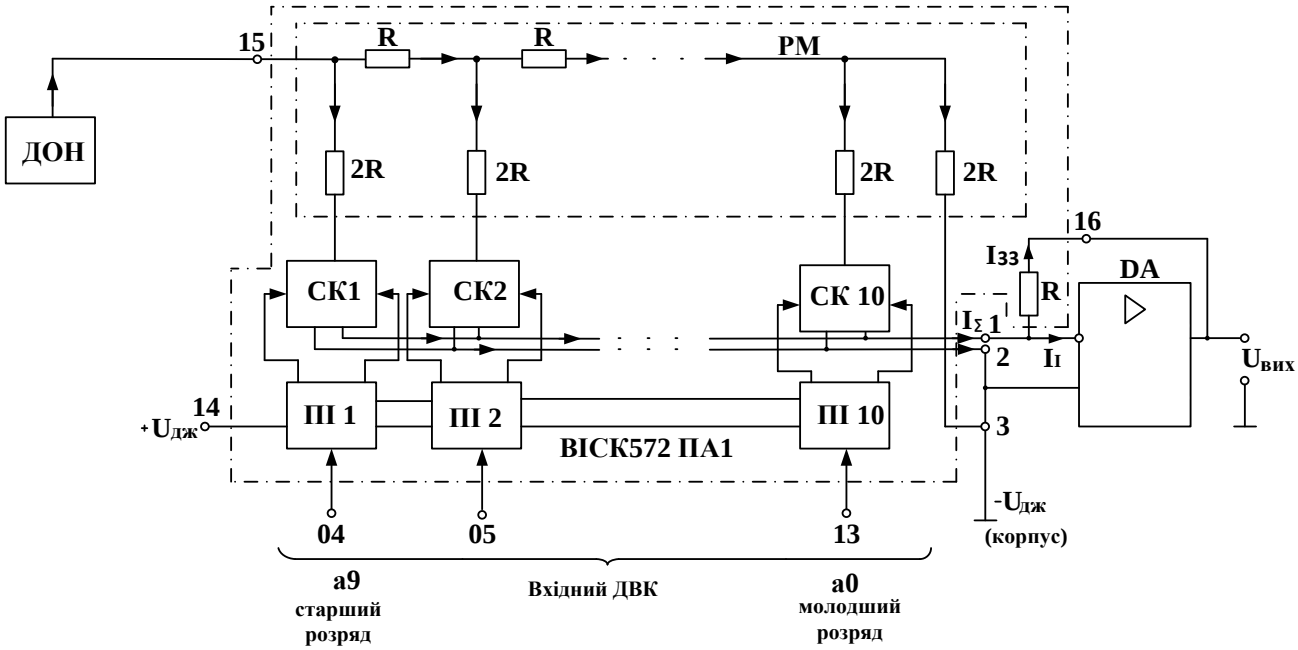


Рис. 14.6. Структура і схема включення ЦАП К572 ПА1

Нумерація і призначення виводів мікросхеми:

1 – аналоговий вихід;

2 – аналоговий вихід;

3 – спільний вивід;

4 – цифровий вхід (старший 9-й розряд ДВК);

5…12 – цифрові входи (розряди 8…1);

13 – цифровий вхід (молодший нульвий розряд ДВК);

14 – напруга джерела живлення;

15 – опорна напруга;

16 – вивід резистора ЗЗ.

До складу ІС ЦАП К572 ПА1 (рис. 14.6) входять: прецизійна полікремнієва РМ типу *R*–2*R*, підсилювачі–інвертори (ПІ) для керування двопозиційними струмовими ключами (СТК), які виконано на КМОН-транзисторах. Під час надходження в одному з розрядів вхідного ДВК логічної одиниці ПІ формує керувальні сигнали, під дією яких струмовий ключ з'єднує резистор 2*R* із правим нижнім виходом ключа. Якщо подається логічний нуль, то резистор 2*R* з'єднується з лівим нижнім виходом ключа. Для роботи з виходом за напругою до ІС ЦАП К572 ПА1 підключається ОП, що здійснює перетворення суми струмів на вході у вихідну напругу (включення ОП за схемою, що інвертує).

Основні параметри ЦАП :

– час встановлення вихідного струму: ≤ 5мкс;
– напруги живлення: $U_{дж} = +5...+17B, U_{оп} = -17...+17B$;
– вхідна напруга логічного нуля: $(0 \le U_{BX} \le +0,8B)$;
– вхідна напруга логічної одиниці: $(+3,6 \le U_{BX} \le U_{ДЖ})$.

Основну схему включення ЦАП показано на рис. 14.7.

Якщо $U_{ДЖ} = +15B \pm 10\%$ і $U_{ОП} = \pm 10,24B,$ то зазначені в довідниках параметри витримуються досить точно. Якщо на вхід ЦАП надходять цифрові сигнали з виходу ТТЛ-схем, то схема включення ЦАП К572 ПА1 має вигляд, який наведено на рис. 14.8.

Якщо $U_{ДЖ} = +5B$, то виходи ТТЛ-схем можуть з'єднуватися з цифровими входами ЦАП прямо без елементів які погоджують, але при цьому довідкові параметри схеми погіршуються.

Незадіяні цифрові входи ЦАП необхідно заземлювати.

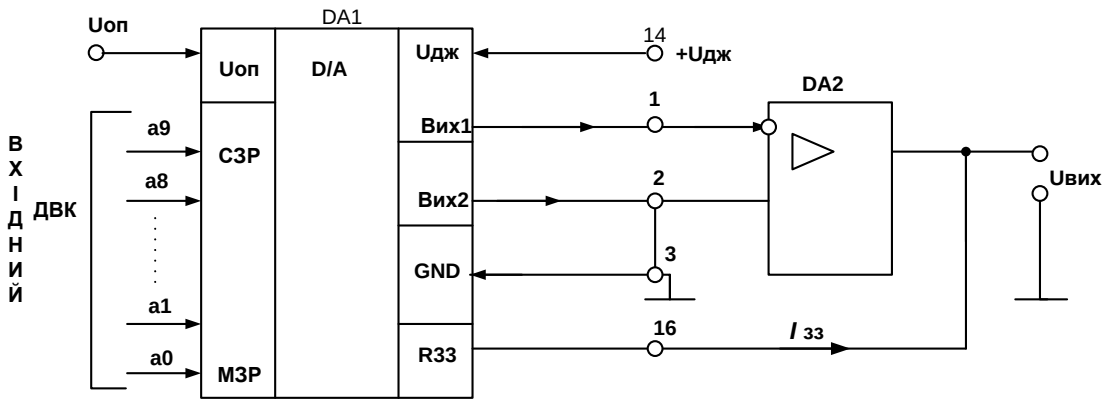


Рис. 14.7. Основна схема включення ЦАП К572 ПА1

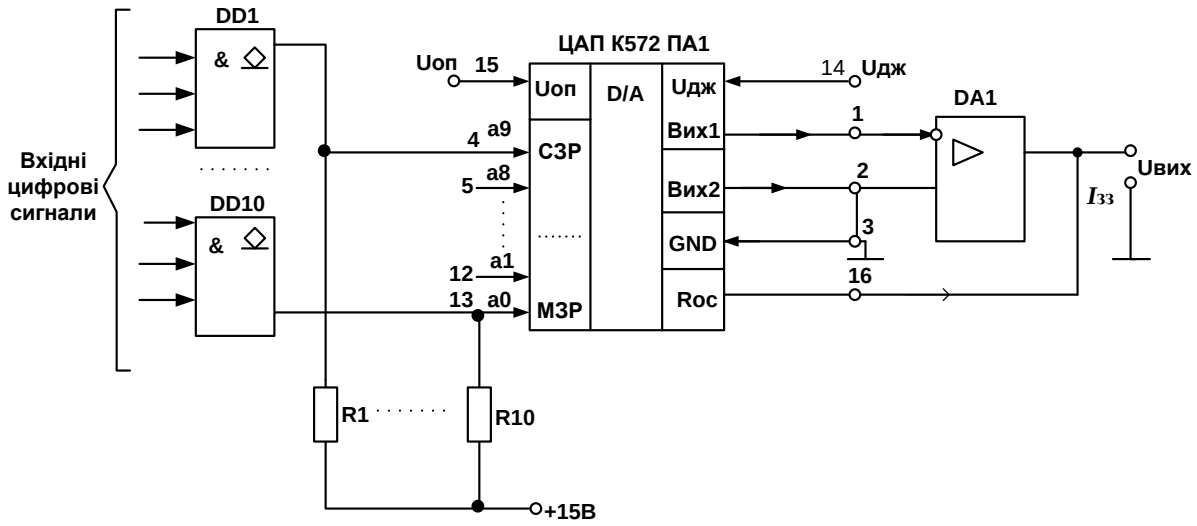


Рис. 14.8. Схема сполучення ІС К572 ПА1 із ТТЛ-схемами

Розрахунок ЦАП на базі мікросхеми К572 ПА1

У мікросхемі ЦАП К572 ПА1 виконується умова

$$R = R_{зз} \text{ та } n = 10.$$

Тому вирази (14.4), (14.3) набувають вигляду:

$$U_{\text{ВИХ}} = -\frac{U_{\text{ОП}}}{2^{10}} \sum_{i=0}^{9} a_i \cdot 2^i,$$

$$U_{ВИХ\max} = -U_{ОП}(1 - 2^{-10}).$$

Коефіцієнт передачі ЦАП:

$$K_{ЦАП} = -\frac{U_{ОП}}{2^{10}} \left[\frac{\text{мВ}}{МЗР} \right].$$

Якщо $U_{\text{ОП}} = -10{,}24B$,

$$U_{\text{ВИХ}_{\max}} = \frac{10{,}24 \cdot 1023}{1024} = 10{,}23B,$$

$$K_{ЦАП} = \frac{10240}{1024} = 10\left[\frac{мВ}{МЗР}\right].$$

Якщо на вхід даного ЦАП надходить восьмирозрядний ДВК, то можливі кілька варіантів використання мікросхеми:

– 1-й – дані подаються на вісім входів, що відповідають молодшим розрядам вхідного ДВК, а інші старші два входи заземлюються. У цьому випадку коефіцієнт передачі дорівнює 10 мВ/МЗР, а діапазон зміни вихідної напруги: від 0 до 2,55 В.

– 2-й – заземлюються два входи, що відповідають молодшим розрядам вхідного ДВК, а на інші входи подаються вхідні цифрові сигнали. У цьому випадку коефіцієнт передачі дорівнює 40 мВ/МЗР, а діапазон зміни вихідної напруги: від 0 до $\left(40\left[\frac{мВ}{МЗР}\right] \cdot 255\left[МЗР\right]\right) = 10200мВ = 10{,}2В.$

14.6. Цифро-аналоговий перетворювач на базі мікросхеми MAX506

На сьогоднішньому ринку мікросхем представлено широкий спектр надвеликих інтегральних схем (НВІС) ЦАП, серед яких розповсюдженими є мікросхеми фірми «MAXIM».

Нижче розглянуто одну із сучасних НВІС ЦАП фірми «MAXIM» – MAX506, яку виконано за КМОН-технологією. Вона являє собою чотириканальний 8-бітовий ЦАП, а також виконує функції шинного формувача, регістрів і схеми узгодження рівнів (див. рис. 14.1).

Опис мікросхеми MAX506

MAX506 може працювати як від джерела живлення +5 В, так і від двополярного джерела ±5 В.

Споживаний вхідний струм: 1 мА під час логічних КМОН-рівнів на цифрових входах і 2 мА – під час ТТЛ-рівнів.

Швидкість зміни вихідного сигналу: 0,7 В/мкс.

Час установлення вихідного сигналу: 6 мкс.

Діапазон робочих температур: від –40 °С до +85 °С.

Сумарна похибка перетворення: 1 МЗР.

Зовнішній вигляд мікросхеми й її функціональну схему наведено відповідно на рис. 14.9 і 14.10.

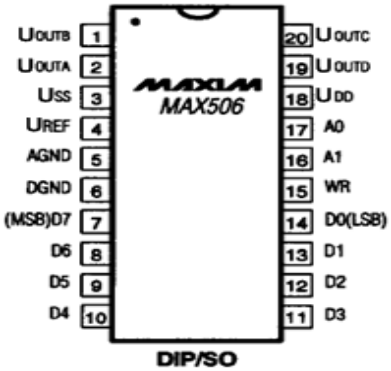


Рис. 14.9. Зовнішній вигляд мікросхеми MAX506

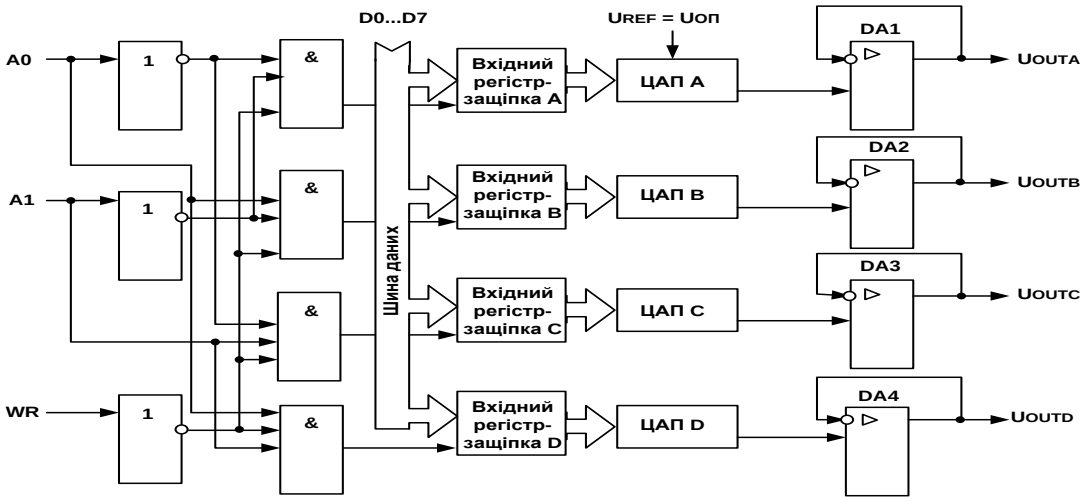


Рис. 14.10. Функціональна схема MAX506

Адресні входи *A*0 і *A*1, відповідно до табл. 14.1, вибирають (визначають) який з чотирьох ЦАП одержує інформацію із шини даних *D*0…*D*7 і здійснює перетворення в даний момент часу.

Таблиця 14.1. Адресація ЦАП MAX506

WR	*A*1	*A*0	Стан защіпки
H	*X*	*X*	Вхідні дані ізольовані від защіпок
L	*L*	*L*	Вхідна защіпка *A* ЦАП прозора
L	*L*	*H*	Вхідна защіпка *B* ЦАП прозора
L	*H*	*L*	Вхідна защіпка *C* ЦАП прозора
L	*H*	*H*	Вхідна защіпка *D* ЦАП прозора

Примітка. *H* – високий стан, *L* – низький стан, *X* – не враховується

Коли на вході *WR* (запис) присутній логічний нуль (активний сигнал) вхідна інформація запам’ятовується в одному з чотирьох регістрів – защіпок, де зберігається до наступного запису. Табл. 14.1 у схемі MAX506 реалізовано

за допомогою вхідної логіки, що включає три інвертори і чотири кон'юнктори, які мають три входи.

Схема MAX506 містить чотири безпосередніх ЦАП з виходом за напругою, що включають зворотну *R*–2*R* матрицю з підсумовуванням напруг (рис. 14.4).

За допомогою матриці резисторів цифрове восьмирозрядне слово, яке записано в регістр-защіпку, перетворюється в еквівалентну аналогову напругу, пропорційну прикладеній еталонній напрузі U_{REF} (див. підрозд. 14.4).

Часові діаграми роботи мікросхеми MAX506 наведено на рис. 14.11.

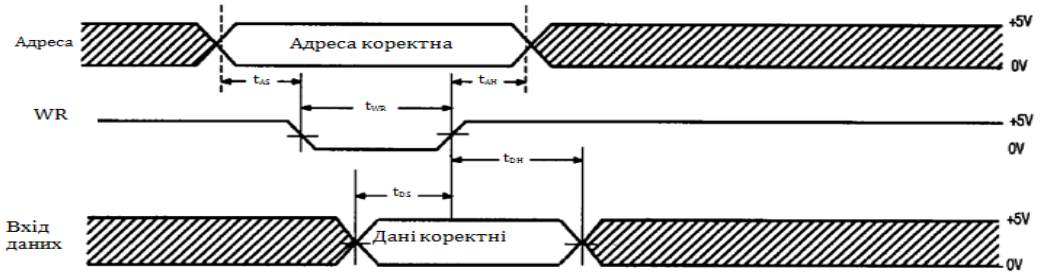


Рис. 14.11. Часові діаграми роботи ЦАП MAX506

Нижче приводиться опис виводів MAX506 (табл. 14.2).

Таблиця 14.2. Опис виводів мікросхеми MAX506

Номер виводу	Ім'я	Призначення
1	U_{OUTB}	Аналоговий вихід *B*
2	U_{OUTA}	Аналоговий вихід *A*
3	U_{SS}	Від'ємне живлення –5,5 В до 0 В
4	U_{REF}	Опорна напруга
5	*AGND*	Земля для аналогових сигналів
6	*DGND*	Земля для цифрових сигналів
7	*D*7	Біт 7 вхідного ДВК
8	*D*6	Біт 6 вхідного ДВК
9	*D*5	Біт 5 вхідного ДВК
10	*D*4	Біт 4 вхідного ДВК
11	*D*3	Біт 3 вхідного ДВК
12	*D*2	Біт 2 вхідного ДВК
13	*D*1	Біт 1 вхідного ДВК
14	*D*0	Біт 0 вхідного ДВК
15	*WR*	Використовується для запису даних у вхідний регістр–защіпку перетворювача, який обрано сигналами *A*0 і *A*1
16	*A*1	Біт 1 адреси вибору ЦАП
17	*A*0	Біт 0 адреси вибору ЦАП
18	*UDD*	Додатне живлення +4,5 В….+5.5 В
19	U_{OUTD}	Аналоговий вихід *D*
20	U_{OUTC}	Аналоговий вихід *C*

Розглянута мікросхема може працювати як в однополярному (табл. 14.3), так і в біполярному режимі (табл. 14.4).

Таблиця 14.3. Однополярна кодова таблиця MAX506

Вміст ЦАП Старші біти	Молодші біти	Аналоговий вихід
1111 …	1111 …	$+U_{REF}\left(\frac{255}{256}\right)$
1000	0001	$+U_{REF}\left(\frac{129}{256}\right)$
1000	0000	$+U_{REF}\left(\frac{128}{256}\right)=+\frac{U_{REF}}{2}$
0111 …	1111 …	$+U_{REF}\left(\frac{127}{256}\right)$
0000	0001	$+U_{REF}\left(\frac{1}{256}\right)$
0000	0000	0 В

Таблиця 14.4. Біполярна кодова таблиця MAX506

Вміст ЦАП Старші біти	Молодші біти	Аналоговий вихід
1111	1111	$U_{REF}(127/128)$
… 1000	… 0001	… $U_{REF}(1/128)$
1000	0000	0В
0111 …	1111 …	$-U_{REF}(1/128)$ …
0000	0001	$-U_{REF}(127/128)$
0000	0000	$-U_{REF}(128/128)=-U_{REF}$

Розрахунок ЦАП на базі мікросхеми MAX506

Для розрахунку ЦАП на базі мікросхеми MAX506, який має 8 розрядів, вирази (14.3), (14.4), (14.5) приймуть вигляд:

$$U_{\text{вих.max}} = \frac{U_{\text{ОП}}}{2^8} \sum_{i=0}^{7} 2^i,$$

$$U_{\text{вих}} = \frac{U_{\text{ОП}}}{2^8} \cdot N_B,$$

$$K_{\text{ЦАП}} = \frac{U_{\text{ОП}}}{2^8} \left[\frac{\text{В}}{\text{МЗР}} \right],$$

де $N_B = \sum_{i=0}^{7} a_i \cdot 2^i$ – цифрове значення вхідного ДВК.

Якщо $U_{\text{ОП}}$ = 5,12 В, тоді $K_{\text{ЦАП}}$ = 20 mВ/МЗР.

14.7. Цифро-аналоговий перетворювач на конденсаторах, що переключаються

Існує два види ЦАП на конденсаторах, що переключаються:

– паралельний;
– послідовний.

Нижче розглянуті названі ЦАП.

Паралельний ЦАП на конденсаторах, що переключаються

Основою цього ЦАП є матриця конденсаторів (рис. 14.12), ємності яких співвідносяться як цілі степені двох:

C_0, $C_1=2^1\cdot C_0$, $C_2=2^2\cdot C_0$, …, $C_{N-2}=2^{N-2}\cdot C_0$, $C_{N-1}=2^{N-1}\cdot C_0$.

Ємність k-го конденсатора (k = 0,1,2, …, N – 2, N – 1, де N – число розрядів вхідного ДВК) визначається співвідношенням

$$C_k = 2^k \cdot C_0.$$

<u>Цикл перетворення</u> складається з двох фаз:

<u>1 фаза:</u> ключі S_0, S_1, …, S_{N-1} перебувають у лівій позиції. Ключ скидання $S_{\text{СК}}$ замкнений, при цьому всі конденсатори схеми розряджені;

<u>2 фаза:</u> ключ $S_{\text{СК}}$ розімкнутий. На вхід схеми надходить N-розрядний паралельний ДВК, що керує ключами S_0, S_1, …, S_{N-1}. Якщо k-й біт вхідного ДВК дорівнює одиниці (a_k = 1), то відповідний ключ S_k переключається в праву позицію, підключаючи нижній вивід відповідного конденсатора до джерела опорної напруги $U_{\text{ОП}}$. Якщо k-й біт дорівнює нулю, то ключ залишиться в лівій позиції, підключаючи нижній вивід ємності до землі.

Напруга на виході ЦАП визначається виразом

$$U_{\text{ВИХ}} = -U_{\text{ОП}} \cdot \frac{C_0}{C} \cdot \sum_{k=1}^{N-1} a_k \cdot 2^k = -U_{\text{ОП}} \cdot \frac{C_0}{C} \cdot D, \qquad (14.6)$$

де $D = \sum_{k=0}^{N-1} a_k \cdot 2^k$ – десятковий еквівалент вхідного ДВК.

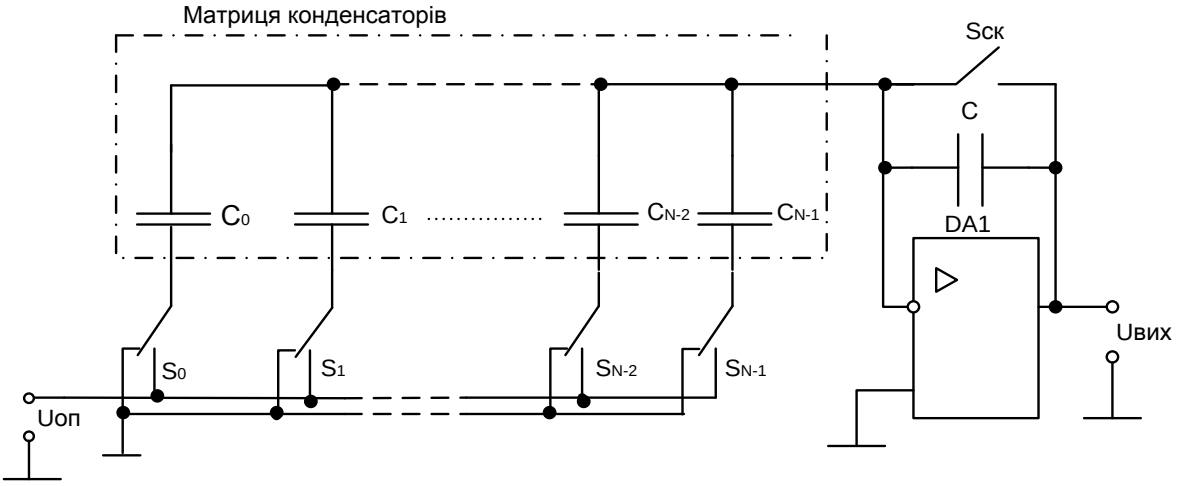


Рис. 14.12. Паралельний ЦАП на конденсаторах, що переключаються

<u>Виведення формули</u> (14.6)

Припустимо, що на вхід ЦАП надходить комбінація ДВК, у якої: $a_0 = 1$, $a_1 = a_2 = \ldots a_{N-1} = 0$. Еквівалентну схему заміщення для цього випадку наведено на рис. (14.13)

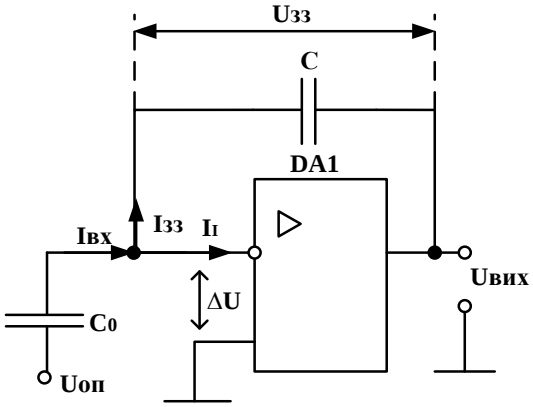


Рис. 14.13. Еквівалентна схема заміщення ЦАП при вхідній комбінації ДВК: $a_0 = 1$, $a_1 = a_2 = \ldots = a_{N-1} = 0$.

Якщо ІМС ОП DA1 вважати ідеальною, тоді: $K_{\text{U.ІМС ОП}} \to \infty$, $R_{\text{ВХ}} \to \infty$, $R_{\text{ВИХ}} \to 0$. У свою чергу $\Delta U = \dfrac{U_{\text{ВИХ}}}{K_{\text{U.ІМС ОП}}} \to 0$, а $\mathrm{I}_I \to 0 (R_{\text{ВХ}} \to \infty)$.

Тоді можна записати $\Delta U = U_{\text{зз}} + U_{\text{ВИХ}}$. Звідки $U_{\text{ВИХ}} = -U_{\text{зз}}$. $\mathrm{I}_{\text{ВХ}} = \mathrm{I}_{\text{зз}} + \mathrm{I}_I = \mathrm{I}_{\text{зз}} (\mathrm{I}_I \to 0)$.

Заряди ємностей $C0$ і C під дією UОП однакові: $q_{C0} = q_C$. Позначимо

q_{Co} = $q_{ЕКВ}$. Тоді q_C = $q_{ЕКВ}$. Напруга $U_{ЗЗ} = \frac{q_C}{C} = \frac{q_{ЕКВ}}{C}$. Напруга $U_{ОП} = \frac{q_{Co}}{C_0} = \frac{q_{ЕКВ}}{C_0}$. Тоді $q_{ЕКВ} = U_{ОП} \cdot C_0$. Отже, $U_{ЗЗ} = U_{ОП} \cdot \frac{C_0}{C}$, а $U_{ВИХ} = -U_{ОП} \cdot \frac{C_0}{C}$.

Нехай на вхід ЦАП надходить комбінація ДВК, у якої: $a0 = a1 = 1$, а інші розряди містять нулі. Еквівалентна схема заміщення в цьому випадку має вигляд, представлений на рис. 14.14.

Якщо порівняти дві останні схеми, то можна помітити, що вони відрізняються величиною $q_{ЕКВ}$, що для останньої схеми дорівнює

$q_{ЕКВ} = q_{Co} + q_{C1} = U_{ОП} \cdot (C0+2C0)$.

Тоді вихідна напруга

$$U_{ВИХ} = -\frac{q_{ЕКВ}}{C} = -\frac{U_{ОП}(C_0 + 2C_0)}{C}.$$

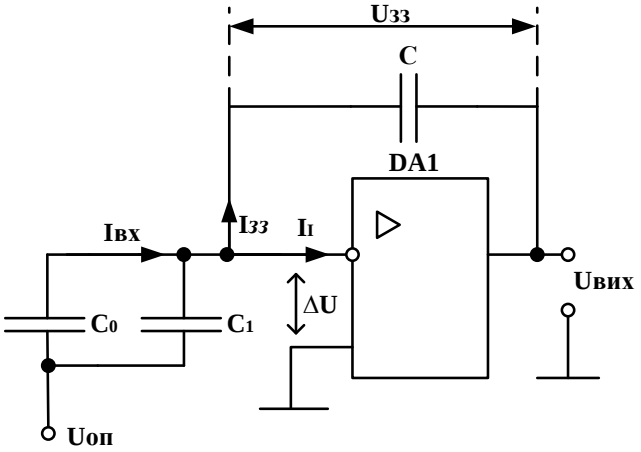


Рис. 14.14. Еквівалентна схема заміщення ЦАП під час вхідної комбінації ДВК: $a0 = a1 = 1$, $a2 = a3 = \ldots = aN - 1 = 0$

За умови, що на вході комбінація ДВК: $a0 = a1 = a2 = \ldots aN - 1 = 1$, то $q_{ЕКВ} = (C0 + 2C0 + 4C0 + \ldots + 2N - 1C0) \cdot U_{ОП} = U_{ОП} \cdot C0(20 + 21 + 22 + \ldots + 2N - 1) = U_{ОП} \cdot C_0 \cdot \sum_{k=0}^{N-1} 2^k$.

Тоді одержимо вираз для визначення максимальної напруги на виході ЦАП:

$$U_{ВИХ.max} = -\frac{U_{ОП} \cdot C_0}{C} \sum_{k=0}^{N-1} 2^k.$$

Якщо в останній вираз ввести значення k-го розряду вхідного ДВК: $ak = 0/1$, то одержимо

$$U_{\text{вих}} = -\frac{U_{\text{оп}} \cdot C_0}{C} \sum_{k=0}^{N-1} a_k \cdot 2^k,$$

де $\sum_{k=0}^{N-1} a_k \cdot 2^k = D$ – десятковий еквівалент вхідного ДВК.

Коефіцієнт передачі ЦАП:

$$K_{\text{ЦАП}} = \frac{U_{\text{вих}}}{D} = -\frac{U_{\text{оп}} \cdot C_0}{C}.$$

Послідовний ЦАП на конденсаторах, що переключаються

Спрощену схему послідовного ЦАП наведено на рис. 14.15.

У цій схемі ємності конденсаторів C_1 і $C2$ однакові. Перед початком циклу перетворення конденсатори C_1, C_2 розряджаються шляхом замикання ключів S_2, S_4.

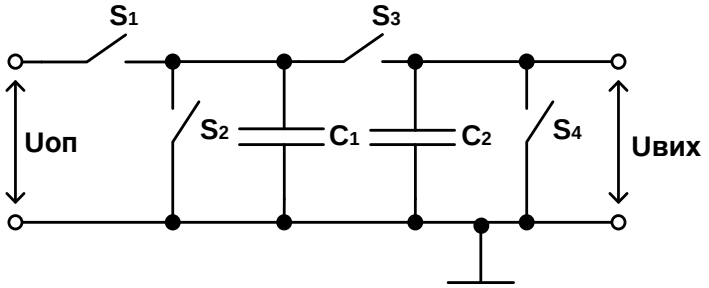


Рис. 14.15. Схема послідовного ЦАП на конденсаторах, що переключаються

Вхідна інформація надходить на вхід пристрою у вигляді N-розрядного послідовного ДВК. Його перетворення в аналогову вихідну напругу здійснюється послідовно за N тактів, починаючи з молодшого розряду a_0. Кожен такт перетворення складається з двох напівтактів. У першому напівтакті першого такту під час розімкнутих ключів $S2$, $S3$ та $S4$ за $a_0 = 1$ за допомогою замикання ключа S_1 конденсатор C_1 заряджається до величини $q_{C1} = U_{\text{ОП}} \cdot C_1$ або за $a_0 = 0$ шляхом замикання ключа S_2 розряджається до нуля. У другому напівтакті першого такту під час розімкнутих S_1, S_2 та S_4, замикається ключ S_3, що викликає розподіл заряду навпіл між ємностями C_1 і C_2. У цьому разі заряд конденсатора C_2 $q_{C2} = \frac{q_{C1}}{2} = \frac{U_{\text{ОП}} \cdot C_1}{2}$. Вихідна напруга $U_{\text{ВИХ}}(a_0 = 1) = \frac{q_{C2}}{C_2} = \frac{U_{\text{ОП}} \cdot C_1}{C_2 \cdot 2} = \frac{U_{\text{ОП}} \cdot C_1}{C_1 \cdot 2} = \frac{U_{\text{ОП}}}{2}$.

Поки на конденсаторі C_2 зберігається заряд, у першому напівтакті другого такту, повторюється процедура заряду конденсатора C_1. Якщо в наступному розряді вхідного коду $a_1 = 1$: $q_{C1} = U_{\text{ОП}} \cdot C_1$. Під час замикання ключа S_3 у другому напівтакті другого такту перетворення заряд ємності C_2 складе:

$$q'_{C2} = \frac{q_{C1} + q_{C2}}{2} = \frac{U_{\text{ОП}}(C_1 + \frac{C_1}{2})}{2} = \frac{U_{\text{ОП}}(2C_1 + C_1)}{4} = \frac{U_{\text{ОП}} \cdot 3C_1}{4}.$$

Вихідна напруга

$$U_{\text{ВИХ}}(a_0 = 1, a_1 = 1) = \frac{q'_{C2}}{C_2} = \frac{U_{\text{ОП}} \cdot 3C_1}{4 \cdot C_2} = \frac{U_{\text{ОП}} \cdot 3C_1}{4 \cdot C_1} = \frac{U_{\text{ОП}} \cdot 3}{4} = \frac{U_{\text{ОП}}(2^0 + 2^1)}{2^2}.$$

Так само виконуються перетворення для інших розрядів вхідного коду.

У результаті для N-розрядного ЦАП максимальна вихідна напруга за $a0 = a1 = a2 = \ldots = aN - 1 = 1$ дорівнює

$$U_{\text{ВИХ.max}} = -\frac{U_{\text{ОП}}}{2^N} \sum_{k=0}^{N-1} 2^k.$$

Якщо в останній вираз ввести значення k-го розряду вхідного ДВК: $ak = 0/1$, то одержимо

$$U_{\text{ВИХ}} = \frac{U_{\text{ОП}}}{2^N} \sum_{k=0}^{N-1} a_k \cdot 2^k = \frac{U_{\text{ОП}}}{2^N} \cdot D.$$

Коефіцієнт передачі

$$K_{\text{ЦАП}} = \frac{U_{\text{ВИХ}}}{D} = \frac{U_{\text{ОП}}}{2^N}.$$

Контрольні запитання та завдання

1. Наведіть структурну схему типової локальної мікропроцесорної системи керування та поясніть принцип її роботи.
2. Який електронний прилад називається ЦАП?
3. Назвіть два види ЦАП за принципом перетворення коду в напругу.
4. Наведіть принципову електричну схему ЦАП на матриці R–$2R$ з підсумовуванням струмів. Поясніть принцип її роботи.
5. Виведіть вираз для визначення сумарної вихідної напруги від дії одиниць у всіх розрядах вхідного ДВК для вищевказаного ЦАП.
6. Наведіть принципову електричну схему ЦАП на матриці R–$2R$ з підсумовуванням напруг. Поясніть принцип її роботи.
7. Виведіть вираз для визначення сумарної вихідної напруги від дії одиниць у всіх розрядах вхідного ДВК для ЦАП на матриці R–$2R$ з підсумовуванням напруг.
8. Приведіть структурну схему та схему включення ЦАП К572 ПА1. Поясніть принцип роботи даного ЦАП.

9. Запишіть вирази для знаходження вихідної напруги та коефіцієнту передачі ЦАП К572 ПА1.
10. Наведіть та опишіть функціональну схему мікросхеми MAX506.
11. Наведіть вирази для знаходження вихідної напруги та коефіцієнту передачі ЦАП MAX506.
12. Наведіть принципову електричну схему паралельного ЦАП на конденсаторах, що переключаються, та опишіть її роботу.
13. Наведіть еквівалентну схему заміщення паралельного ЦАП на конденсаторах, що переключаються, під час вхідної комбінації ДВК: $a0 = 1$, $a1 = a2 = \ldots = aN - 1 = 0$. Виведіть вираз для вихідної напруги.
14. Наведіть схему послідовного ЦАП на конденсаторах, що переключаються, та опишіть відповідні цикли перетворення.
15. Наведіть схему включення мікросхеми ЦАП К572 ПА1, розрахуйте її коефіцієнти передачі та максимальне значення вихідної напруги, якщо:

– число розрядів вхідного ДВК дорівнює 8, які подаються на входи, що відповідають восьми старшим розрядам ДВК;
– число розрядів вхідного ДВК дорівнює 9, які подаються на входи $a1$, $a2$, …, $a9$;
– число розрядів вхідного ДВК дорівнює 7, які подаються на входи $a2$, $a3$,…, $a8$.

15. АНАЛОГО-ЦИФРОВІ ПЕРЕТВОРЮВАЧІ

15.1. Призначення та види аналого-цифрових перетворювачів

Аналого-цифрові перетворювачі – це пристрої, що перетворюють вхідні аналогові сигнали у відповідні їм цифрові сигнали, придатні для роботи з цифровою обчислювальною машиною (ЦОМ) і іншими цифровими пристроями. АЦП широко застосовуються в пристроях дискретної автоматики, цифрових системах керування для перетворення аналогових сигналів від датчиків у цифрову форму, у системах відображення інформації для цифрової індикації, у системах передачі даних і багатьох інших областях техніки [4; 12; 15; 28].

Різні за фізичною природою сигнали, що знімаються з датчиків, і що характеризують контрольований процес, спочатку перетворюються в електричний сигнал, а потім вже за допомогою перетворювачів «напруга–код» – у цифрові. На вході АЦП, як правило, є напруга, яка постійно чи повільно змінюється, а з виходу знімаються дані в паралельному ДВК.

Методи побудови АЦП, які орієнтовано на використання у мікропроцесорних системах, поділяються на послідовні, паралельні і послідовно-паралельні. Класифікація типів АЦП і основні принципи побудови приведені в [12; 15; 26].

15.2. Розрахунок аналого-цифрових перетворювачів

В АЦП здійснюється квантування (дискретизація) за рівнем і часом (рис. 15.1).

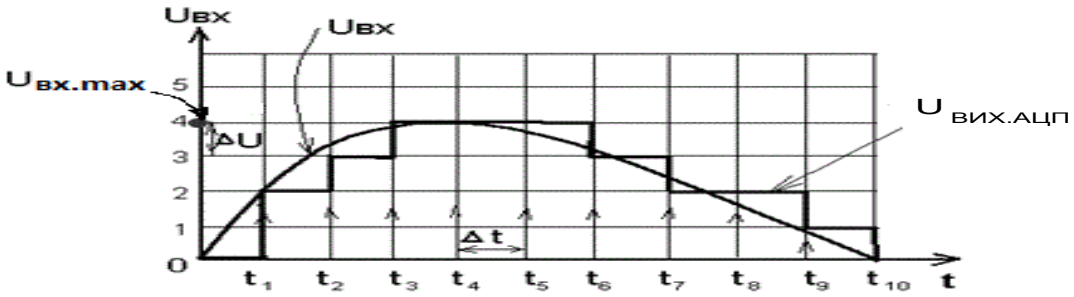


Рис. 15.1. Квантування (дискретизація) аналогової величини за рівнем і часом

На вхід перетворювача надходить аналогова напруга $U_{ВХ}$, що перетворюється в дискретну величину, яка визначається у фіксовані моменти часу найближчим до безперервної (аналогової) величини рівнем квантування.

На виході АЦП кожному дискретному значенню відповідає комбінація ДВК, число розрядів якого позначимо буквою $N_Р$. Величина $N_Р$ залежить від числа дискретних значень $N_д$ на виході АЦП, включаючи нульове. Вибір $N_Р$ робиться відповідно до співвідношення:

$$2^{N_р} \geq N_д. \tag{15.1}$$

Число дискретних значень (рівнів квантування) залежить від похибки квантування за рівнем.

Абсолютна похибка квантування за рівнем

$$\delta_{АБС} \leq \frac{\Delta U}{2}, \tag{15.2}$$

де ΔU – величина кроку квантування за рівнем, що дорівнює

$$\Delta U = \frac{U_{BX\,MAX} - U_{BX\,MIN}}{N_Д - 1}. \tag{15.3}$$

З наведеного співвідношення (15.2) випливає, що максимальна абсолютна похибка дорівнює половині кроку квантування за рівнем. Відносна похибка квантування за рівнем

$$\delta_{ВІД} \leq \frac{\delta_{АБС} \cdot 100\%}{U_{BX.MAX} - U_{BX.MIN}} = \frac{\Delta U \cdot 100\%}{\{2 \cdot (U_{BX.MAX} - U_{BX.MIN})\}} =$$

$$= \frac{(U_{BX.MAX} - U_{BX.MIN}) \cdot 100\%}{\{(N_Д - 1) \cdot 2 \cdot (U_{BX.MAX} - U_{BX.MIN})\}} = \frac{50}{N_Д - 1}[\%]. \tag{15.4}$$

У наведеній формулі з $N_Д$ віднімається одиниця, тому що одним з дискретних значень є нульове. Звідси необхідне число дискретних значень, що відображує нашу безперервну функцію з заданою точністю, визначається як

$$N_Д \geq \frac{50}{\delta_{ВІД}} + 1.$$

Наприклад, за $\delta_{ВІД} \leq 0{,}2$ % $N_Д$ повинно бути не менше 251. Приймаючи $N_Д = 256$ визначаємо, що число розрядів $N_Р$ у цьому випадку повинно бути 8 ($2^8 = 256$). Якщо вхідна безперервна величина змінюється, наприклад, у

діапазоні від 0 до 2,55 В, то величина кроку квантування за рівнем за $N_Д = 256$ дорівнює ΔU=10 мВ; $\delta_{АБС} \leq 5$ мВ; $\delta_{ВІД} \leq 50/255 < 0{,}2$ %.

Під час проектування АЦП важливе значення має вибір величини кроку квантування за часом $\Delta t = T$. Значення T визначає необхідну швидкодію АЦП і каналу оброблення інформації.

За теоремою Котельникова значення $\Delta t = T$ повинно задовільняти вираз:

$$\Delta t = T \leq \frac{1}{2 f_{MAX}}, \tag{15.5}$$

де f_{MAX} – частота вищої гармоніки спектру вхідного сигналу АЦП.

Фізично цей вираз варто трактувати в такий спосіб: на один період максимальної гармоніки вхідного аналогового сигналу під час переходу від аналогової до дискретної величини необхідно взяти не менш двох відліків.

15.3. Пристрій вибірки і зберігання

При аналого-цифровому перетворенні швидко змінюваних сигналів виникають динамічні похибки, що визначаються, по-перше, частотою і часом перетворення, а, по-друге, – апертурною похибкою.

Похибка, що виникає через невідповідність вхідного сигналу перетвореному цифровому значенню, називається апертурною похибкою АЦП. Ця невідповідність виникає, якщо зміна вхідного сигналу під час перетворення еквівалентна більш ніж одиниці МЗР. У цьому випадку під час швидко змінюваному у часі вхідному сигналі створюється невизначеність у тім, яким у дійсності було миттєве значення вхідного сигналу в момент вибірки.

Час між моментом фіксації миттєвого значення вхідного сигналу (моментом відліку) і моментом одержання його цифрового еквівалента називається апертурним часом.

Апертурна похибка визначається збільшенням змінюваного у часі вхідного сигналу АЦП за час перетворення. Точне значення апертурної похибки можна визначити, розклавши вираз для вхідного сигналу $U_{ВХ}(t)$ у ряд Тейлора біля точок відліку, що для i-ї точки має вигляд (рис. 15.2)

$$U_{ВХ}(ti+t_A) = U_{ВХ}(ti) + t_A.\ U`_{ВХ}(ti) + (t_A 2/2).\ U``_{ВХ}(ti) + ...$$

У першому наближенні апертурна похибка може бути представлена у вигляді

$$\Delta U_A\ (ti) = U_{ВХ}(ti + t_A) - U_{ВХ}(ti) \approx U`(ti).\ t_A,$$

де t_A – апертурний час, що для розглянутого випадку дорівнює часу перетворення $t_{ПРТ}$ АЦП.

Припустимо, наприклад, що вхідний сигнал має синусоїдальну форму:

$U_{ВХ}(t) = Um. \sin 2\pi f. t.$

Тоді апертурна похибка дорівнює

$\Delta U_A (ti) = Um. 2\pi f. tA. \cos 2\pi f. t.$

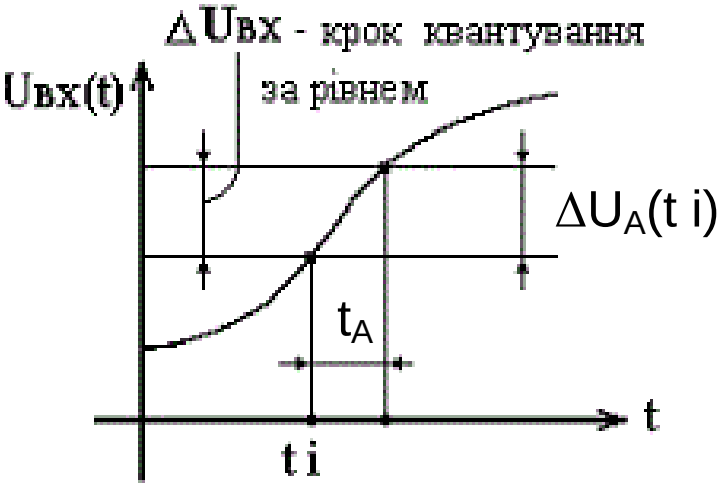


Рис. 15.2. Визначення апертурної похибки біля *i*-ї точки відліку

Максимальне значення похибки дорівнює

$$\Delta U_{A.MAX}(ti) = Um. 2\pi f. t_A .$$

Якщо прийняти, що для N_P-розрядного АЦП апертурна похибка не повинна перевищувати кроку квантування за рівнем $\Delta U_{ВХ}$ (рис. 15.2), то між частотою сигналу f, апертурним часом t_A й апертурною похибкою має місце співвідношення:

$$\Delta U_{BX} = \frac{U_m}{2^{Np} - 1} \geq U_m \cdot 2\pi f \cdot t_A. \tag{15.6}$$

Розділивши ліву і праву частини нерівності (15.6) на Um, отримаємо

$$\frac{1}{2^{Np} - 1} \geq 2\pi f \cdot t_A.$$

Наприклад, якщо $N_P = 8$, а час перетворення АЦП $t_{ПРТ} = 7{,}5$ мкс, то частота вхідного сигналу не повинна перевищувати 83 Гц. У цьому випадку апертурна похибка не перевищує одиниці молодшого значущого розряду ДВК на виході АЦП.

Призначення та схема включення ПВЗ

Для зменшення апертурної похибки АЦП звичайно використовуються ПВЗ, що включаються між входом АЦП і виходом джерела аналогового сигналу.

Призначений ПВЗ для запам’ятовування миттєвого значення вхідного аналогового сигналу в момент вибірки і підтримки цього значення на постійному рівні під час перетворення інформації в АЦП. Подібний пристрій необхідно застосовувати в тих випадках, коли за час перетворення інформації в АЦП зміна його вхідного аналогового сигналу еквівалентна дискретній зміні вихідного сигналу більш ніж на одиницю МЗР. Як ПВЗ може бути, наприклад, використано мікросхему К1100СК2. На рис. 15.3 зображено позначення цієї мікросхеми на електричних схемах і пояснюється, яким чином ПВЗ пов’язано з іншими частинами мікропроцесорної системи керування (МПСК). Тривалість імпульсу запису інформації у ПВЗ (імпульсу вибірки) $t_{ЗАП}$ ($t_В$) під час значення ємності збереження $C_{ЗБ}$ = 1 нф дорівнює 5 мкс.

Сучасні мікросхеми АЦП та модулі АЦП у складі МК мають у своєму складі ПВЗ.

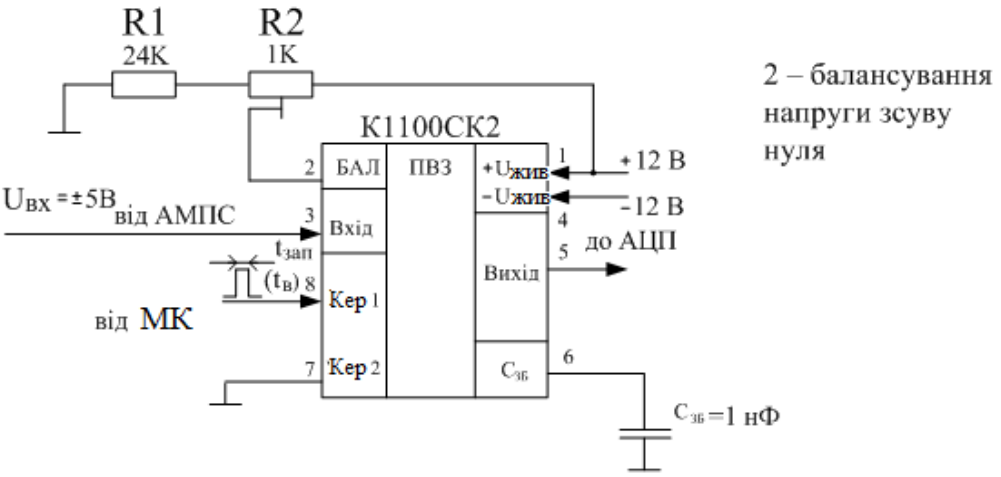


Рис. 15.3. Схема включення ПВЗ

15.4. Аналого-цифрові перетворювачі послідовного наближення

Різним методам побудови АЦП відповідають пристрої, що розрізняються за точністю, швидкодією, завадостійкістю, складністю реалізації і т. ін. Одним з розповсюджених є метод послідовного наближення, застосовуваний в АЦП, орієнтованих на використання в мікропроцесорних системах (МПС), наприклад, К1113 ПВ1; К572 ПВ3 [12; 17]. На рис. 15.4 наведено спрощену структурну схему АЦП послідовного наближення.

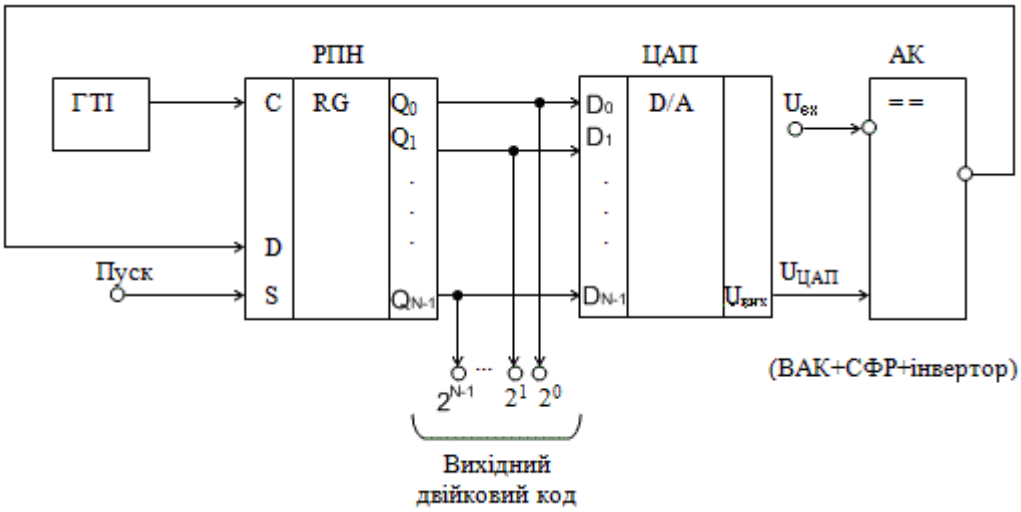


Рис. 15.4. Структура АЦП послідовного наближення

АЦП містить регістр послідовного наближення (РПН), ЦАП, АК і ГТІ. Після надходження імпульсу ПУСК на виході старшого (N – 1)-го розряду РПН з'являється напруга логічної одиниці, а на інших його виходах – логічні нулі. На виході ЦАП формується напруга $U_{ЦАП}$≈0,5*$U_{BX.MAX}$, що на входах АК порівнюється з вхідною аналоговою напругою U_{BX}. АК включає: ВАК виконаний, наприклад, на ІМС ОП; СФР, що перетворює різнополярні імпульси на виході ІМС ОП в цифровий сигнал, та інвертор.

Якщо вхідна напруга U_{BX} більше напруги, що знімається з виходу ЦАП, то на виході ВАК з'являється від'ємний імпульс. СФР перетворює його в нульовий цифровий сигнал, при цьому з виходу інвертора АК знімається логічна одиниця, що подається на вхід D РПН. Під час надходження на вхід C РПН імпульсу від ГТІ зберігається логічна одиниця у старшому (N – 1) розряді і з'являється одиниця у (N – 2) розряді. Якщо під час першого порівняння $U_{BX} < U_{ЦАП}$, то з виходу АК знімається логічний нуль. Імпульсом на синхровході вміст старшого (N – 1) розряду РПН обнуляється, а в (N – 2)-й записується одиниця. Якщо на виходах двох старших розрядів РПН містяться дві одиниці (під час першого порівняння $U_{BX} > U_{ЦАП}$), то вихідний сигнал ЦАП: $U_{ЦАП} \approx (0{,}5 + 0{,}25)U_{BX.MAX}$. Якщо на виході ($N$ – 1) розряду буде нуль, а на виході (N – 2) розряду – одиниця, то вихідний сигнал ЦАП: $U_{ЦАП} \approx 0{,}25*U_{BX.MAX}$. На компараторі U_{BX} знову порівнюється з цією напругою і т. д. Так установлюються всі розряди на виході РПН до самого молодшого. Після виконання останнього N_P-го порівняння, де N_P – число розрядів вихідного коду АЦП, цикл формування вихідного коду закінчується. Стан виходів РПН відповідає цифровому еквіваленту вхідної напруги. Якщо,

наприклад, $U_{ВХ} = U_{ВХ.МАХ}$, то комбінація вихідного коду дорівнює 111...11 (всі одиниці). У розглянутому АЦП час перетворення $t_{ПРТ}$ постійний і визначається числом розрядів $N_Р$ вихідного ДВК і тактовою частотою $f_{ГТІ}=1/T_{ГТІ}$: $t_{ПРТ} \approx N_Р * T_{ГТІ}$. Розглянуті АЦП мають досить високу швидкодію за відносно простої структури, тому знаходять широке застосування.

Опис мікросхеми К1113 ПВ1

Мікросхема К1113 ПВ1 (рис. 15.5) являє собою функціонально-закінчений АЦП послідовного наближення з часом перетворення < 30 мкс, розрахований на вхідні напруги (0...10,23) В (уніполярний сигнал) чи (–5,12...+5,11) В (біполярний сигнал) [12; 17].

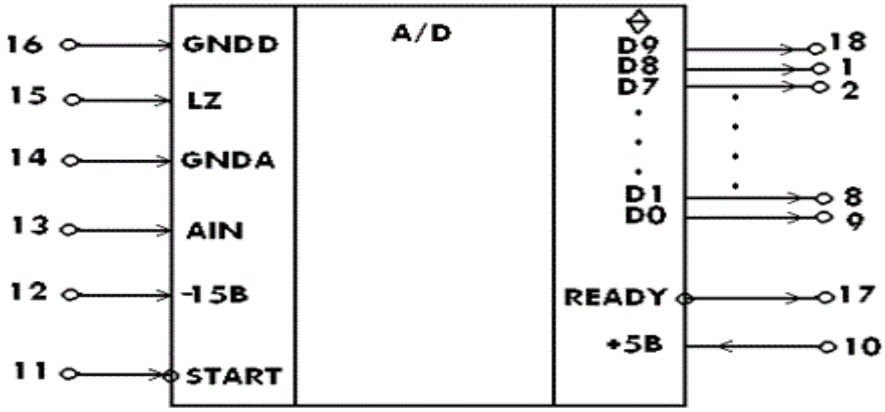


Рис. 15.5. Умовне позначення і нумерація виводів мікросхеми К1113 ПВ1

Для перемикання діапазонів вхідних напруг використовується вхід *LZ*. Якщо *LZ* = 0, то перетворюються уніполярні вхідні сигнали від 0 до 10,23В, якщо ж *LZ* = 1, то перетворювач працює в двохполярному режимі ($U_{ВХ}$= –5,12...+5,11) В. Коефіцієнт передачі АЦП: $К_{ПЕР}=\frac{1}{10}\left[\frac{МЗР}{мВ}\right]$.

Якщо використовувати не всі десять розрядів вихідного ДВК розглянутого АЦП, то існує кілька варіантів його підключення. Наприклад, якщо $N_Р$ = 8, то можна підключити вісім виходів АЦП, що відповідають молодшим розрядам. Інші два розряди не підключаються. У цьому випадку коефіцієнт передачі: $К_{ПЕР}=\frac{1}{10}\left[\frac{МЗР}{мВ}\right]$, а $U_{ВХ.МАХ}$ =10 • 255 = 2550 мВ = 2,55 В. Якщо використовувати вісім виходів АЦП, що відповідають старшим розрядам, то $К_{ПЕР}=\frac{1}{40}\left[\frac{МЗР}{мВ}\right]$, а $U_{ВХ.МАХ}$ = 40 • 255 = 10,2В. Якщо $N_Р$ = 7, і

вихідний ДВК знімається з семи старших виходів, то $К_{ПЕР}=\frac{1}{80}\left[\frac{МЗР}{мВ}\right]$, а $U_{ВХ.МАХ}$ = 80 • 127 = 10,16 В. На рис. 15.6 наведено позначення цієї мікросхеми на електричних схемах і пояснюється яким чином АЦП пов'язаний з іншими частинами мікропроцесорної системи керування (рис. 14.1). Особливості взаємодії АЦП і мікроконтролера МПСК пояснює часова діаграма роботи АЦП (рис. 15.7).

Запуск АЦП відбувається під час перемикання сигналу на вході START (СТАРТ) з логічної одиниці в нуль. Під час перетворення на виході READY (ГОТОВНІСТЬ) присутня логічна одиниця, а шина даних знаходиться в третьому (високоімпедансному) стані. Після закінчення перетворення вихідні сигнали на виводах даних *D*0..*D*9 переходять в активний стан, а сигнал на виході READY переключається з одиниці в нуль. Одержавши сигнал готовності, МК зчитує (вводить) дані від АЦП і переводить сигнал на вході START у стан 1 на час, не менший 2 мкс. Цим здійснюється «скидання» АЦП, сигнал READY повертається у початковий одиничний стан, після чого може вироблятися наступний «запуск» АЦП і т. д.

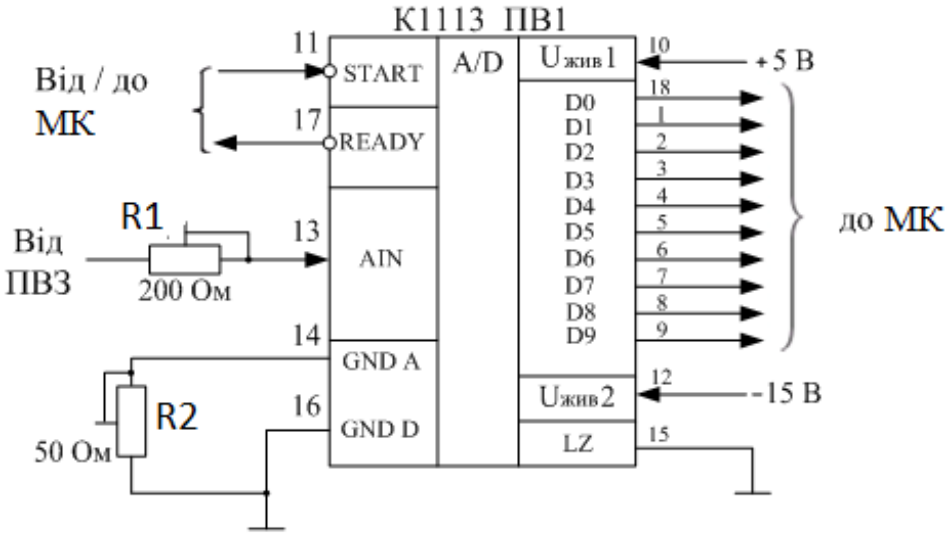


Рис. 15.6. Схема включення АЦП

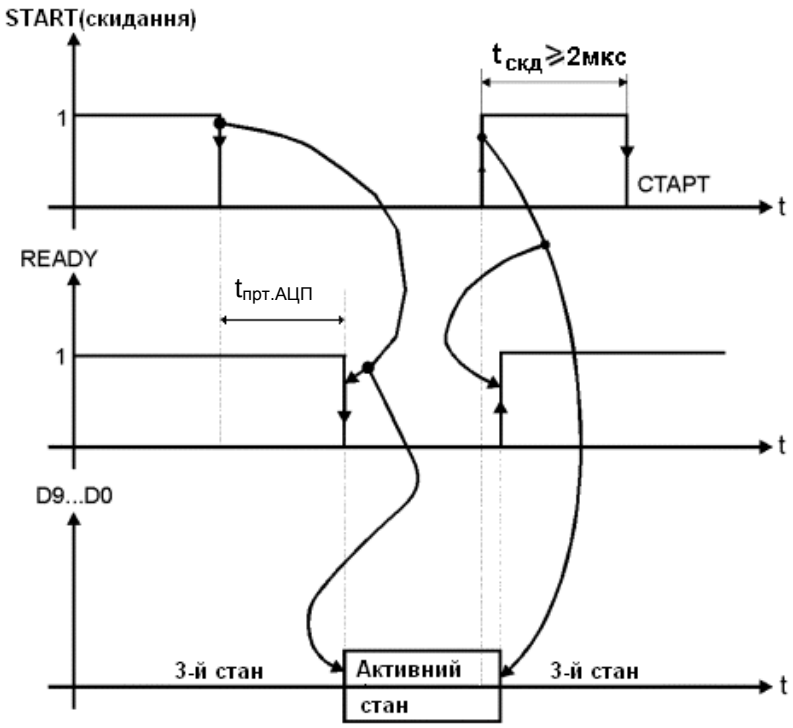


Рис. 15.7. Часові діаграми роботи АЦП

Розрахунок АЦП на базі мікросхеми К1113 ПВ1

Виконаємо розрахунок абсолютної і відносної похибок перетворення, а також максимально припустимої частоти вищої гармоніки спектра вхідного сигналу для АЦП К1113 ПВ1. Кількість розрядів вихідного коду в цій мікросхемі дорівнює десяти ($N_Р$ = 10), діапазон значень вхідної напруги $U_{ВХ.МАХ} - U_{ВХ.MIN}$ = 10,23 В. Тому з виразів (15.1) і (15.3) отримаємо

$N_Д \leq 2^{10} = 1024$; $\Delta U = 10230/ 1023 = 10$ мВ.

Згідно (15.2) і (15.4) абсолютна похибка перетворення такого АЦП буде не більше, ніж 5 mВ, тобто $\delta_{АБС} \leq 5$ mВ, а відносна – не більше, ніж (50/ 1023) %, тобто $\delta_{ВІД} \leq (50/ 1023) \approx 0{,}049$ %.

Величина кроку квантування за часом, відповідно до рис. 15.7, повинна бути не менша, ніж ($t_{ПРТ.АЦП}$ + $t_{СКД}$), де $t_{ПРТ.АЦП} \leq$ 30мкс – час перетворення АЦП; $t_{СКД} \geq 2$ мкс – час скидання АЦП, тобто не менша 32 мкс. А значить максимально припустима частота вищої гармоніки спектра вхідного сигналу для АЦП К1113 ПВ1, яка випливає з (15.5), буде дорівнювати

$F_{МАХ} = 1 / [2*(t_{ПРТ.АЦП} + t_{СКД})] \approx 15{,}6$ кГц.

15.5. Паралельно-послідовний аналого-цифровий перетворювач

На сучасному ринку мікросхем представлено широкий спектр НВІС АЦП, серед яких досить розповсюдженими є мікросхеми фірми «MAXIM».

Нижче розглянуто одну з таких сучасних НВІС-паралельно-послідовний АЦП – MAX154, виконаний за КМОН-технологією. Мікросхема являє собою високошвидкісний чотирьохканальний АЦП, а також виконує функції мультиплексора і ПВЗ.

Перетворювач має вбудований ПВЗ, мультиплексор, внутрішній формувач опорної напруги: 2,5 В.

Зовнішній вигляд мікросхеми наведено на рис. 15.8, а опис виводів – у табл. 15.1.

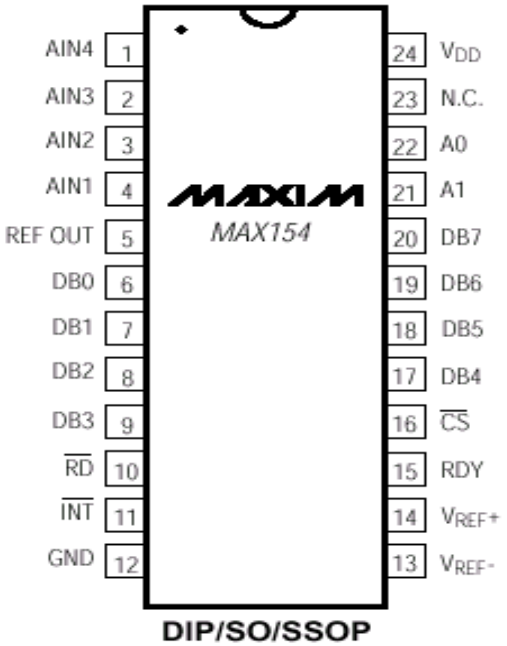


Рис. 15.8. Зовнішній вигляд і нумерація виводів мікросхеми АЦП MAX154

Інтерфейс із мікропроцесором має можливісь адресації мікросхеми як області пам’яті чи порту введення/виведення без використання зовнішньої логіки. В якості виходу використовується регістр–защіпка з третім станом, що дозволяє прямо підключити мікросхему до шини даних або портів введення.

Діапазон аналогового входу: від 0 В до 5 В.

Напруга живлення: +5 В.

Час перетворення разом із часом скидання на кожен канал: 2,5 мкс.

Таблиця 15.1. Опис виводів мікросхеми MAX154

Номер	Назва	Призначення
1	AIN4	Аналоговий вхід 4
2	AIN3	Аналоговий вхід 3
3	AIN2	Аналоговий вхід 2
4	AIN1	Аналоговий вхід 1
5	REF OUT	Вихід внутрішньої опорної напруги: +2,5В
6	DB0	Біт 0 виходу
7	DB1	Біт 1 виходу
8	DB2	Біт 2 виходу
9	DB3	Біт 3 виходу
10	RD	Керувальний біт доступу до даних і початку перетворення
11	INT	Сигнал індикації завершення перетворення
12	GND	Земля
13	Vref–	Нижня границя вхідного сигналу
14	Vref+	Верхня границя вхідного сигналу
15	RDY	Вихідний сигнал готовності для мікропроцесора. Приймає значення логічного нуля, коли CS активний, і переходить у третій стан по закінченню перетворення
16	CS	Вибір мікросхеми (кристала)
17	DB4	Біт 4 виходу
18	DB5	Біт 5 виходу
19	DB6	Біт 6 виходу
20	DB7	Біт 7 виходу
21	A1	Біт 1 номеру вхідного каналу

Продовження таблиці 15.1

22	A0	Біт 0 номеру вхідного каналу
23	NC	Не використовується
24	Vdd	Живлення +5 В

Похибка: 1/2 МЗР.

Вхідний струм, що споживається: 15 мА.

Припустимий діапазон робочих температур: –40 °С до +85 °С.

Мікросхема MAX154 використовує тільки два керувальних виводи: читання – *RD* і вибір кристала – *CS*. Операції читання і перетворення ініціюються низькими рівнями *CS* і *RD*, які защипують сигнали на адресних входах мультиплексора. Функціональну схему MAX154 наведено на рис. 15.9.

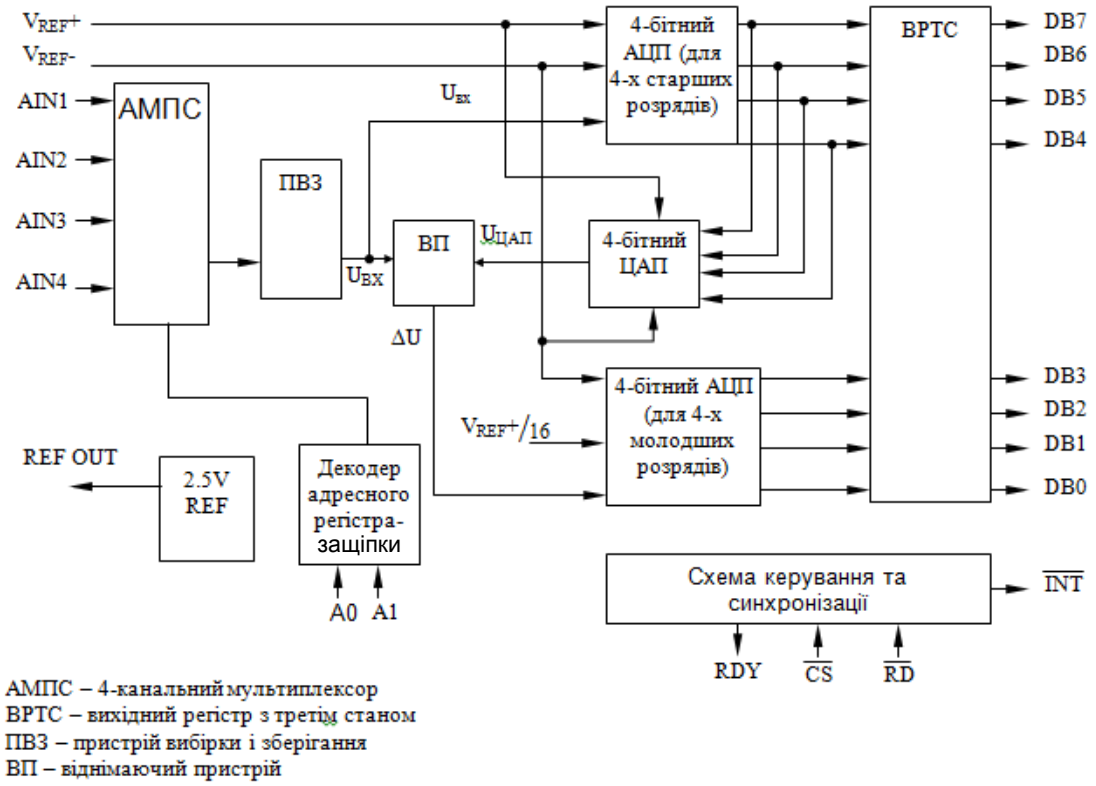


Рис. 15.9. Функціональна схема MAX154

На вході схеми стоїть чотирьохканальний аналоговий мультиплексор, що залежно від комбінації сигналів на адресних входах *A*0, *A*1 з'єднує (комутує) один з аналогових входів із ПВЗ, який запам'ятовує вхідний сигнал і підтримує його практично незмінним під час перетворення АЦП.

Вибір вхідного каналу адресними сигналами *A*1 і *A*0 відображає табл. 15.2. В АЦП використано «паралельно-послідовний» принцип перетворення. Два чотирирозрядних паралельних АЦП служать для одержання вихідного 8-бітного результату.

Таблиця 15.2. Вибір вхідного каналу

*A*1	*A*0	Вхідний канал
0	0	AIN1
0	1	AIN2
1	0	AIN3
1	1	AIN4

Кожний з чотирирозрядних АЦП містить по п’ятнадцять компараторів, що здійснюють порівняння поточного значення вхідного сигналу з нормованими постійними еталонними напругами. Величини цих напруг залежать від значень опорних напруг: V_{REF+} і V_{REF-}, і відрізняються один від одного на величину ΔU, що відповідає зміні вихідного чотирирозрядного ДВК кожного АЦП на: ±1 МЗР (див. рис. 15.1).

На початку перетворення, використовуючи 15 компараторів, верхній чотрибітний АЦП старших 4-х розрядів порівнює значення вхідної напруги з еталонними напругами і подає на вихід чотри старших біти. Одночасно значення цих старших біт надходять на вхід ЦАП, що формує аналогову напругу, пропорційну цьому коду. Ця напруга віднімається з вхідного аналогового сигналу та отримана різниця ΔU надходить на вхід нижнього чотрибітного АЦП, де порівнюється з еталонними напругами 15 компараторів для одержання значень 4-х молодших розрядів вихідного ДВК.

На виході MAX154 знаходиться регістр–защіпка з третім станом, що дозволяє прямо підключати мікросхему до шини даних або портів введення.

Існує два режими роботи мікросхеми, що визначаються тривалістю сигналу на вході RD.

Режим 0 (рис. 15.10) ініціалізується утриманням низького значення сигналу читання *RD* до завершення перетворення.

Він призначений для мікропроцесорів, що можуть бути переведені в стан чекання. У цьому режимі перетворення починається разом з операцією читання (низький рівень *CS* і *RD*) і дані зчитуються, коли перетворення завершується.

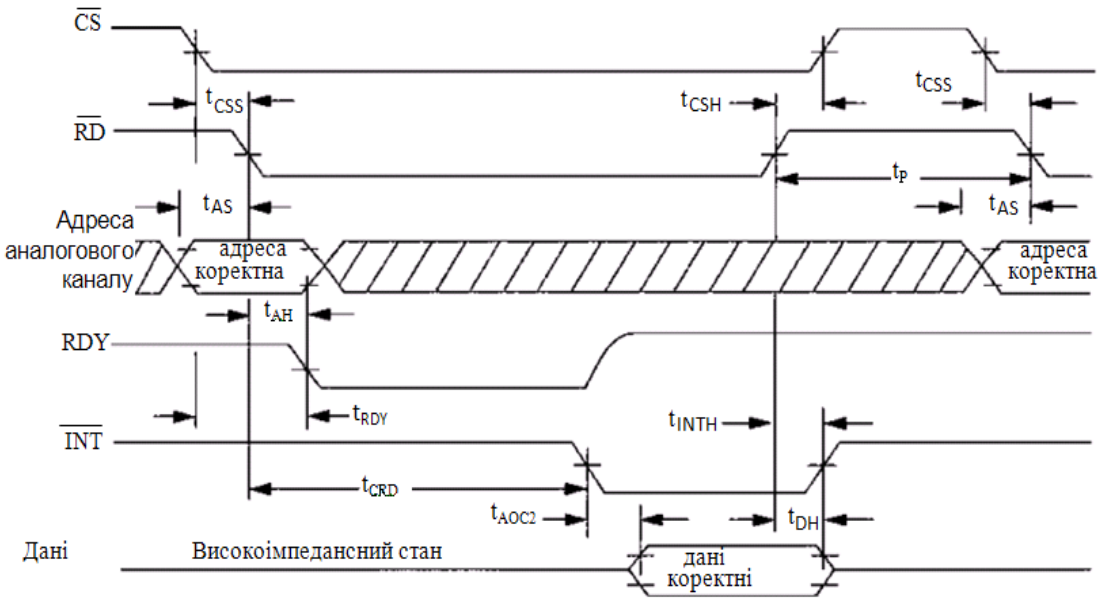


Рис. 15.10. Часові діаграми роботи MAX154 в режимі 0

Логічний нуль на входах *CS* і *RD* защипує адресні входи мультиплексора та ініціює перетворення. Виходи DB0…DB7 знаходяться у високоімпедансному стані до закінчення перетворення. Сигнал готовності RDY підключається до входу READY/WAIT мікропроцесора.

RDY приймає логічний нуль за спадом *CS* і переходить у високоімпедансний стан по закінченню перетворення, коли результат видається на лінії даних. Сигнал INT приймає значення логічного нуля, коли перетворення закінчується і логічної одиниці, коли сигнал на вході *RD* переходить в одиничний стан.

Режим 1 (рис. 15.11) не вимагає чекання з боку мікропроцесора.

Операція читання одночасно ініціює перетворення і читання результатів попереднього перетворення. Сигнал INT приймає значення логічної одиниці за фронтом *RD* і логічного нуля по закінченню перетворення. Друга операція читання необхідна для зчитування результатів попереднього перетворення.

Другий сигнал $\overline{\text{RD}}$ защіпує нову адресу в мультиплексорі та ініціює наступне перетворення. Затримка в 2,5 мкс повинна дотримуватися між операціями читання.

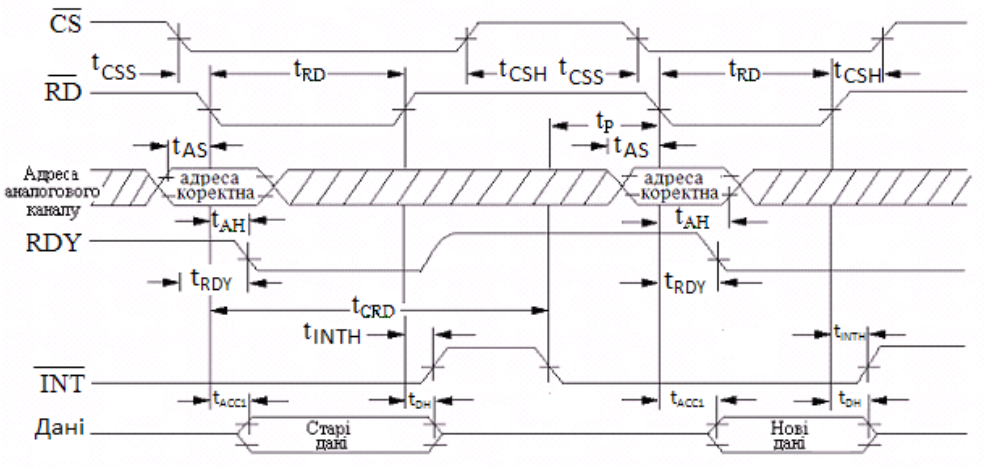


Рис. 15.11. Часові діаграми роботи MAX154 у режимі 1

На рис. 15.12 наведено передатну характеристику мікросхеми MAX154.

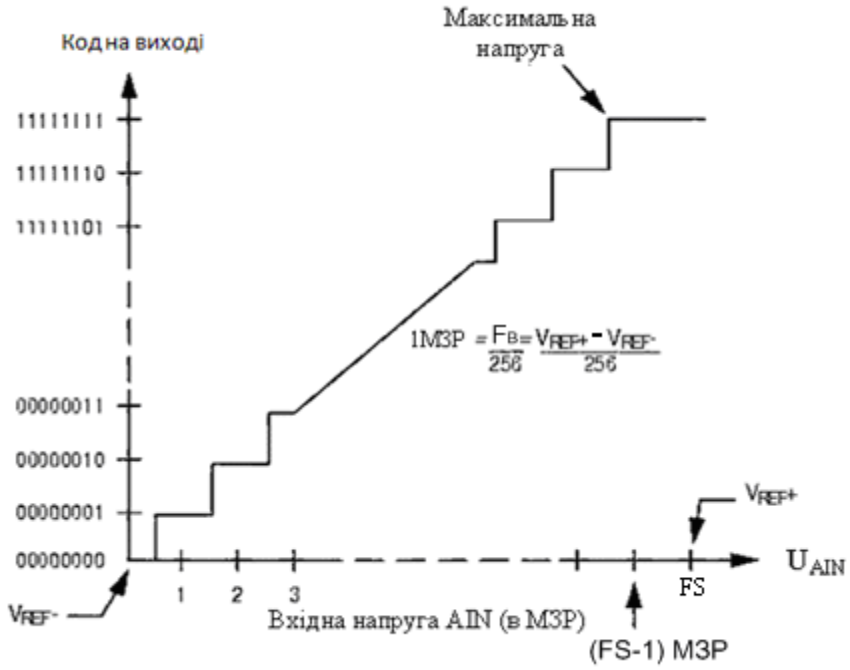


Рис. 15.12. Передатна характеристика MAX154

Розрахунок АЦП на базі мікросхеми MAX154

Мікросхема MAX154 може вимірювати вхідний сигнал зі швидкістю зміни до 157 мВ/мкс.

Якщо вхідний сигнал змінюється за синусоїдальним законом

$$U_{\text{ВХ.АЦП}} = Um \cdot \sin 2\pi f \cdot t,$$

то швидкість його зміни

$$\frac{dU_{ВХ.АЦП}}{dt} = U_m \cdot 2\pi f \cdot \cos 2\pi f \cdot t. \qquad (15.7)$$

За $2\pi ft = 0$ значення швидкості буде максимальним, а cos0 = 1.

У цьому випадку вираз (15.7) матиме вигляд

$$\frac{dU_{ВХ.АЦП}}{dt}\max = U_m \cdot 2\pi f.$$

Підставляючи замість $\frac{dU_{вх.АЦП}}{dt}\max$ значення 157 мВ/мкс, а також враховуючи, що максимальне значення *Um*, що може оброблятися розглянутим АЦП, дорівнює 2,5 В, визначимо значення максимальної частоти:

$$f = \frac{157 \cdot 10^6}{10^3 \cdot 2{,}5 \cdot 6{,}28} = 10кГц.$$

Максимальна частота квантування за часом f_{MAX} обмежена часом перетворення $t_{ПРТ}$ = 2 мкс і часом між перетвореннями (часом скидання) $t_{СКИД}$ = 0,5 мкс. Тоді

$$f_{MAX} = \frac{1}{t_{ПРТ} + t_{СКИД}} = \frac{1}{(2{,}0 + 0{,}5)\,мкс} = 400кГц.$$

Під час використання в АЦП MAX154 чотирьох каналів перетворення максимальна частота дискретизації на один канал дорівнює

$$f_{MAX.K} = \frac{f_{MAX}}{4} = \frac{400кГц}{4} = 100кГц.$$

Це значення значно перевищує вимоги теореми взяття відліків (теореми Котельникова): частота дискретизації повинна бути не менш, як у два рази вище, ніж максимальна частота зміни вхідного сигналу, що дорівнює 10 кГц.

Опис роботи паралельного чотирирозрядного АЦП

Спрощену схему паралельного чотирирозрядного АЦП наведено на рис. 15.13. Перетворювачі цього типу здійснюють одночасне квантування сигналу за допомогою набору компараторів, включених паралельно джерелу вхідного сигналу $U_{ВХ}$.. Порогові рівні компараторів установлюються за допомогою резистивного дільника, підключеного до джерела опорної напруги $U_{ОП}$ відповідно до шкали квантування, що використовується.

Число рівнів квантування, а відповідно і число компараторів для N-розрядного АЦП дорівнює: $2^N - 1$. Під час подачі на такий набір компараторів сигналу $U_{ВХ.АН}$ на їхніх виходах має місце дискретний сигнал, що відображає спрацьовування окремих компараторів. Так, наприклад (рис. 15.13), якщо вхідна напруга не виходить за межі діапазону від $2{,}5\Delta U$ до $3{,}5\Delta U$ (ΔU – крок квантування), то компаратори з першого по третій встановлюються в стан 1, а компаратори з четвертого по п'ятнадцятий – у стан 0. Для перетворення числа компараторів, що спрацювали, у ДВК використовується відповідний пристрій, що кодує.

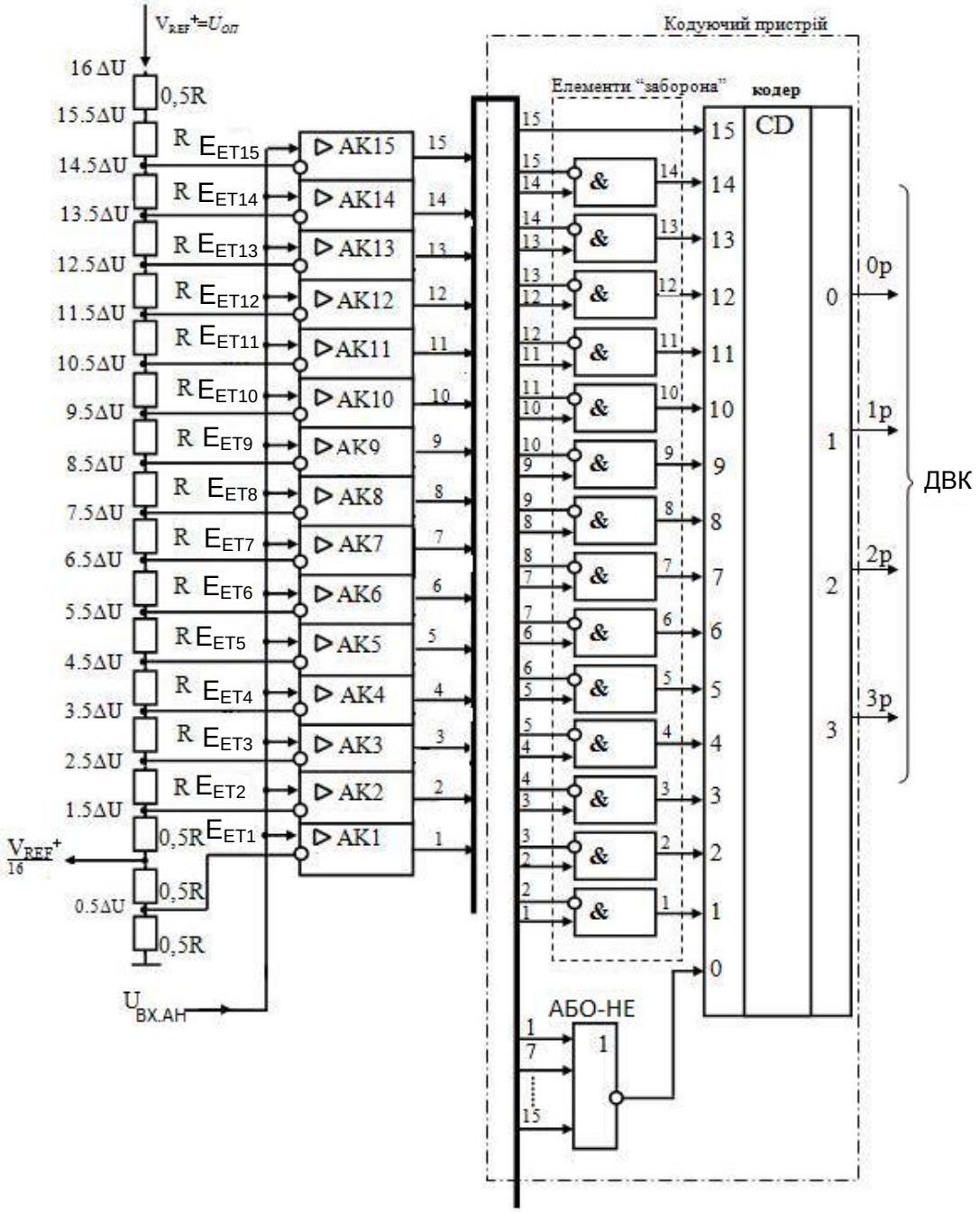


Рис. 15.13. Структурна схема паралельного чотирирозрядного АЦП

Стани даного кодуючого пристрою для чотирирозрядного АЦП показано в табл. 15.3. Наприклад, якщо вхідна напруга перевищує рівень 2,5 ΔU, але менше рівня 3,5 ΔU, то вихідний ДВК повинен мати значення 0011, що відповідає рівню з номером 3.

Таблиця 15.3. Стани кодуючого пристрою для чотирирозрядного АЦП

Вхідна напруга	Стан компараторів															Вихідний двійковий код			
$u^*_{вх}$	АК15	АК14	АК13	АК12	АК11	АК10	АК9	АК8	АК7	АК6	АК5	АК4	АК3	АК2	АК1	a_3	a_2	a_1	a_0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
2	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0
3	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1	1
4	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	1	0	0
5	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	1	0	1
6	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	0	1	1	0
7	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	0	1	1	1
8	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	0	0	0
9	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	0	0	1
10	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	0	1	0
11	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1
12	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0
13	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1
14	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
15	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

**Вхідна напруга дана в умовних одиницях: цифрами від 0 до 15 пронумеровані рівні квантування аналогового вхідного сигналу.*

За вказаного значення рівня вхідної напруги спрацьовують нижні три АК (АК1…АК3) і на їхніх виходах з’являються логічні одиниці. Інші компаратори не спрацьовують і на їхніх виходах будуть логічні нулі. Для цього стану вихідних сигналів компараторів логічна одиниця з’являється на виході третього елемента «заборона». На виходах інших елементів «заборона» будуть присутні логічні нулі. На виході кодуючого пристрою після елементів «заборона» стоїть кодер (шифратор) шістнадцятипозиційного унітарного коду з активним одиничним рівнем в чотирирозрядний паралельний ДВК. Цей ДВК відповідає десятковому номеру входу, на якому

присутня активна одиниця. У нашому прикладі це вхід з номером 3, тому вихідний ДВК становить 0011.

Якщо вхідна напруга менша рівня 0,5 ΔU, то не спрацює жоден компаратор, на виході елемента АБО–НЕ буде логічна одиниця, а ДВК буде мати значення 0000. Якщо вхідна напруга перевищує рівень 14,5 ΔU, то логічна одиниця з'являється на виході п'ятнадцятого компаратора, на виходах всіх чотирнадцяти елементів «заборона» будуть логічні нулі, що відповідає вихідному ДВК 1111. Кодуючий пристрій (рис. 15.13) реалізовано з застосуванням одного 15-ти входового ЛЕ «АБО–НЕ»; 14-ти елементів «заборона» і шифратора (кодера) 16-позиційного «унітарного» коду в чотирирозрядний ДВК (роботу кодуючого пристрою показує табл. 15.3).

Контрольні запитання та завдання

1. Що таке АЦП? Для чого призначені АЦП?
2. Як визначається і від чого залежить кількість рівнів квантування АЦП?
3. Чому дорівнює абсолютна та відносна похибка АЦП від квантування за рівнем?
4. Для чого призначено пристрої вибірки і зберігання? Чому необхідно їх використовувати?
5. З чого складається АЦП послідовного наближення? Наведіть структуру АЦП послідовного наближення.
6. Як відбувається перетворення сигналу в АЦП послідовного наближення?
7. Як відбувається перетворення сигналу в паралельно-послідовному АЦП? Наведіть приклад паралельно-послідовного АЦП.
8. Пояснити роботу паралельного чотирирозрядного АЦП.
9. З яких міркувань вибирається величина кроку квантування за рівнем у АЦП?
10. Поясніть фізичне трактування теореми Котельнікова.
11. Чому дорівнює коефіцієнт передачі мікросхеми АЦП К1113 ПВ1?
12. Як розрахувати максимальне значення вхідної напруги АЦП К1113ПВ1 у випадках, коли:
    - число розрядів вихідного ДВК *NP*.ДВК дорівнює 9, які видаються на виходи старших розрядів;
    - *NP*.ДВК = 7, ДВК видається на 2-й, 3-й, ..., 8-й виходи АЦП;
    - *NP*.ДВК = 5, ДВК видається на 4-й, 5-й, ..., 8-й виходи АЦП.
13. Поясніть роботу АЦП К1113 ПВ1 за часовими діаграмами.
14. Поясніть передатну характеристику АЦП MAX154.

СПИСОК ЛІТЕРАТУРИ

Базова

1. **Бойко В. І.** Аналогова схемотехніка та імпульсні пристрої / В. І. Бойко та ін. – Київ : Вища шк., 2004.
2. **Бойко В. І.** Схемотехніка електронних систем. В 2 Кн. Кн. 2. Цифрова схемотехніка / В. І. Бойко, А. М. Гуржій, В. Я. Жуйков та ін. – «Вища школа», 2004.
3. **Гніліцький В. В.** Аналогова електроніка : навч. посіб. / В. В. Гніліцький, Є. С. Купкін, А. О. Новацький. – Житомир : ЖДТУ, 2012.
4. **Новацький А. О.** Імпульсна та цифрова електроніка : навч. посіб. / А. О. Новацький. – Київ : НТУУ «КПІ», 2014.

Допоміжна

5. **Джонс М. Х.** Электроника – практический курс / М. Х. Джонс. – М. : Постмаркет, 1999.
6. **Новацький А. О.** Комп'ютерна електроніка-3. Мікропроцесорні системи. Апаратні засоби мікропроцесорних систем : навч. посіб. / А. О. Новацький. – Київ : НТУУ «КПІ», 2015.
7. **Браммер Ю. А.** Импульсная техника / Ю. А. Браммер, И. Н. Пащук. – М. : Высш. шк., 1985.
8. **Сенько В. І.** Електроніка і мікросхемотехніка / В. І. Сенько, М. В. Панасенко, Є. В. Сенько. – Київ :Обереги, 2000. – Т.1.
9. **Лечин В. И.** Электроника / В. И. Лечин, Н. С. Савелов. – Ростов н/Д : Фомикс, 2000.
10. **Прянишников В. Я.** Электроника : курс лекций / В. Я. Прянишников. – СПб. : Корона принт, 1998.
11. **Руденко В. С.** Промислова електроніка / В. С. Руденко, В. Я. Ромашко, В. В. Трифонюк. – Київ : Либідь, 1993.
12. **Скаржепа В. А.** Электроника и микросхемотехника / В. А. Скаржепа, А. Н. Луценко. – Київ : Вища шк., 1989.
13. **Федорков Б. Г.** Микросхемы ЦАП и АЦП: функционирование, параметры, применение / Б. Г. Федорков, В. А. Телец.– М. : Энергоатомиздат, 1990.

14. **Корис Р.** Схемотехніка : справочник инженера / Р. Корис, Х. Шмидт–Вальтер. – М. : Техносфера, 2008.
15. **Гутников В. С.** Интегральная электроника в измерительных устройствах / В. С. Гутников. – 2-е изд., перераб. и доп. – Л. : Энергоатомиздат. Ленингр. отделение, 1988.
16. **Опадчий Ю. Р.** Аналоговая и цифровая электроника / Ю. Р. Опадчий, О. П. Глудкин. – М. : «Гарячая линия–Телеком», 1999.
17. **Пухольский Г. И.** Цифровые устройства : учеб. пособие для ВТУЗов / Г. И. Пухольский, Т. Я. Новосельцева. – СПб. : Политехника, 1996.
18. **Токхейм Р.** Основы цифровой электроники : [пер. с англ.] / Р. Токхейм. – М. : Мир, 1988.
19. **Угрюмов Е. П.** Цифровая схемотехніка / Е. П. Угрюмов. – СПб. : БХВ – Санкт-Петербург, 2000.
20. **Виноградов Ю. В.** Основы электронной и полупроводниковой техники / Ю. В. Виноградов.– М. : Энергия, 1972.
21. **Горбачев Г. Н.** Промышленная электроника Учебник для вузов / Г. Н. Горбачев, Е. Е. Чаплыгин ; под ред. В. А. Лабунцова. – М. : Энергоатомиздат, 1988.
22. **Гусев В. Г.** Электроника / В. Г. Гусев, Ю. М. Гусев. – М. : Высш. шк., 1982.
23. **Фолкенбери Л.** Применение операционных усилителей и линейных ИС : [пер. с англ.] / Л. Фолкенбери. – М. : Мир, 1985.
24. **Хоровиц П.** Искусство схемотехники : [пер. с англ.] : в 3 т. / П. Хоровиц, У. Хилл. – М. : Мир, 1993.
25. **Жеребцов Н. П.** Основы электроники / Н. П. Жеребцов. – Л. : Энергоатомиздат, 1985.
26. **Микросхемы** АЦП и ЦАП: справочник. – М. : Издательский дом «Додэка», 2005.
27. **Димитрова М. И**. 33 схемы с логическими элементами И–НЕ : [пер. с болг.] / М. И. Димитрова, В. П. Пунджев. – Л. : Энергоатомиздат. Ленингр. отд-ние, 1988.
28. **Никамин В. А.** Аналого-цифровые и цифро-аналоговые преобразователи / В. А. Никамин. – Альтекс–А, 2003.

29. **Тарасов И. Е.** Разработка цифровых устройств на основе ПЛИС Xilinx с пременением языка VHDL / И. Е. Тарасов. – Горячая линия–Телеком, 2005.
30. **Джонсон Д.** Справочник по активным фильтрам : [пер. с англ.] / Д. Джонсон и др. – М. : Энергоатомиздат, 1983.
31. **Сташин В. В.** Проектирование цифровых устройств на однокристальных микроконтроллерах / В. В. Сташин и др. – М. : Энергоатомиздат, 1990.
32. Аналоговая и цифровая электроника ; под ред. О. П. Глудкина. – М. : Горячая Линия–Телеком, 1999.

Предметний покажчик

D-тригер 394
JK-тригер 397
RS-тригери
– асинхронні 389
– синхронні 391
АЦП 303
– паралельно-послідовний 455
Базис 307
Булева алгебра 305
Генератор
– напруги, що змінюється лінійно 286
– прямокутних імпульсів 274
– тактових імпульсів 350, 352
Двійковий код 300
Демультиплексор 371
Десяткові лічильники 414
Дешифратор
– BCD-коду у семисегментний код 366
– двійкового коду 363
Диз'юнктор 322
Диференціюючі кола 188
– активні 196
– пасивні 188
Діодні ключі 213
–паралельні 217
– послідовні 213
Діодні обмежувачі амплітуди 220
Еквівалентна схема активного ДК 198
Еквівалентність 325
Завадостійкість 347
Закони булевої алгебри 308
Імпульс 185
Імпульсні тригери
– несиметричні 258
– симетричні 253
Інвертор 319
Інтегруючі кола
– активні 205
Карти Карно 314
Квантування
– за рівнем 302
– за рівнем і за часом 303
– за часом 303
Коефіцієнт
– об'єднання по входу 346
– розгалуження по виходу 346
Компаратор
– аналоговий 266
– регенеративний 270
– цифровий 378
Кон'юнктор 319
Крок квантування 304
Лічильник 407
Мінімізація ПФ 311
Мультиплексор 369
Напівсуматор 375
Нееквівалентність 327
Ненасичені ключі 242
Перемикальна функція 305
Повторювач 322
Подільники частоти 419
Похибка АЦП 304
Принципова схема активного ДК 196
Пристрій
– вибірки і зберігання 448
– контролю парності 377

Регістри
– зсуву 403
– паралельні 400
– паралельно-послідовні 405
– послідовні 402
– послідовно-паралельні 405
Розподілювач 422
Система числення 300
Суматор 373
Теорема де Моргана 308
Тиристор 225
– діодний 225
– тріодний 225
Тиристорні ключі 225
Транзисторний ключ
– відкритий у початковому стані 239
– закритий у початковому стані 239
– на біполярних транзисторах 231
– на польових транзисторах 248
– послідовний 247
Тригер 251
ТТЛ 338
Т-тригер 393
ЦАП 426
Шифратор
– двійкового коду 358
– двійково-десяткового коду 362
ШІП на тиристорах 229